



(51) 国際特許分類6 H04N 5/335	A1	(11) 国際公開番号 WO97/07631 (43) 国際公開日 1997年2月27日(27.02.97)
(21) 国際出願番号 PCT/JP96/02285 (22) 国際出願日 1996年8月12日(12.08.96) (30) 優先権データ 特願平7/206140 1995年8月11日(11.08.95) JP 特願平7/206142 1995年8月11日(11.08.95) JP 特願平7/206143 1995年8月11日(11.08.95) JP 特願平7/206144 1995年8月11日(11.08.95) JP 特願平8/53220 1996年3月11日(11.03.96) JP 特願平8/59845 1996年3月15日(15.03.96) JP (71) 出願人 (米国を除くすべての指定国について) 株式会社 東芝(KABUSHIKI KAISHA TOSHIBA)[JP/JP] 〒210 神奈川県川崎市幸区堀川町72番地 Kanagawa, (JP) (72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 松長誠之(MATSUNAGA, Yoshiyuki)[JP/JP] 〒247 神奈川県鎌倉市小袋谷1-4-21-212 Kanagawa, (JP) 馬淵圭司(MABUCHI, Keiji)[JP/JP] 〒211 神奈川県川崎市幸区南加瀬2-14-10 Kanagawa, (JP)	大澤慎治(OHSAWA, Shinji)[JP/JP] 〒243-04 神奈川県海老名市国分北1-21-24-204 Kanagawa, (JP) 中村信男(NAKAMURA, Nobuo)[JP/JP] 〒183 東京都府中市東芝町2-1-E620 Tokyo, (JP) 山下浩史(YAMASHITA, Hirofumi)[JP/JP] 〒146 東京都大田区東矢口1-5-22 Tokyo, (JP) 三浦浩樹(MIURA, Hiroki)[JP/JP] 〒235 神奈川県横浜市磯子区汐見台2-8-2 Kanagawa, (JP) 田中長孝(TANAKA, Nagataka)[JP/JP] 〒224 神奈川県横浜市都筑区仲町台4-19-18-409 Kanagawa, (JP) (74) 代理人 弁理士 鈴江武彦, 外(SUZUYE, Takehiko et al.) 〒100 東京都千代田区霞が関3丁目7番2号 鈴榮内外國特許事務所 Tokyo, (JP) (81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書	
<p>(54)Title: IMAGE SYSTEM, SOLID-STATE IMAGING DEVICE SEMICONDUCTOR INTEGRATED CIRCUIT, AND DIFFERENTIAL OUTPUT METHOD USED IN THE SYSTEM</p> <p>(54)発明の名称 画像システム並びにそこで用いられる固体撮像装置半導体集積回路および差分出力方法</p> <p>(57) Abstract An image system for converting an optical image of an object guided through an optical system (A1) into an electric signal by an amplification MOS sensor and processing the converted signal. The amplification MOS sensor includes a photoelectric conversion element (62) and an amplification MOS transistor (64) connected to the photoelectric conversion element (62). The sensor also has an output circuit and a noise elimination circuit (26, 28, 30, 32, 41). The output circuit amplifies a signal of the photoelectric conversion element (62) and outputs the amplified signal at a first timing, and outputs noise not relevant to the signal of the photoelectric conversion element (62) at a second timing. The noise elimination circuit has the same impedance as seen from the output circuit at the first and second timings and produces a difference between the outputs of the output circuit at the first timing and the second timing.</p> <div data-bbox="958 1176 1380 1785"><p>5 ... Vertical address circuit 13 ... Horizontal address circuit P4-1-1 to P4-2-2 ... Unit cell</p></div>		

(57) 要約

光学系A1により導かれた被写体からの光学像を増幅型MOSセンサにより電気信号に変換して処理する画像システムであり、増幅型MOSセンサは光電変換素子62と、この光電変換素子と接続された増幅MOSトランジスタ64を含み、第1タイミングで光電変換素子62の出力を増幅して出力し、第2タイミングで光電変換素子62の出力と無関係なノイズを出力する出力回路と、第1及び第2タイミングにおける出力回路からみたインピーダンスが等しく、第1及び第2タイミングにおける出力回路の出力の差分を得る雑音除去回路26, 28, 30, 32, 41とを有する。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LC	セントルシア	PT	ポルトガル
AU	オーストラリア	EE	エストニア	LR	レソト	PR	プエルトリコ
AZ	アゼルバイジャン	ES	スペイン	LS	レソト	RU	ロシア
BA	ボスニア・ヘルツェゴビナ	FR	フランス	LT	リトアニア	SD	スーダン
BB	バハマ	GB	イギリス	LV	ラトヴィア	SE	スウェーデン
BE	ベルギー	GA	ガボン	MC	モナコ	SI	スロベニア
BG	ブルガリア	GN	ギニア	MD	モルドバ	SK	スロバキア
BJ	ベナン	GR	ギリシャ	MG	マダガスカル	SS	スーダン
BR	ブラジル	HU	ハンガリー	MK	マケドニア	SZ	ス威士ランド
BY	ベラルーシ	IE	アイルランド	ML	マリ	TG	トーゴ
CA	カナダ	IL	イスラエル	MN	モンゴル	TJ	タジキスタン
CC	中央アフリカ共和国	IS	アイスランド	MR	モーリタニア	TM	トルクメニスタン
CF	中央アフリカ共和国	IT	イタリア	MW	マラウイ	TR	トルコ
CH	スイス	JP	日本	MX	メキシコ	UA	ウクライナ
CN	中国	KE	ケニア	NE	ニジェール	UG	ウガンダ
CU	キューバ	KP	朝鮮民主主義人民共和国	NL	オランダ	US	アメリカ合衆国
CZ	チェコ共和国	KR	大韓民国	NO	ノルウェー	UZ	ウズベキスタン
		KZ	カザフスタン	NZ	ニュージーランド	VN	ベトナム

明 細 書

画像システム並びにそこで用いられる
固体撮像装置半導体集積回路および
差分出力方法

技 術 分 野

本発明は、信号電荷をセル内で増幅する増幅型MOSセンサによる固体撮像装置および固体撮像装置を用いたシステムに関する。

背 景 技 術

半導体デバイス技術の進歩により、ビデオカメラは小型軽量化されており、携帯便利になって、広く利用されている。電子機器の場合、携帯性の関係から電源は電池を用いるが、従来、ビデオカメラは撮像素子としてCCDセンサを用いていた。しかし、CCDセンサはデバイスの駆動に、複数種の電圧を必要とし、その電圧を電池電圧から発生するための電源回路を必要としている。そして、これがビデオカメラのいっそうの小形化を図る際の妨げとなり、また、消費電力低減の妨げの一因にもなっている。

よりいっそう扱い易くするために、ビデオカメラの小型・軽量化の研究が進められ、また、高画質の画像を得ることができるよう、より画素数の多い固体撮像装置の開発が行われているが、ビデオカメラの小型・軽量化には固体撮像装置

の小型化はもちろんのこと、さらには低消費電力化・低電圧化した固体撮像装置の出現が強く求められる。

単純に固体撮像装置の小形化と多画素化を図るには、画素を微細化すれば良い。しかし、画素を微細化すると、画素当りの取り扱い信号電荷量が減少するという問題がある。この結果、固体撮像装置のダイナミックレンジの減少が生じ、鮮明な解像度の良い映像を得ることができない、などの問題が生じる。

また、CCDの場合、素子の駆動電圧に複数種の電圧を使用していることから、カメラシステムの構成や取扱いの上で簡単なシステムで対応できない。即ち、携帯用カメラやパーソナルコンピュータ搭載用カメラへの応用のためには、この低消費電力・低電圧化と共に、S/Nの良い、単一電源の固体撮像装置の出現が望まれる。ところが、CCDの場合は、単一電源では駆動できず、低消費電力・低電圧化ができないばかりか、画素を微細化するとS/Nが悪くなるので上記要求には応じることができない。

そこで、上記要求を満たす別のデバイスを探してみると、低消費電力・低電圧化が可能で、単一電源で駆動できる固体撮像装置として、増幅型のトランジスタを用いたMOSセンサがある。

この固体撮像装置は、各セル内でフォトダイオードで検出した信号をトランジスタで増幅するものであり、高感度という特徴を持つ。

特殊な製造プロセスを用いるCCDセンサとは異なり、

MOSセンサはDRAM等の半導体メモリ、プロセッサ等で多用されているMOSプロセスにより、生産される。従って、MOSセンサは半導体メモリやプロセッサと同一の半導体チップ上に形成したり、半導体メモリやプロセッサと生産ラインを共有することが容易である等の利点がある。

しかしながら、上述した増幅トランジスタを用いた従来のMOSセンサ（増幅型MOSセンサ）は、後述するように、固定パターンノイズと呼ばれる輝度ムラの除去が困難である。また、この増幅型MOSセンサはその出力のダイナミックレンジも60dB程度しかなく、銀塩フィルムの90dBやCCDセンサの70dBと比較すると、不十分であった。従ってこの増幅型MOSセンサをビデオカメラ等の画像システム機器に組み込むことは画質の点で実用上、大きな制約があった。

図1は、増幅型MOSセンサを用いた従来の固体撮像装置を示す回路構成図である。画素に相当する単位セル $P0-i-j$ が縦、横に2次元マトリクス状に配列されている。図では、 2×2 しか示していないが、実際は数千個 \times 数千個の配列である。 i は水平（row）方向の変数、 j は垂直（column）方向の変数である。各単位セル $P0-i-j$ は、フォトダイオード $1-i-j$ と、増幅トランジスタ $2-i-j$ と、垂直選択トランジスタ $3-i-j$ と、リセットトランジスタ $4-i-j$ からなる。また、2次元マトリクス状に配列されている単位セル $P0-1-1, \dots, P0-i-j, \dots$ を順に選択するために、垂直アドレス回路5と水平アドレス回路13とが

ある。垂直アドレス回路5には $n \times m$ 構成の2次元マトリクス状配列の単位セル $P0-1-1, \dots, P0-i-j, \dots$ の横配列数（水平（row）方向配列数）である n に対応する数のアドレス出力端子とリセット信号端子のペアがあり、水平アドレス回路13には $n \times m$ 構成の2次元マトリクス状配列の単位セル $P0-1-1, \dots, P0-i-j, \dots$ の縦配列数（垂直（column）方向配列数）である m に対応するアドレス出力端子がある。なお、 m, n, i, j は任意の整数である。

そして、水平（row）方向に並ぶ単位セル $P0-1-1, P0-1-2, \dots, P0-2-j, \dots$ に沿って1本ずつ、垂直アドレス回路5から水平（row）方向に垂直アドレス線6-1, 6-2, ...が順に配線されており、これら垂直アドレス線6-1, 6-2, ...はそれぞれ垂直アドレス回路5の n 個のアドレス出力端子のうち、対応する一つに接続されている。

また、水平（row）方向に並ぶ単位セル $P0-1-1, P0-1-2, \dots, P0-2-j, \dots$ に沿って1本ずつ、垂直アドレス回路5から水平（row）方向にリセット信号線7-1, 7-2, ...が順に配線されており、これらリセット信号線7-1, 7-2, ...はそれぞれ垂直アドレス回路5の n 個のリセット信号端子のうち、対応する一つに接続されている。

また、垂直方向に並ぶ単位セル $P0-1-1, P0-1-2, \dots, P0-2-j, \dots$ に沿って1本ずつ、水平アドレス回路13から垂直方向に垂直信号線8-1, 8-2, ...が順に配線されており、これら垂直信号線8-1, 8-2, ...はそれぞれ水平アドレス回路13の m 個のアドレス出力端子のう

ち、対応する一つに接続されている。

垂直アドレス回路 5 から水平方向に配線されている垂直アドレス線 $6-1$, $6-2$, ... は各行の単位セルの垂直選択トランジスタ $3-1-1$, ... のゲートに接続され、信号を読み出す水平ラインを決めている。同様に、垂直アドレス回路 5 から水平方向に配線されているリセット線 $7-1$, $7-2$, ... は、それぞれ対応する各行のリセットトランジスタ $4-1-1$, ... のゲートに接続されている。

入射光を検出するフォトダイオード $1-i-j$ は、入射光を検出する受光部を形成するものであって、受光量対応の信号電荷を発生するものであり、1つのフォトダイオードで1画素を構成する。増幅トランジスタ $2-i-j$ は、このフォトダイオード $1-i-j$ の発生した信号電荷を増幅して検出信号として出力するものであり、フォトダイオード $1-i-j$ のカソードが自己のゲートに接続されることにより、フォトダイオード $1-i-j$ の信号電荷を増幅してその信号電荷対応の増幅出力を検出信号としてドレイン側に発生するものである。

垂直選択トランジスタ $3-i-j$ は、直流のシステム電源と増幅トランジスタ $2-i-j$ のドレイン側との間に自己のソース・ドレイン間が接続され、自己のゲート側は垂直アドレス回路 5 の垂直アドレス線 $6-j$ に接続される。

リセットトランジスタ $4-i-j$ は直流のシステム電源とフォトダイオード $1-i-j$ のカソードとの間に自己のソース・ドレイン間が接続され、動作時にフォトダイオード $1-$

$i - j$ の信号電荷をリセットする。

つまり、具体的には垂直選択トランジスタ $3 - i - j$ のソース側とリセットトランジスタ $4 - i - j$ のソース側が、直流のシステム電源のドレイン電圧端子に共通に接続されて、ドレイン電圧が供給されるようにしてある。

上述したように、垂直アドレス回路 5 から水平方向に配線されている垂直アドレス線 $6 - 1, 6 - 2, \dots$ は各行の単位セルの垂直選択トランジスタ $3 - 1 - 1, \dots$ のゲートに接続され、信号を読み出す水平ラインを決めている。同様に、垂直アドレス回路 5 から水平方向に配線されているリセット線 $7 - 1, 7 - 2, \dots$ は、各行のリセットトランジスタ $4 - 1 - 1, \dots$ のゲートに接続されている。

従って、 $n \times m$ 構成 (n 行 m 列の配列構成) の画素の読み出しにおいて、 n ライン存在する水平ライン (行方向ライン) を、その読み出し走査順にアクティブにすべく、垂直アドレス回路 5 が垂直アドレス線 $6 - 1, 6 - 2, \dots$ を順次アクティブにし、また、画素の信号電荷をリセットするように、出力端子に信号出力をすべく、動作する構成としてある。

以上が、画像検出部であり、この画像検出部のほかにこの画像検出部が検出した画像を読み出す出力部がある。出力部は負荷トランジスタ $9 - 1, 9 - 2, \dots$ 、信号転送トランジスタ $10 - 1, 10 - 2, \dots$ 、蓄積容量 $11 - 1, 11 - 2, \dots$ 、水平 (row) 選択トランジスタ $12 - 1, 12 - 2, \dots$ から成り、次のような構成である。

すなわち、各列の単位セルの増幅トランジスタ $2 - 1 - 1,$

2-1-2, ...のソース側は列方向に配置された垂直信号線 8-1, 8-2, ...のうち、自己の対応する列のものにそれぞれ接続されている。また、各列の単位セル対応に、それぞれ一つずつ、負荷トランジスタ 9-1, 9-2, ...が設けられており、垂直信号線 8-1, 8-2, ...の一端はこれら各負荷トランジスタ 9-1, 9-2, ...のうちの対応する一つと、その負荷トランジスタのソース・ドレイン側を介して直流のシステム電源に接続される。

また、垂直信号線 8-1, 8-2, ...の他端は、1行分の信号を取り込む信号転送トランジスタ 10-1, 10-2, ...のうちの自己に対応する一つを介して、1行分の信号を蓄積する蓄積容量 11-1, 11-2, ...のうちの自己に対応する一つに接続されるとともに、水平アドレス回路 13から供給される水平アドレスパルスにより選択される水平 (row) 選択トランジスタ 12-1, 12-2, ...を介して信号出力端 (水平信号線) 15に接続されている。

つまり、垂直信号線 8-1, 8-2, ...の他端は、信号転送トランジスタ 10-1, 10-2, ...のうちの対応する一つのトランジスタのソース・ドレインを介して蓄積容量 11-1, 11-2, ...のうちの対応する一つの蓄積容量の一端側に接続されるとともに、水平 (row) 選択トランジスタ 12-1, 12-2, ...のうちの対応する一つのトランジスタのソース・ドレインを介して信号出力端 (水平信号線) 15に接続される。また、各蓄積容量 11-1, 11-2, ...の他端は接地され、信号転送トランジスタ 10-1, 10

- 2, ... のゲート側は共通ゲート 14 に接続される。共通ゲート 14 には、信号転送すべきタイミングにおいて信号転送パルスを印加することで、信号転送トランジスタ 10-1, 10-2, ... をオンさせて、垂直信号線 8-1, 8-2, ... に現れた電圧を、増幅信号蓄積容量 11-1, 11-2, ... に転送して蓄積させることができる。

水平アドレス回路 13 は、水平 1 ライン当たりの読み出すべき画素位置を順次選択してゆくためのものであって、 $n \times m$ 構成 (n 行 m 列構成) の画素の読み出しにおいて、水平 1 ラインの読み出し走査速度対応に、その時々走査位置に該当する画素位置の水平 (row) 選択トランジスタ 12-1, 12-2, ... をアクティブにするように水平アドレスパルスを発生する構成としてある。

従って、 $n \times m$ 構成 (n 行 m 列構成) の画素の読み出しにおいて、順次ライン位置を変えながらそのラインにおける画素の信号を読み出すといった走査を制御をすることができる。

以下、図 2 のタイミングチャートを参照して、この MOS 型固体撮像装置の動作について説明する。

垂直アドレス回路 5 より、垂直アドレス線 6-i に当該垂直アドレス線 6-i をハイレベルにするアドレスパルスが印加されると、この行の選択トランジスタ 3-i-1, 3-i-2, ... のみオンとなり、この行の増幅トランジスタ 2-i-1, 2-i-2, ... と負荷トランジスタ 9-1, 9-2, ... でソースフォロワ回路が構成される。

これにより、増幅トランジスタ 2-i-1, 2-i-2,

…のゲート電圧、すなわちフォトダイオード $1-i-1$, $1-i-2$, …の電圧とほぼ同等の電圧が垂直信号線 $8-1$, $8-2$, …に現れる。

このとき、信号転送トランジスタ $10-1$, $10-2$, …の共通ゲート 14 に信号転送パルスを印加すると、増幅信号蓄積容量 $11-1$, $11-2$, …には垂直信号線 $8-1$, $8-2$, …に現れた電圧とその容量との積で表される増幅された信号電荷が蓄積される。

増幅信号蓄積容量 $11-1$, $11-2$, …に信号電荷が蓄積された後、垂直アドレス回路 5 は、リセットライン $7-i$ にリセットパルスを印加する。そして、このリセットパルスによりリセットトランジスタ $4-i-1$, $4-i-2$, …はオンされ、フォトダイオード $1-i-1$, $1-i-2$, …に蓄積された信号電荷はリセットトランジスタ $4-i-1$, $4-i-2$, …を介して放電される。これにより、フォトダイオード $1-i-1$, $1-i-2$, …はリセットされたことになる。

つぎに、水平アドレス回路 13 から水平アドレスパルスを水平選択トランジスタ $12-1$, $12-2$, …に順次印加する。すると、水平選択トランジスタ $12-1$, $12-2$, …はこの水平アドレスパルスの印加されている間、オンとなる。そして、増幅信号蓄積容量 $11-1$, $11-2$, …に蓄積されていた信号電荷は、オンとなった水平選択トランジスタ $12-1$, $12-2$, …を通して蓄積信号出力端（水平信号線） 15 から出力される。これにより、 1 行分の画像信号が

出力信号として得られる。

この動作を次の行（水平ライン）、次の行と順次続けることにより、2次元状に配置されたフォトダイオードのすべての信号を読み出すことができる。

このように、順次、ライン位置を変えながら読み出し制御を行うことで、1画面分の画像信号を順次取り出すことができ、連続的にこの動作を繰り返すと動画像が得られることになる。

上述した従来のMOS型固体撮像装置の単位セル $P0-i-j$ は、フォトダイオード $1-i-j$ からの電荷信号を増幅する増幅トランジスタ $2-i-j$ 、信号を読み出すラインを選択する垂直選択トランジスタ $3-i-j$ 、増幅トランジスタのゲートのゲートを充放電するリセットトランジスタ $4-i-j$ の計3つのトランジスタが必ず必要である。つまり、従来のMOS型固体撮像装置は、単位画素に相当する受光部であるフォトダイオード1個あたり、3トランジスタ構成となることから、単位セルを微細化すること、ひいては撮像装置自体を微細化することが難しいという問題があった。

また、増幅トランジスタ $2-i-j$ を用いて電荷信号は増幅して出力させるので、この増幅トランジスタ $2-i-j$ による雑音の問題も残る。つまり、増幅トランジスタ $2-i-j$ は画素である単位セル毎に設けられるが、フォトダイオードが光を受けていないときにも、増幅トランジスタは出力を発生する。これは増幅トランジスタの特性上、避けることができない暗電流や熱雑音、そして、閾値電圧のバラツキに起

因するものであり、マトリクス配置の各画素セルでそれぞれ異なる固有のものであるから、一様な光を受光面全面に当たとしても、得られる画像信号のレベルは、各画素で一様にならず、輝度むらのある画像信号となる。この輝度むらのある画像は雑音が２次元状に分布する雑音、つまり、画面という平面に分布する雑音であり、場所的に固定されているという意味で、固定パターン雑音と称される。この雑音の問題は深刻であり、画素を微細化することによって一層、顕著になるから撮像用には、その改善を図らなければ、実用化はおぼつかない。

本発明の目的は、第１には、微細化することができて小形化、単一電源化を図ることができるようにした増幅型ＭＯＳ型固体撮像装置を用いた各種応用装置を提供することにある。

本発明の目的は、第２には雑音の影響のない、きれいな画像信号を得ることができるようにしたノイズキャンセラ回路付きの増幅型ＭＯＳ型固体撮像装置およびその応用装置を提供することである。また、雑音の影響のない、きれいな画像信号を得ることができるようにしたノイズキャンセル方法を提供することである。

発 明 の 開 示

本発明は次に示すような内容を含む。

本発明による画像システムは、被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、前記所定位置に導かれた光学像を画素単位で前記光学像の光量に対応した電

気信号に光電変換するセンサを備えた画像処理手段と、この画像処理手段の出力を所定形態に加工して出力する信号加工部とを有し、前記センサが、前記所定位置に配置された光電変換素子と、この光電変換素子と接続された増幅MOSトランジスタを含み、第1タイミングで前記光電変換素子の出力を増幅して出力し、第2タイミングで前記光電変換素子の出力と無関係なノイズを出力する出力回路と、この出力回路の出力と接続され、前記第1及び第2タイミングにおける前記出力回路からみたインピーダンスが等しく、前記第1及び第2タイミングにおける前記出力回路の出力の差分を得る雑音除去回路とを有することを特徴としている。この装置は、インピーダンス同一を特徴にした光学システムである。

また、別の本発明の画像システムは、被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、前記所定位置に導かれた光学像を画素単位で前記光学像の光量に対応した電気信号に光電変換するセンサを備えた画像処理手段と、この画像処理手段の出力を所定形態に加工して出力する信号加工部とを有し、

前記センサが、

前記所定位置に配置された光電変換素子と、この光電変換素子と接続された増幅MOSトランジスタを含み、第1タイミングで前記光電変換素子の出力を増幅して出力し、第2タイミングで前記光電変換素子の出力と無関係なノイズを出力する出力回路と、前記出力回路に接続された信号線と、一端が前記信号線に接続されたクランプ容量と、このクランプ容

量の他端と所定電位との間に接続されたサンプルホールド容量と、前記クランプ容量と前記サンプルホールド容量の直列容量の2倍未満の容量を前記信号線と所定電位との間に選択的に印加するインピーダンス補正回路とを有し、前記第1及び第2タイミングにおける前記出力回路の出力の差分を得る雑音除去回路とを有することを特徴としている。この装置は、インピーダンス補正という概念を特徴にした光学システムである。

また、別の本発明の画像システムは、被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、前記所定位置に導かれた光学像を画素単位で前記光学像の光量に対応した電気信号に光電変換するセンサを備えた画像処理手段と、この画像処理手段の出力を所定形態に加工して出力する信号加工部とを有し、

前記センサが、

前記所定位置に配置された光電変換素子と、この光電変換素子と接続された増幅MOSトランジスタを含み、第1タイミングで前記光電変換素子の出力を増幅して出力し、第2タイミングで前記光電変換素子の出力と無関係なノイズを出力する出力回路と、この出力回路の出力と接続された信号線と、この信号線に入力が接続されたソースフォロア回路と、このソースフォロア回路の出力に一端が接続されたクランプ容量と、このクランプ容量の他端と第1所定電位の間に接続されたサンプルホールド容量と、前記クランプ容量の他端と第2所定電位の間に接続され、選択的に前記サンプルホールド容

量をクランプするクランプトランジスタとを有することを特徴としている。この装置は、容量の重ね合せを可能にした回路とソースフォロアを特徴にした光学システムである。

さらに別の本発明の画像システムは、被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、前記所定位置に導かれた光学像を画素単位で前記光学像の光量に対応した電気信号に光電変換するセンサを備えた画像処理手段と、この画像処理手段の出力を所定形態に加工して出力する信号加工部とを有し、前記センサが、

前記所定位置に配置された光電変換素子と、この光電変換素子と接続された増幅MOSトランジスタを含み、第1タイミングで前記光電変換素子の出力を増幅して出力し、第2タイミングで前記光電変換素子の出力と無関係なノイズを出力する出力回路と、この出力回路の出力と接続された信号線と、この信号線に一端が接続されたクランプ容量と、このクランプ容量の他端と第1所定電位の間に接続されたサンプルホールド容量と、前記クランプ容量の他端と第2所定電位の間に接続され、所定のタイミングで前記サンプルホールド容量をクランプするクランプトランジスタとを有することを特徴としている。この装置は、容量の重ね合わせを可能にした回路を特徴にした光学システム全般に適用できる。

また、本発明の別の画像システムは、被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、前記所定位置に導かれた光学像を画素単位で前記光学像の光量に対応した電気信号に光電変換するセンサを備えた画像処理手段と、

この画像処理手段の出力を所定形態に加工して出力する信号加工部とを有し、

前記センサが、

第1タイミングで雑音及び前記光量に対応した電圧を出力し、第2タイミングで前記雑音に対応した電圧を出力する画素と、この画素の出力が供給される第1ノードと、電荷を蓄積する第2ノードと、この第2ノードから前記第1ノードの電位に従って制御された所定量の電荷が転送される第3ノードとを有する3端子素子を含み、前記第1及び第2タイミングにおける前記画素の出力の差分を得る雑音除去回路とを有することを特徴としている。この装置は、3端子のノイズキャンセラ回路を用いたことを特徴とした光学システムである。

また、本発明の別の画像システムは、被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、前記所定位置に導かれた光学像を画素単位で前記光学像の光量に対応した電気信号に光電変換するセンサを備えた画像処理手段と、この画像処理手段の出力を所定形態に加工して出力する信号加工部と

を有し、前記センサが、

第1タイミングで雑音及び前記光量に対応した電圧を出力し、第2タイミングで前記雑音に対応した電圧を出力する画素と、前記第1タイミングにおける前記画素の出力電圧に応じた電荷量と前記第2タイミングにおける前記画素の出力電圧に応じた電荷量との差を出力する雑音除去回路とを有することを特徴としている。

さらに本発明の別の画像システムは、被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、前記所定位置に導かれた光学像を画素単位で前記光学像の光量に対応した電気信号に光電変換するセンサを備えた画像処理手段と、この画像処理手段の出力を所定形態に加工して出力する信号加工部とを有し、

前記センサが、

第1タイミングで雑音及び前記光量に対応した第1電気信号を出力し、第2タイミングで前記雑音に対応した第2電気信号を出力する画素と、同一の入力インピーダンスで前記第1及び第2電気信号を入力し、前記第1及び第2電気信号の差分を出力する雑音除去回路とを有することを特徴としている。

また、本発明の画像システムは、被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、前記所定位置に導かれた光学像を画素単位で前記光学像の光量に対応した電気信号に光電変換するセンサを備えた画像処理手段と、この画像処理手段の出力を所定形態に加工して出力する信号加工部とを有し、前記画像処理手段の出力のダイナミックレンジが70dB以上であることを特徴としている。

本発明の画像システムは、前記センサの出力が電圧信号であり、前記画像処理手段は、前記センサの出力が供給される電圧－電流変換回路と、この電圧－電流変換回路の出力が供給される電流－電圧変換回路と、この電流－電圧変換回路の出力を所望感度に対応した利得で増幅する増幅回路と、この

増幅回路の出力をクランプするクランプ回路とをさらに有することを特徴としている。

本発明の画像システムは、前記信号加工部は前記画像処理手段の出力に対して所定のプロセス処理を施すプロセス回路と、このプロセス回路の出力を複合映像信号に変換するエンコーダ回路とを有することを特徴としている。

また、本発明の別の画像システムは、前記光学系は、前記光学像を集光するレンズと、前記画像処理手段に対する入射光量を調整する絞り調整手段と、前記レンズと前記画像処理手段との距離を調整するフォーカス調整手段と、前記画素上に設けられた色フィルタとを有することを特徴としている。あるいは、本発明の画像システムは、前記画像処理手段が前記光学像の波長に応じて複数設けられており、

前記光学系は、

前記光学像を集光するレンズと、前記画像処理手段に対する入射光量を調整する絞り調整手段と、前記レンズと複数の前記画像処理手段との距離を調整するフォーカス調整手段と、前記レンズにより集光された光学像を波長により複数の分光し、この分光された光学像を複数の前記画像処理手段に供給する分光手段とを有することを特徴としている。

また、本発明の画像システムは、前記被写体に光を照射する光源をさらに有し、

前記信号加工部は前記画像処理手段の出力に従って前記被写体に対応する画像を印刷する印刷装置を含み、前記光学像は前記光源からの光による前記被写体からの反射光であるこ

とを特徴としている。

また、本発明の画像システムは、前記被写体に光を照射する光源をさらに有し、前記信号加工部は前記画像処理手段の出力を電話回線に送信する為の信号変換を行うモデムを含み、前記光学像は前記光源からの光による前記被写体からの反射光であることを特徴としている。

また、本発明の画像システムは、前記被写体に光を照射する光源と、前記被写体と前記光源を相対的に移動させる移動手段と、前記被写体と前記光源との位置関係を検出する位置検出手段と、をさらに有し、

前記信号加工部は前記位置検出手段の出力を用いて前記画像処理手段の出力を加工し、前記光学像は前記光源からの光による前記被写体からの反射光であることを特徴としている。

本発明の別の画像システムは、前記画像処理手段において前記画素は所定方向に1次元に配列されており、

前記光学系は、移動手段により移動可能に配置されたレンズと、このレンズより前記センサ側に距離を置いて配置され、前記レンズからの光を前記所定方向に2分して前記センサに供給する1対のセパレータレンズを含み、

前記信号加工部は、2分された前記セパレータレンズからの光の焦点位置間の距離を検出し、この検出結果に基づいて前記移動手段を駆動する信号を出力することを特徴としている。

また、本発明の画像システムは、前記被写体に光を照射する光源をさらに有し、前記被写体は前記光源と前記センサの

間に配置され映像が撮影されたフィルムであることを特徴としている。

また、本発明は固体撮像装置に関するものであり、この固体撮像装置は、光電変換素子と、この光電変換素子と接続された増幅MOSトランジスタを含み、第1タイミングで前記光電変換素子の出力を増幅して出力し、第2タイミングで前記光電変換素子の出力と無関係なノイズを出力する出力回路と、この出力回路の出力と接続され、前記第1及び第2タイミングにおける前記出力回路からみたインピーダンスが等しく、前記第1及び第2タイミングにおける前記出力回路の出力の差分を得る雑音除去回路とを有することを特徴としている。さらには、この構成において、前記出力回路と前記雑音除去回路を接続する信号線をさらに有することを特徴としている。また、前記雑音除去回路は、一端が前記信号線に接続されたクランプ容量と、このクランプ容量の他端とクランプ電位との間に接続され選択的に導通するクランプトランジスタと、前記クランプ容量の他端と所定電位との間に接続されたサンプルホールド容量と、前記信号線と所定電位の間に接続されたインピーダンス補正回路とを有することを特徴としている。さらには、前記インピーダンス補正回路は、前記クランプトランジスタが非導通の際に選択的に導通するスイッチ素子と、このスイッチ素子と直列接続され、前記クランプ容量と前記サンプルホールド容量の直列容量に等しい容量を有する補正容量とを有することを特徴としている。さらには、前記雑音除去回路は、ゲートが前記信号線に接続されたスラ

イストランジスタを有し、前記出力回路からみたインピーダンスはこのスライストランジスタのゲート容量であることを特徴としている。また、前記雑音除去回路は、前記スライストランジスタのソースとスライスパルス供給端子との間に接続されたスライス容量と、前記スライストランジスタのドレインと所定電位との間に接続され、前記差分を充電するスライス電荷転送容量とをさらに有することを特徴としている。

また、本発明の別の固体撮像装置は、光電変換素子と、この光電変換素子と接続された増幅MOSトランジスタを含み、第1タイミングで前記光電変換素子の出力を増幅して出力し、第2タイミングで前記光電変換素子の出力と無関係なノイズを出力する出力回路と、前記出力回路に接続された信号線と、一端が前記信号線に接続されたクランプ容量と、このクランプ容量の他端と所定電位との間に接続されたサンプルホールド容量と、前記クランプ容量と前記サンプルホールド容量の直列容量前記クランプ容量との差の2倍未満の容量を前記信号線と所定電位との間に選択的に印加するインピーダンス補正回路とを有し、前記第1及び第2タイミングにおける前記出力回路の出力の差分を得る雑音除去回路とを有することを特徴としている。

また、本発明のさらに別の固体撮像装置は、光電変換素子と、この光電変換素子と接続された増幅MOSトランジスタを含み、第1タイミングで前記光電変換素子の出力を増幅して出力し、第2タイミングで前記光電変換素子の出力と無関係なノイズを出力する出力回路と、この出力回路の出力と接

続された信号線と、この信号線に入力が接続されたソースフォロア回路と、このソースフォロア回路の出力に一端が接続されたクランプ容量と、このクランプ容量の他端と第1所定電位の間に接続されたサンプルホールド容量と、前記クランプ容量の他端と第2所定電位の間に接続され、選択的に前記サンプルホールド容量をクランプするクランプトランジスタとを有することを特徴としている。また、固体撮像装置を半導体集積回路素子で形成するにあたり、その半導体集積回路素子構造において、前記クランプ容量と前記サンプルホールド容量とが同一基板上で平面的に重なって形成されている構造としたことを特徴としている。

また、本発明の別の固体撮像装置は、光電変換素子と、この光電変換素子と接続された増幅MOSトランジスタを含み、第1タイミングで前記光電変換素子の出力を増幅して出力し、第2タイミングで前記光電変換素子の出力と無関係なノイズを出力する出力回路と、この出力回路の出力と接続された信号線と、この信号線に一端が接続されたクランプ容量と、このクランプ容量の他端と第1所定電位の間に接続されたサンプルホールド容量と、前記クランプ容量の他端と第2所定電位の間に接続され、所定のタイミングで前記サンプルホールド容量をクランプするクランプトランジスタとを有する。

また、本発明の固体撮像装置は、第1タイミングで雑音及び入射光に応じた電圧を出力し、第2タイミングで前記雑音に応じた電圧を出力する画素と、この画素の出力が供給される第1ノードと、電荷を蓄積する第2ノードと、この第2ノ

ードから前記第1ノードの電位に従って制御された所定量の電荷が転送される第3ノードとを有する3端子素子を含み、前記第1及び第2タイミングにおける前記画素の出力の差分を得る雑音除去回路とを有する。さらには、前記3端子素子は、前記第1ノードをゲート、前記第2ノードをソース、前記第3ノードをドレインとするMOSトランジスタであることを特徴としている。

また、本発明の固体撮像装置は、第1タイミングで雑音及び入射光に応じた電圧を出力し、第2タイミングで前記雑音に応じた電圧を出力する画素と、前記第1タイミングにおける前記画素の出力電圧に応じた電荷量と前記第2タイミングにおける前記画素の出力電圧に応じた電荷量との差を出力する雑音除去回路とを有する構成としていることを特徴としている。

また、本発明の別の固体撮像装置は、複数の水平選択線と、前記水平選択線と交差する複数の垂直信号線と、前記水平選択線と前記垂直信号線の各交差位置に設けられ、前記水平選択線の電位に応じて選択的に活性化され、この活性化期間中の第1タイミングで雑音及び入射光に応じた第1電気信号を対応する前記垂直信号線に出力し、前記活性化期間中の第2タイミングで前記雑音に応じた第2電気信号を対応する前記垂直信号線に出力する複数の画素と、前記複数の垂直信号線の各一端に設けられ、同一の入力インピーダンスで前記第1及び第2電気信号を入力し、前記第1及び第2電気信号の差分を出力する複数の雑音除去回路とを有することを特徴とし

ている。

また、本発明の別の固体撮像装置は、複数の水平選択線と、前記水平選択線と交差する複数の垂直信号線と、前記水平選択線と前記垂直信号線の各交差位置に設けられ、前記水平選択線の電位に応じて選択的に活性化され、この活性化期間中の第1タイミングで雑音及び入射光に応じた第1電気信号を対応する前記垂直信号線に出力し、前記活性化期間中の第2タイミングで前記雑音に応じた第2電気信号を対応する前記垂直信号線に出力する複数の画素と、前記複数の垂直信号線の各一端に接続された第1ノードと、電荷を蓄積する第2ノードと、この第2ノードから前記第1ノードの電位に従って制御された所定量の電荷が転送される第3ノードとを有する3端子素子を含み、前記第1及び第2タイミングにおける前記画素の出力の差分を得る複数の雑音除去回路とを有する構成であることを特徴としている。

また、本発明の別の固体撮像装置は、複数の水平選択線と、前記水平選択線と交差する複数の垂直信号線と、前記水平選択線と前記垂直信号線の各交差位置に設けられ、前記水平選択線の電位に応じて選択的に活性化され、この活性化期間中の第1タイミングで雑音及び入射光に応じた第1電圧を対応する前記垂直信号線に出力し、前記活性化期間中の第2タイミングで前記雑音に応じた第2電圧を対応する前記垂直信号線に出力する複数の画素と、前記複数の垂直信号線の各一端に設けられ、前記第1電圧に応じた電荷量と前記第2電圧に応じた電荷量との差を出力する複数の雑音除去回路とを有す

ることを特徴としている。

また、本発明の別の固体撮像装置は、複数の水平選択線と、前記水平選択線と交差する複数の垂直信号線と、前記水平選択線と前記垂直信号線の各交差位置に設けられ、前記水平選択線の電位に応じて選択的に活性化され、この活性化期間中の第1タイミングで雑音及び入射光に応じた第1電気信号を対応する前記垂直信号線に出力し、前記活性化期間中の第2タイミングで前記雑音に応じた第2電気信号を対応する前記垂直信号線に出力する複数の画素と、前記複数の垂直信号線の各一端と接続された複数のクランプ容量と、この複数のクランプ容量の各他端と第1所定電位の間に接続された複数のサンプルホールド容量と、前記複数のクランプ容量の各他端と第2所定電位の間に接続され所定のタイミングで対応する前記サンプルホールド容量をクランプする複数のクランプトランジスタとを備えた複数の雑音除去回路とを有している。

また、本発明の別の固体撮像装置は、複数の垂直信号線と、この複数の垂直信号線に対応して各々設けられ、第1タイミングで雑音及び入射光に応じた第1電気信号を対応する前記垂直信号線に出力し、第2タイミングで前記雑音に応じた第2電気信号を対応する前記垂直信号線に出力する複数の画素と、前記複数の垂直信号線の各一端に設けられ、同一の入力インピーダンスで前記第1及び第2電気信号を入力し、前記第1及び第2電気信号の差分を出力する複数の雑音除去回路とを有していることを特徴としている。

また、本発明の別の固体撮像装置は、複数の垂直信号線と、

この複数の垂直信号線に対応して各々設けられ、第1タイミングで雑音及び入射光に応じた第1電気信号に対応する前記垂直信号線に出力し、第2タイミングで前記雑音に応じた第2電気信号に対応する前記垂直信号線に出力する複数の画素と、前記複数の垂直信号線の各一端に接続された第1ノードと、電荷を蓄積する第2ノードと、この第2ノードから前記第1ノードの電位に従って制御された所定量の電荷が転送される第3ノードとを有する3端子素子を含み、前記第1及び第2タイミングにおける前記画素の出力の差分を得る複数の雑音除去回路とを有していることを特徴としている。

また、本発明の別の固体撮像装置は、複数の垂直信号線と、この複数の垂直信号線に対応して各々設けられ、第1タイミングで雑音及び入射光に応じた第1電圧に対応する前記垂直信号線に出力し、第2タイミングで前記雑音に応じた第2電圧に対応する前記垂直信号線に出力する複数の画素と、前記複数の垂直信号線の各一端に設けられ、前記第1電圧に応じた電荷量と前記第2電圧に応じた電荷量との差を出力する複数の雑音除去回路とを有していることを特徴としている。

また、本発明の別の固体撮像装置は、複数の垂直信号線と、この複数の垂直信号線に対応して各々設けられ、第1タイミングで雑音及び入射光に応じた第1電気信号に対応する前記垂直信号線に出力し、第2タイミングで前記雑音に応じた第2電気信号に対応する前記垂直信号線に出力する複数の画素と、前記複数の垂直信号線の各一端と接続された複数のクランプ容量と、この複数のクランプ容量の各他端と第1所定電

位の間に接続された複数のサンプルホールド容量と、前記複数のクランプ容量の各他端と第2所定電位の間に接続され所定のタイミングで対応する前記サンプルホールド容量をクランプする複数のクランプトランジスタとを備えた複数の雑音除去回路とを有することを特徴としている。

また、本発明の別の固体撮像装置は、複数の水平選択線と、この水平選択線と交差する垂直信号線と、前記水平選択線と前記垂直信号線の各交差位置に設けられ、前記水平選択線の電位に応じて選択的に活性化され、この活性化期間中の第1タイミングで雑音及び入射光に応じた第1電気信号を前記垂直信号線に出力し、前記活性化期間中の第2タイミングで前記雑音に応じた第2電気信号を前記垂直信号線に出力する複数の画素と、前記垂直信号線の一端に設けられ、同一の入力インピーダンスで前記第1及び第2電気信号を入力し、前記第1及び第2電気信号の差分を出力する雑音除去回路とを有することを特徴としている。

また、本発明の別の固体撮像装置は、複数の水平選択線と、この水平選択線と交差する垂直信号線と、前記水平選択線と前記垂直信号線の各交差位置に設けられ、前記水平選択線の電位に応じて選択的に活性化され、この活性化期間中の第1タイミングで雑音及び入射光に応じた第1電気信号を前記垂直信号線に出力し、前記活性化期間中の第2タイミングで前記雑音に応じた第2電気信号を前記垂直信号線に出力する複数の画素と、前記垂直信号線の一端に接続された第1ノードと、電荷を蓄積する第2ノードと、この第2ノードから前記

第1ノードの電位に従って制御された所定量の電荷が転送される第3ノードとを有する3端子素子を含み、前記第1及び第2タイミングにおける前記画素の出力の差分を得る雑音除去回路とを有することを特徴としている。

また、本発明の別の固体撮像装置は、複数の水平選択線と、前記水平選択線と交差する垂直信号線と、前記水平選択線と前記垂直信号線の各交差位置に設けられ、前記水平選択線の電位に応じて選択的に活性化され、この活性化期間中の第1タイミングで雑音及び入射光に応じた第1電圧を前記垂直信号線に出力し、前記活性化期間中の第2タイミングで前記雑音に応じた第2電圧を前記垂直信号線に出力する複数の画素と、前記垂直信号線の一端に設けられ、前記第1電圧に応じた電荷量と前記第2電圧に応じた電荷量との差を出力する雑音除去回路とを有することを特徴としている。

また、本発明の別の固体撮像装置は、複数の水平選択線と、前記水平選択線と交差する垂直信号線と、前記水平選択線と前記垂直信号線の各交差位置に設けられ、前記水平選択線の電位に応じて選択的に活性化され、この活性化期間中の第1タイミングで雑音及び入射光に応じた第1電気信号を前記垂直信号線に出力し、前記活性化期間中の第2タイミングで前記雑音に応じた第2電気信号を前記垂直信号線に出力する複数の画素と、前記垂直信号線の一端と接続されたクランプ容量と、このクランプ容量の他端と第1所定電位の間に接続されたサンプルホールド容量と、前記クランプ容量の他端と第2所定電位の間に接続され所定のタイミングで前記サンプル

ホールド容量をクランプするクランプトランジスタとを備えた雑音除去回路とを有することを特徴としている。

また、本発明は固体撮像装置半導体集積回路に関するものであり、集積回路化するにあたりその構造として、半導体基板と、この半導体基板表面に形成された固体撮像装置と、この固体撮像装置上に形成され、前記複数の画素に対応する複数の開口を有する遮光膜とを有することを特徴とする。さらには前記開口上に選択的に形成された色フィルタを有することを特徴としている。また、前記開口上に形成されたマイクロレンズをさらに有することを特徴としている。

また、本発明はノイズキャンセル方法として、MOSトランジスタのゲートに第1電圧を印加するステップと、前記MOSトランジスタのソースに一端が接続されたコンデンサに充電された電荷をリセットするステップと、前記コンデンサの他端に第1パルスを印加し、所定電荷を前記MOSトランジスタのソースからドレインを介して放電するステップと、前記MOSトランジスタのゲートに第2電圧を印加するステップと、前記コンデンサの他端に前記第1パルスと振幅の等しい第2パルスを印加し、前記第1電圧と第2電圧の差分に相当する電荷を前記MOSトランジスタのソースからドレインに転送するステップとを有することを特徴としている。

また、本発明は差分抽出するノイズキャンセル方法として、第1コンデンサの一端に第1電圧を印加すると共に、前記第1コンデンサの他端にクランプ電圧を印可するステップと、前記第1コンデンサの一端に第2電圧を印加することにより

前記第1コンデンサの他端に前記第1電圧と第2電圧の差分を前記第1コンデンサの他端に一端が直接接続された第2コンデンサに充電するステップとを有することを特徴としている。さらには、前記第1コンデンサの一端はインピーダンス変換回路の出力端子に接続され、前記第1及び第2電圧はこのインピーダンス変換回路の出力であることを特徴とする。さらには、前記第1及び第2電圧は、一方が固体撮像素子の画素に入射された入射光に対応する出力電圧と前記画素から生じる固定パタンノイズ電圧の和であり、他方が前記固定パタンノイズであることを特徴としている。

図面の簡単な説明

図1は、MOS型固体撮像装置の従来例の構成を示す回路図、

図2は、図1の従来例の動作を示すタイミングチャート、

図3は、固体撮像素子の基本的構成を示す図、

図4は、画像検出部としてMOSセンサを用いた装置の一般的構成を示す図、

図5は、本発明の第2実施例を説明するための図であって、本発明におけるMOSセンサを用いたビデオカメラの実施例を示す構成図、

図6は、カラーフィルタアレイ104とMOSセンサ105を一体化した構成のMOS撮像デバイスの一例を示す断面図であり、

図7は、本発明の第3実施例を説明するための図であって、

本発明におけるMOSセンサを用いた別のビデオカメラの実施例を示す構成図、

図8は本発明の第4実施例を説明するための図であって、本発明における増幅型MOSセンサのネットワークシステムでの応用例を説明するための図、

図9は、本発明の第5実施例を説明するための図であって、本発明における増幅型MOSセンサのスチルカメラへの応用例を説明するための図、

図10は、本発明の第6実施例を説明するための図であって、本発明におけるMOSセンサを用いたファクシミリ装置の実施例を示す図、

図11は、本発明の第7実施例を説明するための図であって、本発明におけるMOSセンサを用いた電子複写機の実施例を示す図、

図12は、本発明の第8実施例を説明するための図であって、本発明におけるMOSセンサを用いたハンディ形イメージスキャナの実施例を示す図、

図13は、本発明の第9実施例を説明するための図であって、機械切り替え式のカラーフィルタを用いた増幅型MOSセンサの構成例を示す図、

図14は、本発明の第10実施例を説明するための図であって、本発明における増幅型MOSセンサのフィルムスキャナ装置への応用例を説明するための図、

図15は、本発明の第11実施例を説明するための図であって、本発明におけるMOSセンサを用いたオートフォーカ

ス機構付きの1眼レフカメラの実施例を示す図、

図16A、図16B、図16Cは、オートフォーカス機構の焦点合わせの原理を説明するための図、

図17は、本発明の第12実施例を説明するための図であって、MOS型固体撮像装置の構成例を示す回路図、

図18は、第12実施例における垂直アドレス回路の回路構成例を示す図、

図19は、第12実施例における垂直アドレス回路の他の回路構成例を示す図、

図20は、第12実施例における垂直アドレス回路のさらに他の回路構成例を示す図、

図21は、第12実施例の単位セルの回路図、

図22A、図22B、図22Cは、第12実施例の単位セルの増幅トランジスタの閾値電圧のバラツキを補正する原理を説明する図、

図23は、第12実施例の動作を示すタイミングチャート、

図24は、第12実施例のノイズキャンセラ部分の装置構造を示す断面図、

図25A、図25Bは、第12実施例の単位セルの装置構造を示す断面図、

図26は、第12実施例の単位セルの部分の半導体基板の変形例を示す図、

図27は、CCD型固体撮像装置の従来例のセルの断面図、

図28は、第12実施例における単位セルの部分の半導体基板の他の変形例を示す図、

図29は、第12実施例における単位セルの部分の半導体基板のさらに他の変形例を示す図、

図30は、第12実施例における単位セルの部分の半導体基板のさらに他の変形例を示す図、

図31は、第12実施例における単位セルの部分の半導体基板のさらに他の変形例を示す図、

図32は、第12実施例における単位セルの部分の半導体基板のさらに他の変形例を示す図、

図33は、本発明の第13実施例を説明するための図であって、MOS型固体撮像装置構成例を示す回路図、

図34は、第13実施例の動作を示すタイミングチャート、

図35は、本発明の第14実施例を説明するための図であって、MOS型固体撮像装置の構成例を示す回路図、

図36は、第14実施例の動作を示すタイミングチャート、

図37は、本発明の第15実施例を説明するための図であって、MOS型固体撮像装置の構成例を示す回路図、

図38は、本発明の第16実施例を説明するための図であって、MOS型固体撮像装置の構成例を示す回路図、

図39は、本発明の第17実施例を説明するための図であって、MOS型固体撮像装置の構成例を示す回路図、

図40は本発明の第18実施例を説明するための図であって、第18実施例におけるMOS型固体撮像装置の第1の構成例を示す回路図、

図41は、本発明の第18実施例を説明するための図であって、第18実施例におけるMOS型固体撮像装置の第2の

構成例を示す回路図、

図42は、本発明の第19実施例を説明するための図であって、MOS型固体撮像装置の単位セルの構成例を示す回路図、

図43は、本発明の第20実施例を説明するための図であって、MOS型固体撮像装置の単位セルの構成例を示す回路図、

図44は、本発明の第21実施例を説明するための図であって、MOS型固体撮像装置の単位セルの構成例を示す回路図、

図45は、本発明の変形例において、水平信号線に接続されるビデオアンプの回路図、

図46は、本発明の第22実施例を説明するための図であって、この実施例に係わる増幅型MOSセンサを用いた固体撮像装置を示す回路構成図、

図47は、図46の固体撮像装置の動作を示すタイミングチャート、

図48は、図46の固体撮像装置におけるスライストランジスタのポテンシャル図、

図49は、転送トランジスタを用いたセルを示す回路構成図、

図50は、本発明の第23実施例に係わる増幅型MOSセンサを用いた固体撮像装置を示す回路構成図、

図51は、図50の固体撮像装置の動作を示すタイミングチャート、

図52は、本発明の第24実施例に係わる増幅型MOSセンサを用いた固体撮像装置を示す回路構成図、

図53は、本発明の第24実施例に係わる固体撮像装置を示す回路構成図であって、図52の構成の一部を変形した固体撮像装置を示す回路構成図、

図54は、図52、図53に示した第24実施例に係わる固体撮像装置の動作を示すタイミングチャート、

図55は、垂直信号線電位とクランプノード電位の時間変化を示す図、

図56は、垂直信号線電位とクランプノード電位の時間変化を示す図、

図57は、本発明の第25実施例を説明するための図であって、本発明によるMOS型固体撮像装置の構成を示す回路図、

図58は、第25実施例の回路における垂直アドレス回路5の回路構成例を示す図、

図59は、第25実施例の回路における垂直アドレス回路5の他の回路構成例を示す図、

図60は、第25実施例の回路における垂直アドレス回路のさらに他の回路構成例を示す図、

図61は、第25実施例の回路における単位セルの回路図、

図62は、第25実施例の動作を示すタイミングチャート、

図63は、第25実施例の回路における単位セルの部分の半導体基板のさらに他の変形例を示す図、

図64は、第25実施例の回路における単位セルの部分の

半導体基板のさらに他の変形例を示す図、

図65は、第25実施例の回路における単位セルの出力回路の変形例の回路図、

図66は、本発明の第26実施例を説明するための図であって、MOS型固体撮像装置の構成例を示す回路図、

図67は、第26実施例の動作を示すタイミングチャート、

図68は、本発明の第27実施例を説明するための図であって、MOS型固体撮像装置の構成例を示す回路図、

図69は、本発明の第28実施例を説明するための図であって、MOS型固体撮像装置の構成例を示す回路図、

図70は、第28実施例の動作を示すタイミングチャート、

図71は、第28実施例の回路におけるスライストランジスタのポテンシャル図、

図72は、本発明の第29実施例を説明するための図であって、MOS型固体撮像装置の構成例を示す回路図、

図73は、本発明の第30実施例を説明するための図であって、第30実施例におけるMOS型固体撮像装置の第1の構成例を示す回路図、

図74は、本発明の第30実施例を説明するための図であって、第30実施例におけるMOS型固体撮像装置の第2の構成例を示す回路図、

図75は、第30実施例の動作を示すタイミングチャート、

図76は、第30実施例の回路におけるノイズキャンセラ回路のポテンシャル図

図77は、本発明の第31実施例を説明するための図であ

って、MOS型固体撮像装置の構成例を示す回路図、

図78は、第31実施例の動作を示すタイミングチャート、

図79は、本発明の第32実施例を説明するための図であ
って、MOS型固体撮像装置の構成例を示す回路図、

図80は、第32実施例の回路における単位セルの回路図、

図81は、本発明の第33実施例を説明するための図であ
って、MOS型固体撮像装置の構成例を示す回路図、

図82は、第33実施例の動作を示すタイミングチャート、

図83は、本発明の第34実施例を説明するための図であ
って、MOS型固体撮像装置の構成例を示す回路図、

図84は、第34実施例の動作を示すタイミングチャート、

図85は、本発明の第35実施例を説明するための図であ
って、MOS型固体撮像装置の構成例を示す回路図、

図86は、本発明の第36実施例を説明するための図であ
って、MOS型固体撮像装置の構成例を示す回路図、

図87は、本発明の第37実施例を説明するための図であ
って、MOS型固体撮像装置の構成例を示す回路図、

図88は、第37実施例の動作を示すタイミングチャート、

図89は、本発明の第38実施例を説明するための図であ
って、MOS型固体撮像装置の構成例を示す回路図、

図90は、本発明の第39実施例を説明するための図であ
って、第39実施例におけるMOS型固体撮像装置の第1の
構成例を示す回路図、

図91は、本発明の第39実施例を説明するための図であ
って、第39実施例におけるMOS型固体撮像装置の第2の

構成例を示す回路図、

図92は、第39実施例の動作を示すタイミングチャート、

図93は、本発明の第40実施例を説明するための図であって、MOS型固体撮像装置の単位セルの構成例を示す回路図、

図94は、本発明の第41実施例を説明するための図であって、MOS型固体撮像装置の単位セルの構成例を示す回路図、

図95は、本発明の第42実施例を説明するための図であって、MOS型固体撮像装置の単位セルの構成例を示す回路図、

図96は、第42実施例の動作を示すタイミングチャート、

図97は、第42実施例の装置構造を示す図、

図98は、本発明の第43実施例を説明するための図であって、MOS型固体撮像装置の単位セルの構成例を示す回路図、

図99は、本発明の第44実施例を説明するための図であって、MOS型固体撮像装置の単位セルの構成例を示す回路図、

図100は、本発明の第45実施例を説明するための図であって、MOS型固体撮像装置の単位セルの構成例を示す回路図、

図101は、本発明の第46実施例を説明するための図であって、MOS型固体撮像装置の単位セルの構成例を示す回路図、

図102は、第46実施例の動作を示すタイミングチャート、

図103は、本発明の第47実施例を説明するための図であって、本発明におけるMOSセルマトリクスをランダムアクセスしようとする場合のセル部を含めた周辺回路の構成例を示すブロック図、

図104は、図103の構成におけるアドレスバッファBVA、BHA及びデコーダ回路DV、DHの具体的な構成例を示す回路図である。

発明を実施するための最良の形態

以下、図面を参照して本発明によるMOS型固体撮像装置およびその応用装置の実施例を説明する。

固体撮像素子は従来CCDセンサを用いることが一般的である。固体撮像素子の基本的構成は図3に示すように、入力部I、処理部II、出力部IIIからなる。入力部Iは受光部であり、この受光部Iは画素を構成するフォトダイオードを複数画素分、配列して、受光量に対応して各画素から電気信号を出力する構成である。処理部IIはこの各画素の信号を順に読み出すと共に、ノイズキャンセルする部分であり、出力部IIIは各画素から読み出された信号を出力する回路である。CCDセンサの場合、複数種の駆動電源を必要とし、省エネ化をはかりにくく、また、電池駆動とする場合に、複数種の電圧を作るために、回路規模の大きな電源回路を必要とする。

本発明ではCCDセンサの代わりに、単一電源で駆動可能

なMOSセンサを用い、MOSセンサの問題となるS/Nの問題を前記処理部に読み出し制御の回路のほかにノイズキャンセラ回路を設けて解決する。そして、これにより省エネ化と、小型化を図る。

本発明で用いられるMOSセンサは、 $m \times n$ 個のフォトダイオードをマトリックス状に配列した $m \times n$ 画素構成のMOSセンサであり、フォトダイオード $m \times n$ 個をマトリックス状に配列した受光部（入力部）と、この受光部を構成する各フォトダイオードから順に信号を読み出すための読み出し部およびノイズキャンセラ回路部を備えた処理部、この処理部で読み出された信号を出力する出力部から構成される。

処理部には読み出し部と本発明によるノイズキャンセラ回路が設けられている。本発明で用いられるMOSセンサは、雑音成分のみを取り出すタイミングと、雑音成分の乗った信号成分の取り出しのタイミングとに分けて信号を取り出し、これより雑音成分をキャンセルすることで、雑音の影響の無い信号成分を得ようとするものである。そして、ノイズキャンセラ回路は雑音成分のみの出力時と、雑音成分と信号成分の出力時とでインピーダンスを揃えることができるようにして精度良くノイズをキャンセルできるようにした。このようなノイズキャンセラ回路が備えられていることにより、本発明で用いるMOSセンサは、実用化レベルに達した低ノイズで、しかも高速にノイズキャンセルが行える高性能なMOSセンサとなっている。

なお固体撮像素子として、本発明で用いられるMOSセン

サを用いるようにすると、MOSセンサにおける光電変換を行うセンサ部と、その他の回路（I/V変換回路、AGC回路、CLP回路、ADC回路）は、通常のMOSプロセスを用いて製造することができるようになる。そのため、これらの回路を同一半導体チップ上に形成することが容易になる。また、これにより低消費電力化が実現され、ビデオカメラ等においては単一電圧で駆動可能になって、電源回路が簡易化され、電池駆動がし易くなる。

第 1 実施例

システム実施例

低消費電力・低電圧化を図り、しかもS/Nの良い、単一電源化を図ったMOS型固体撮像装置を適用した各種システムを説明する。

図4に画像検出部としてMOSセンサを用いた装置の一般的構成を示す。図に示すように、光学系A1、MOSセンサA2、信号応用部A3より構成されている。光学系A1は、MOSセンサA2に光学像を導く装置であり、具体的にはレンズ、プリズム、ピンホール、ダイクロイックミラー、集光性光ファイバ、凹面鏡、凸面鏡、色フィルタ、シャッタ機構、絞り機構等を、システムの用途に応じて適宜組み合わせて構成される。

MOSセンサA2は光学系A1にて導かれた光学像をその光量対応に画像信号に変換すると共に、ノイズキャンセル処理して雑音のない信号成分のみを出力する装置である。

MOSセンサA2の有するこのノイズキャンセル処理の要素が、詳細は後述する重要な要素の一つであるノイズキャンセラ回路である。

信号応用部A3はノイズキャンセル処理されたMOSセンサA2の出力を、システムの形態に応じて加工する装置である。例えば、システムとしてビデオカメラを想定した場合においては、信号応用部A3はMOSセンサA2から出力された画像信号をPAL方式、あるいはNTSC方式等の複合映像信号に変換するなどの応用機能部分である。

MOSセンサA2は、単一電源で駆動可能であり、また、光を電気信号に変換するための受光部としてフォトダイオードを用いている。フォトダイオードは画素に相当するものであり、複数個、マトリクス状に配設してあるのは、従来と同じである。画素を微細化するために、フォトダイオードは面積が小さくなるが、そのため、出力は小さくなり、その小さな出力を増幅するために、画素に対応して増幅器（トランジスタ）を設けてある。この増幅器（トランジスタ）を通すことで発生する雑音（増幅トランジスタの特性上、避けられない雑音成分）を、MOSセンサA2の有するフォトダイオードの出力のリセット操作、このリセット操作時の増幅器（トランジスタ）の出力信号（雑音成分）の保持、この保持した出力信号（雑音成分）とリセット操作前、またはリセット操作終了後の増幅器（トランジスタ）の出力信号（“信号成分＋雑音成分”）を利用しての両者のキャンセル処理といった処理操作を行うことで、ノイズキャンセルして信号成分のみ

を抽出する。

また、このMOSセンサA2は後述する構成にすることにより、出力信号の電圧振幅が10mV程度以下で、出力電流が1 μ A程度の以上の1/f雑音の無い出力を得ることができる。さらにこのMOSセンサA2の出力のダイナミックレンジはCCDセンサと同程度の70dBまたはそれ以上にまで向上し、適当な信号処理を施すことにより、銀塩フィルムと同程度の90dBまで更に向上させることも可能である。

この結果、単一電源で、高感度の増幅型MOSセンサを撮像デバイスとして用いた各種システムを実現でき、低消費電力・低電圧化を図ると共に、しかもS/Nの良い増幅型MOS型固体撮像装置（増幅型MOSセンサ）の応用装置を提供できる。

第 2 実 施 例

増幅型MOSセンサのビデオカメラへの応用

図5に本発明におけるMOSセンサを用いたビデオカメラの実施例を示す。図5に示すように、本発明のビデオカメラ100は、被写体像をとりこむ光学系であるレンズ101、この光学系のフォーカス調整するためのフォーカス調整機構102、光学系の入射光量を調整する絞り機構116やフォーカス調整機構102を制御する絞り調整・フォーカス調整回路103、レンズ101で結像された光学像を画素単位でその光学像の光量に対応した電気信号に変換する撮像素子であるMOSセンサ105、MOSセンサ105の結像面側に

設けられ、画素毎にRGBのいずれかのカラーフィルタ部を有するカラーフィルタアレイ104、MOSセンサ105により得られた電気信号を電圧信号に変換する電流電圧変換回路106、電流電圧変換回路106を経て得られた電圧信号のレベルを調整するAGC回路107、AGC回路107を経てレベルが揃えられた電圧信号をクランプするクランプ回路(CLP)108、CLP108からの出力をレベル対応のデジタル信号に変換するアナログデジタル変換回路(ADC)109、システムの動作の基本となるタイミングをとるタイミングパルス(クロック信号)を発生するタイミング制御回路110、このタイミング制御回路110の出力するクロック信号に同期してMOSセンサ105の駆動制御をするTG/SG回路111、ADC109からの出力であるデジタル信号をプロセス処理するプロセス制御回路112、このプロセス制御回路112によりプロセス処理された信号をエンコードするエンコーダ回路113、エンコードされた信号を出力する出力回路114、出力回路114を介して出力された信号をアナログ信号に変換するデジタルアナログ変換回路115よりなる。

このような構成のビデオカメラ100において、被写体からの光は、レンズ101を通してMOSセンサ105に入射し、入射した光は光電変換によって電気信号に変換され電流値として出力される。MOSセンサ105上には各画素に対応して赤、青、緑の色フィルタが規則的に配列されたカラーフィルタアレイ104が形成されており、これにより、1個

のMOSセンサ105から3原色に対応するカラー画像信号が電気信号として出力される。

MOSセンサ105から出力された電気信号は、電流電圧変換回路106、AGC回路107、CLP回路108を介してADC回路109に供給される。

ADC回路109はCLP回路108からの画像信号に基づいて、例えば1サンプル値が8ビットからなるデジタルデータに変換し、このデータをプロセス制御回路112へ供給する。

プロセス制御回路112は、例えば色分離回路、クランプ回路、ガンマ補正回路、ホワイトクリップ回路、ブラッククリップ回路、ニー回路等からなり、供給された映像信号に対して必要に応じてプロセス処理を施す。また必要に応じ、色バランス等の処理を施す。該プロセス制御回路112により処理された信号は、エンコーダ回路113に送られる。

エンコーダ回路113では、送られてきた信号を演算し、輝度信号、色差信号に変換する。また、ビデオカメラ出力をネットワーク等により通信する場合にはこのエンコーダ回路113においてPALやNTSC方式等への複合映像信号に変換する処理が施される。

また、MOSセンサ105、電流電圧変換回路106は、TG/SG（タイミングジェネレータ/シグナルジェネレータ）回路111から送られるタイミング信号、同期信号によりタイミングが制御される。このTG/SG回路111の動作電源および出力電圧は、MOSセンサ105に供給される

電源レベルと同一である。

その後、映像信号は出力回路114を介してD/A変換回路115に与えられ、このD/A変換回路115はこの入力された信号をアナログビデオ信号に変換してカメラ信号として出力する。また、映像信号は出力回路114を介して直接、デジタルの信号としての出力も可能である。そしてこれらのカメラ信号は、ビデオテープレコーダ等の記録装置やモニタ装置に供給される。

本実施例では、低消費電力・低電圧化を図り、しかも、1秒間に30フレームの画像を処理する必要があるビデオカメラにおいて、固定パターン雑音成分を水平帰線期間内にキャンセルすることができて、S/Nの良い高画質の画像信号を得ることのできるビデオカメラを提供できるようになる。

なお、この実施例において、カラーフィルタアレイ104と撮像デバイスであるMOSセンサ105は別体の構成のものを使用したか、近年においてはCCDデバイスを例に考えてみると、撮像デバイスとカラーフィルタを一体にしたものも多い。そこで、カラーフィルタアレイ104とMOSセンサ105を一体化した構成のものを使用するようにすることもできる。カラーフィルタアレイ104とMOSセンサ105を一体化した撮像デバイスは図6の如き構成とすれば良い。

すなわち、多数の微細なフォトダイオードPDがマトリクス状に配置されて形成された半導体基板Subの各フォトダイオード受光面側に、各フォトダイオード受光面の領域部分

を開口させたしゃ光マスクであるしゃ光膜Mslを例えば、アルミニウムにより形成して、その上に透明な平滑膜Mitを形成し、さらにその上にシアンフィルタFCy、マゼンタフィルタFMg、イエローフィルタFYeを形成する。

フォトダイオードPDは、マゼンタ像用Mg、グリーン像用G、イエロー像用Ye、シアン像用Cyに分けてあり、シアンフィルタFCyはグリーン像用とシアン像用のフォトダイオードの受光面上に、また、マゼンタフィルタFMgはマゼンタ像用のフォトダイオードの受光面上に、イエローフィルタFYeはイエロー像用のフォトダイオードの受光面上に、それぞれ位置するように形成する。そして、上面に透明なオーバーコート層Ocを形成し、その上にマイクロレンズアレイLmcを形成する。マイクロレンズアレイLmcは多数の微小なレンズを並べて形成したものであり、それぞれの微小なレンズ部分はフォトダイオードPDの受光面上に、来るように設計されている。このマイクロレンズアレイLmcにより、フォトダイオードPDに対する光の入射量を確保し、フォトダイオードPDの検出感度を高めている。

このようなカラーフィルタ・一体形成型の撮像デバイスを単板式撮像系の撮像素子(MOSセンサ105)として用いるようにすると、カラーフィルタを別置きにする必要が無くなり、MOSセンサ105の受光面における各画素に対するカラーフィルタの位置合わせを省くことができ、光学系の省スペース化を図ることができるようになる。

第 3 実 施 例

増幅型MOSセンサのビデオカメラへの応用

図7に本発明におけるMOSセンサを用いた別のビデオカメラの実施例を示す。図7に示す例は、図5が単板式撮像系であったのに対して、撮像系をRGB（赤、緑、青）の3系統にわけた3板式のビデオカメラの例である。図7に示すように、本発明のビデオカメラ100-2は、被写体像をとりこむ光学系であるレンズ101、この光学系のフォーカス調整するためのフォーカス調整機構102、光学系の入射光量を調整する絞り機構116やフォーカス調整機構102を制御する絞り調整・フォーカス調整回路103、レンズ101で取り込まれた光学像をRGBの三原色成分に分解する色分解プリズム201R、201G、201B、これら色分解プリズム201R、201G、201BによりRGBの三原色成分に分解された画像が結像されて画素単位でその光学像の光量対応の電気信号に変換する撮像素子であるR成分用、G成分用、B成分用のMOSセンサ105R、105G、105B、これらMOSセンサ105R、105G、105Bにより得られた電気信号を電圧信号に変換するR成分系統用、G成分系統用、B成分系統用の電流電圧変換回路106R、106G、106B、電流電圧変換回路106R、106G、106Bにて得られた電圧信号のレベルを調整するR成分系統用、G成分系統用、B成分系統用のAGC回路107R、107G、107B、AGC回路107R、107G、107Bを経てレベルが揃えられた電圧信号をクランプするR成

分系統用、G成分系統用、B成分系統用のクランプ回路（CLP）108R、108G、108B、CLP 108R、108G、108Bからの出力をレベル対応のデジタル信号に変換するR成分系統用、G成分系統用、B成分系統用のアナログデジタル変換回路（ADC）109R、109G、109B、システムの動作の基本となるタイミングをとるタイミングパルスを発生するタイミング制御回路110、このタイミング制御回路110の出力するタイミングパルスに同期してMOSセンサ105の駆動制御をするR成分系統用、G成分系統用、B成分系統用のTG/SG回路111、ADC 109R、109G、109Bからの出力であるデジタル信号をプロセス処理するプロセス制御回路112、このプロセス制御回路112によりプロセス処理された信号をエンコードするエンコーダ回路113、エンコードされた信号を入出力制御する出力回路114、出力回路114を介して出力された信号をアナログ信号に変換するデジタルアナログ変換回路115よりなる。

このような構成のビデオカメラ100-2において、被写体からの光は、レンズ101を通り、色分解プリズム201R、201G、201Bを通してMOSセンサ105R、105G、105Bに結像される。

これら色分解プリズム201R、201G、201Bは光学像をRGBの三原色成分に分解するためのものであり、色分解プリズム201R、201G、201BによりRGBの三原色成分に分解された画像はそれぞれ成分別に該当のMO

Sセンサ105R, 105G, 105Bに結像される。

MOSセンサ105R, 105G, 105Bに結像されたR成分、G成分、B成分の光学像は、ここで光電変換されて電流信号になり、明るさ対応の電流値として出力される。

MOSセンサ105R, 105G, 105Bから出力された成分別の電気信号は、各成分別の電流電圧変換回路106R, 106G, 106B、AGC回路107R, 107G, 107B、CLP回路108R, 108G, 108Bを介してADC回路109R, 109G, 109Bに供給される。

各成分別のADC回路109R, 109G, 109BはCLP回路108からの画像信号に基づいて、例えば1サンプル値が8ビットからなるデジタルデータに変換し、このデータをプロセス制御回路112へ供給する。

プロセス制御回路112は、例えばガンマ補正回路、ホワイトクリップ回路、ブラッククリップ回路、ニー回路等からなり、供給された映像信号に対して必要に応じてプロセス処理を施す。また必要に応じ、色バランス等の処理を施す。該プロセス制御回路112により処理された信号は、エンコーダ回路113に送られる。エンコーダ回路113では、送られてきた信号を演算し、色バランス等の処理を施す。また、ビデオカメラ出力をネットワーク等により通信する場合にはこのエンコーダ回路113において、標準のカラーテレビジョン放送方式であるPAL方式やNTSC方式等への複合映像信号に変換する処理が施される。

また、MOSセンサ105R, 105G, 105B、電流

電圧変換回路106R, 106G, 106Bは、自系統対応のTG/SG回路111から送られるタイミング信号、同期信号によりタイミングが制御される。このTG/SG回路111の動作電源および出力電圧は、MOSセンサ105に供給される電源レベルと同一である。

その後、映像信号は出力回路114を介してD/A変換回路115に与えられ、このD/A変換回路115はこの入力された信号をアナログビデオ信号に変換してカメラ信号として出力する。また、映像信号は出力回路114を介して直接、デジタルの信号としての出力も可能である。そしてこれらのカメラ信号は、ビデオテープレコーダ等の記録装置やモニタ装置に供給される。

本実施例では、低消費電力・低電圧化を図り、しかも、1秒間に30フレームの画像を処理する必要があるビデオカメラにおいて、固定パターン雑音成分を水平帰線期間内にキャンセルすることができて、S/Nを確保して高画質の画像信号を得ることのできるビデオカメラを提供できる。

以上の例は、光学像をRGBの三原色成分に分解するのに色分解プリズムを用いた構成であるが、これはダイクロイックミラーにより、色分解する構成とすることもできる。例えば、赤反射、緑反射、青反射の各ダイクロイックミラーにより、入射光を分離分配し、それぞれRGBの成分に光学像を分解する。その光学像をR像用、G像用、B像用のMOSセンサで撮像し、R像、G像、B像の画像信号を得る。このようにすると、プリズムを用いずとも、光学像を三原色の成分

別にして得ることができる構成となる。

第 4 実 施 例

増幅型MOSセンサのネットワークシステムでの応用

図8に上述のビデオカメラ100, 100-2の信号を、ネットワークを通してモニタ装置等へ送るときのシステム構成例を示す。図において、300はネットワークであり、LAN（ローカルエリアネットワーク）や公衆回線（電話回線）、専用線といったものや、インターネット、イントラネットなど、何でも良い。ビデオカメラ100, 100-2はこのネットワーク300に対してインターフェース301を介して接続される。

310はインテリジェント端末であり、パーソナルコンピュータ或いはワークステーションなどが相当する。インテリジェント端末310はプロセッサやメインメモリ、クロックジェネレータなどを含むコンピュータ本体311と、ネットワーク接続用のインターフェース312と、画像表示用のメモリであるビデオRAM313、プリンタインターフェース314、SCSI（Small Computer System Interface）などの標準バスインターフェース315, 317、ビデオカメラ接続用のインターフェース316などを備えており、これらは内部バスで接続されている。ビデオRAM313にはCRTモニタや液晶ディスプレイなどのモニタ装置318が接続されており、また、プリンタインターフェース314にはプリンタが接続されている。標準バスインターフェース31

7には光ディスク装置やハードディスク装置或いはDVD (Digital Video Disc) などの大容量外部記憶装置320が接続され、さらには標準バスインターフェース317には例えば、ハードコピーからイメージ像を取り込むイメージスキャナ321が接続されている。また、ビデオカメラ接続用のインターフェース316には例えば上述の実施例で説明した構成のビデオカメラ100が接続されている。

このような構成において、ビデオカメラ100または100-2において撮像されることにより得られた被写体の画像は上述したように、エンコーダ回路113によりビデオカメラ出力をネットワーク等により通信するためにMPEG方式で画像圧縮処理されたデジタル信号に変換する処理が施される。そして、この複合映像信号はデジタルデータとしてインターフェース301を介してネットワークでの伝送フォーマットでネットワーク300へと出力される。ネットワーク300にはインターフェース312を介してインテリジェント端末310が接続されており、ビデオカメラ100または100-2からの伝送データが当該インテリジェント端末310宛てのものであれば、当該インテリジェント端末310のコンピュータ本体311はこの伝送データをインターフェース312を介してネットワーク300から取り込む。そして、コンピュータ本体311はこの伝送データから画像情報部分を抽出する。ビデオカメラ100または100-2では画像を圧縮処理しているので、コンピュータ本体311は前記画像を伸長処理し、元の画像に復元する。そして、復元した画

像のデータをビデオRAM313に順次、書き込む。画像は動画であるからビデオRAM313の画像データは次々に更新する。この結果、ビデオRAM313の画像データを画像として表示するモニタ装置318にはビデオカメラ100または100-2から送られてきた動画が表示されることになる。

ビデオカメラ100において撮像されることにより得られた被写体の画像は、上述したように、エンコーダ回路113により、ビデオカメラ出力をネットワーク等により通信するために、MPEG方式で画像圧縮処理されたデジタルデータに変換された後、インターフェース316を介してコンピュータ本体311に出力され、コンピュータ本体311はそれを伸長処理し、元の画像に復元する。そして、復元した画像のデータをビデオRAM313に順次、書き込む。画像は動画であるからビデオRAM313の画像データは次々に更新する。このようにしてビデオRAM313の画像データを画像として表示するモニタ装置318にはビデオカメラ100から送られてきた動画が表示される。

また、コンピュータ本体311はインテリジェント端末310に接続されている当該ビデオカメラ100の画像をネットワーク300に伝送しようとする場合、そのネットワークでの伝送フォーマットに編集し、インターフェース312を介してネットワーク300へと出力する。

第 5 実 施 例

増幅型MOSセンサのスチルカメラへの応用

図9に本発明におけるMOSセンサを用いたスチルカメラの実施例を示す。図9に示すように、本発明のスチルカメラ400は、レンズ系や絞りを含み被写体像をとりこむ光学系411、この光学系411に取り込まれた像が結像されるMOSセンサ415、このMOSセンサ415の結像面と前記光学系411との間に位置してその両者間の光路上に挿脱自在に配され、当該光路上に挿入されている時は光学系411で取り込んだ被写体像をファインダ414に分配すると共に光路外に脱出された時は光学系411で取り込んだ被写体像をMOSセンサ415の結像面に結像させるシャッタとしての機能を有するミラー412、ミラー412の反射光をファインダ414に導くためのミラー413、MOSセンサ415から画像の信号を色成分別に読み出す撮像回路416、その読み出した出力をデジタル信号に変換するA/D変換器417、このA/D変換器417により変換されたデジタル信号を画面単位で保持するフレームメモリ418、フレームメモリ418に保持されたデジタル信号を画面単位で圧縮処理する圧縮回路419、画像データを記憶するメモ리카ード421、圧縮回路419により圧縮処理されて得られた画像データをメモ리카ード421に書き込むべく制御するカードコントロール回路420から構成される。

このような構成において、図示しないシャッタボタンを操作することにより、光学系411のとらえた被写体像はMO

Sセンサ415に結像される。MOSセンサ415は本発明で用いられるノイズキャンセラ回路を備えた固体撮像装置であり、光学系411で取り込まれた光学像が結像されると画素単位で、その光学像の光量対応の電気信号に変換する。カラー画像を撮影できるようにするために、MOSセンサ415はその結像面側に画素毎にRGBいずれかのカラーフィルタ部を有するカラーフィルタアレイが設けてあり、撮像回路416はMOSセンサ415により得られた電気信号をRGBの成分別に分離して出力する。そして、電流電圧変換回路106は撮像回路416から出力された色成分別の電気信号をデジタル信号に変換し、この変換されたデジタル信号はフレームメモリ418に画面単位で一時保持される。

フレームメモリ418に保持されたデジタル信号は圧縮回路419により画像単位で圧縮処理され、カードコントロール回路420に出力される。そして、カードコントロール回路420はこの圧縮処理された画像のデータをデータの記憶媒体であるメモ리카ード421に記憶制御する。

このようにして、メモ리카ード421には、シャッターボタンを操作する毎に撮影されたスチル画像が、画面単位で圧縮されてメモ리카ード421に記憶される。メモ리카ード421はカメラから着脱可能であり、メモ리카ード421に記憶された画像は、図示しない読取り再生装置に装着して、画像データを伸長して復元し、モニタ装置に表示させたり、ビデオプリンタなどのハードコピー装置に出力して観賞する。

本実施例では、低消費電力・低電圧化を図り、しかも、1

秒間に複数コマ連続撮影する高速連写を高い S/N を以て実現することが可能になり、コンパクトで、高機能、高性能なスチルカメラを得ることができる。つまり、MOSセンサにおいて問題となっていた固定パターン雑音成分を短時間でキャンセルすることができて、 S/N の良い従って高画質の写真を得ることのできるスチルカメラを提供できる。

第 6 実 施 例

増幅型MOSセンサのファクシミリへの応用

図10に本発明におけるMOSセンサを用いたファクシミリ装置の実施例を示す。図は原理的な構成を示しており、紙に手書きあるいはプリントした原稿や、写真などのようなシート状の原稿501を、図示しない主搬送機構で主走査方向（矢印B方向）に搬送しつつ、定位置に固定して原稿の横断方向に配されたMOSセンサ502にて原稿のイメージ情報を読み取る。503は光源、504はMOSセンサ502の受光面に原稿像を結像させるレンズである。

MOSセンサ502は画素単位の受光部（フォトダイオード）を一次元配列したリニアセンサであり、本発明で用いられるノイズキャンセラ回路を備えたモノクロームの固体撮像装置である。

本ファクシミリ装置にシート状の原稿501をセットすると、図示しない主搬送機構がこの原稿501を主走査方向（矢印B方向）に搬送する。そして、定位置に固定してあるMOSセンサ502の受光面に、原稿の画像が1ライン相当

分ずつ、レンズを504を介して結像される。MOSセンサ502はこの結像された原稿のイメージ情報を読み取る。

すなわち、これによりMOSセンサ502からは画素配列順に受光量対応の信号が画素単位で画像信号として読み出されて出力されるので、増幅器505でこれを出力順に増幅した後、この増幅された画像信号をA/Dコンバータ506でデジタル信号に変換してからモデム507で電話回線用に変調して電話回線へと出力する。

受信側ではこの受信した信号を復調し、主走査方向に搬送される記録紙の横断方向に、受信順に信号値対応の濃度で画素をプリントしてゆけば、画像がハードコピーとして再生される。

本実施例では、低消費電力・低電圧化を図り、しかも、高速読み取りを高いS/Nを以て実現することが可能になり、コンパクトで、高機能、高性能なファクシミリ装置を得ることができる。つまり、MOSセンサにおいて問題となっていた固定パターン雑音成分を短時間でキャンセルすることができて、S/Nの良い従って高画質のイメージを高速で送ることのできるファクシミリ装置を提供できる。

なお、リニアセンサは近年の素子の場合、原稿面に密着してイメージを読み取る密着型のもの出現している。そこで、密着型とするには原稿像を導くレンズと、このレンズにより導かれた像が結像されて、その光量対応の電気信号に変換する画素単位の受光部と、原稿面に照明光を当てる発光素子とを一体的に組み込んだ構成として実現でき、この様なものを

用いるようにしても良い。

第 7 実 施 例

増幅型 MOS センサの複写機への応用

図 11 に本発明における MOS センサを用いた電子複写機の実施例を示す。図は原理的な構成を示しており、箱型の筐体 601 の上面部分に、透明ガラスなどによる原稿置き台 602 が設けられており、この原稿置き台 602 の上面に紙に手書きをしたあるいはプリントした原稿、あるいは写真などのようなシート状の原稿 603 をおいて押さえ蓋 604 で原稿を押さえる構成である。

筐体 601 内には、原稿置き台 602 の直下位置近傍に、原稿置き台 602 の一方の端から他方の端までの間を一定速度で反復移動できる光学系が設けてある。ここでではこの反復移動方向を主走査方向と呼ぶことにする。光学系は棒状の光源 605、ミラー 606、レンズ 607 からなり、光源 605 は主走査方向と直交する方向（この方向を副走査方向と呼ぶことにする）に配する。

レンズ 607 の結像位置には MOS センサ 608 が設けてある。MOS センサ 608 は画素単位の受光部（フォトダイオード）を一次元配列したリニアセンサであり、本発明で用いられるノイズキャンセラ回路を備えたモノクロームの固体撮像装置である。

MOS センサ 608 は副走査方向 1 ライン分のイメージを結像されてこれを受光量対応の信号に変換する。スキャナコ

ントローラ609はMOSセンサ608からは画素配列順に受光量対応の信号が画素単位で画像信号として読み出されて出力されるように、MOSセンサ608を制御すると共に、主走査方向に順に光学系が移動するように、当該光学系の主走査方向駆動移動を制御する。システムコントローラ610はシステム全体の制御を司るものであり、また、MOSセンサ608から出力される受光量対応の信号に基づいてレーザー光源611の出力を制御する。レーザー光源611はスポット状のレーザービームを発生するものであり、このレーザー光源611から発生されたレーザービームはレーザービームをスキャンさせるための走査ミラーであるポリゴンミラー612により反射されて円筒状の感光体ドラム613に結像される。この結像位置が描画位置である。感光体ドラム613は所定速度で一方向に回転駆動される構成であり、感光体ドラム613は図示しない帯電装置により、レーザービームの照射位置の上流位置（描画位置の上流位置）で帯電される。

ポリゴンミラー612はシステムコントローラ610により制御されることにより、スポット状のレーザービームを円筒状の感光体ドラム613表面にMOSセンサ608からの信号の出力速度対応にスキャンさせる形となり、感光体ドラム613のドラム回転方向を主走査方向とすると、当該回転方向と直交方法にレーザービームをスキャンさせることでドラム表面にはレーザービームの光量対応に電荷が失われて原稿のイメージ相当の潜像が形成される。感光体ドラム613は、描画位置の下流位置において潜像を可視像にする現像部614

の配置位置通過時にその位置にある潜像が、現像部614の付与するトナーにより現像されて可視像化される。そして、このトナー像をコピー用紙の収納トレイ615より一枚ずつ取り出されて感光体ドラム613の下面側位置の搬送経路616に搬送されて来るコピー用紙に転写される。

コピー用紙の搬送速度と感光体ドラム613の回転速度は同期しており、1ライン単位で逐次描画されて感光体ドラム613表面に形成された潜像のトナー像を転写させていくことにより、原稿と同一のイメージのトナー像がコピー用紙上に残ることになる。搬送経路616はこのトナー像が転写されたコピー用紙を排出口側へと送る経路であり、搬送経路616に設けてある搬送機構によりコピー用紙は排出口側へと送られるようにしてある。定着部617は排出口手前に設けたトナー定着のための装置であり、トナー像が転写されたコピー用紙はこの定着部617を通過する際に、トナーがコピー用紙に定着され、排出口に排出される仕組みである。

このような構成において、コピーする時は、原稿置き台602の上面にシート状の原稿603を置き、押さえ蓋604で原稿を押さえる。原稿置き台602の直下位置近傍には、原稿置き台602の一方の端から他方の端までの間を一定速度で主走査方向に反復移動できる光学系が設けてあるので、プリントスタート操作するとこの光学系である光源605、ミラー606、レンズ607は主走査方向に反復移動する構成となる。

主走査方向を縦方向としてみた場合に、原稿置き台602

の横方向を幅方向と定める。この場合、光学系を構成する光源605は原稿置き台602の幅相当分の範囲を照らし、光学系を構成するミラー606、レンズ607はこの照らされた範囲の像をMOSセンサ608の受光面に結像する。MOSセンサ608は画素単位の受光部（フォトダイオード）を一次元配列したリニアセンサであり、本発明で用いられるノイズキャンセラ回路を備えたモノクロームの固体撮像装置である。

従って、MOSセンサ608は幅方向の1ライン分（すなわち、副走査方向1ライン分）のイメージが結像されてこれを受光量対応の信号に変換する。そして、MOSセンサ608からは画素配列順に受光量対応の信号が画素単位で画像信号として読み出されて出力されるように、スキャナコントローラ609は制御すると共に、また、主走査方向に順に光学系が移動するように、当該光学系の主走査方向駆動移動を制御する。そのため、原稿置き台602の原稿603のイメージ像が主走査方向順に、しかも、副走査方向1ライン単位で画素順に受光量対応の信号が得られるようになる。

この信号はシステムコントローラ610に与えられ、システムコントローラ610はこの信号対応にレーザ光源611の出力を制御する。そのため、レーザ光源611はMOSセンサ608から出力される受光量対応の強さの光を発振することになる。

一方、システムコントローラ610はポリゴンミラー612をMOSセンサ608の読み出し速度に同期させて首振り

運動させるように駆動制御するので、MOSセンサ608の読み出し速度に同期させて、しかも、1ライン分のイメージ対応分（すなわち、副走査方向1ライン分）の光学像イメージがポリゴンミラー612により感光体ドラム613上に描画されることになる。

感光体ドラム613は主走査速度に対応する周速度で一定方向に回転駆動されている。そして、感光体ドラム613はその周面が、ポリゴンミラー612によるレーザ光の描画位置に到達する段階では既に帯電手段により帯電されている。そして、レーザ光を照射されることにより、その照射を受けた部分の感光体ドラム613は、電荷がその照射を受けた光量分、電荷が失われている。そのため、感光体ドラム613上にはポリゴンミラー612によるレーザ光の描画走査位置より回転方向の下流領域に、原稿のイメージが潜像として残ることになる。

この潜像は現像部614の位置を通過する段階で、当該現像部614の付与するトナーにより現像されて可視像化される。そして、このトナー像はコピー用紙の収納トレイ615より一枚ずつ取り出されて感光体ドラム613の下面側位置の搬送経路616に搬送されて来るコピー用紙に転写される。コピー用紙の搬送速度と感光体ドラム613の回転速度は同期しており、1ライン単位で逐次描画されて感光体ドラム613表面に形成された潜像のトナー像を転写させていくことにより、原稿と同一のイメージのトナー像がコピー用紙上に残ることになる。このトナー像が転写されたコピー用紙は搬

送機構により搬送経路616を排出口側へと送られ、排出口手前に設けた定着部617を通過する際に、この定着部617によりトナーがコピー用紙に定着されて排出される。

本実施例では、低消費電力・低電圧化を図り、しかも、高速読み取りを高い S/N を以て実現することが可能になり、コンパクトで、高機能、高性能な電子複写機を得ることができるようになる。つまり、 MOS センサにおいて問題となっていた固定パターン雑音成分を短時間でキャンセルすることができて、 S/N の良い従って高画質のイメージを高速で読み取って高速で複写することのできる電子複写機を提供できる。

なお、以上の複写機は原稿は位置固定とし、光学系を主走査方向に移動させるようにした構成のものを示したが、光学系を位置固定とし、原稿を主走査方向に搬送するようにした構成の装置として実現することもできる。また、以上の複写機はモノクロームの装置を例に説明したが、光学系に3原色のカラーフィルターを設けて、色分解し、色別に潜像を形成して、その色別の潜像をその対応する色のトナーで現像することにより、カラーコピーを得ることができる複写機を実現できる。

第 8 実 施 例

増幅型 MOS センサのスキナへの応用

図12に本発明における MOS センサを用いたハンディ形

イメージスキャナの実施例を示す。本発明のイメージスキャナ700は、図に示すように、筐体701内に、光源であるLEDアレイ702とミラー703、ローラ704を取り付けて構成してある。LEDアレイ702は筐体701のほぼ横幅全体近くに亙る長さであり、筐体701の下方外部を照明する。また、ミラー703はLEDアレイ702の配置位置近傍に配されて、LEDアレイ702で照明された原稿のイメージ像を筐体701の下部に設けたスリット701aを介して筐体701の内部に取り込む。

図12のハンディ形イメージスキャナは、筐体701を原稿の上に置き、そのまま、原稿上を滑らせるかたちで手操作により移動走査する。その際に、スリット701aから原稿のイメージを1ライン単位で取り込むようにするため、そのライン位置の検出と読取りの同期をとるために、ローラ704を設けてある。

ローラ704は原稿に接してその原稿との摩擦により、回転できるようにするために、筐体701の下部から周面の一部を露出させてある。この露出位置はスリット701aの近傍である。

筐体701の内部にはローラ704の回転に同期してその回転方向と回転量を検出するエンコーダ705が設けてあり、また、筐体701の内部にはMOSセンサ706と、このMOSセンサ706の受光面に前記ミラー703により導いた原稿像を結像させるレンズ707が設けてある。

MOSセンサ706は画素単位の受光部（フォトダイオ

ード)を一次元配列したリニアセンサであり、本発明で用いられるノイズキャンセラ回路を備えたモノクロームの固体撮像装置である。リニアセンサは近年の素子の場合、原稿面に密着してイメージを読み取る密着型のものが多い。そこで、密着型とするには原稿像を導くレンズと、このレンズにより導かれた像が結像されて、その光量対応の電気信号に変換する画素単位の受光部と、原稿面に照明光を当てる発光素子とを一体的に組み込んだ構成として実現できる。

ここでは原理的に示すために、図12のような構成を示している。

MOSセンサ706から読み出された信号は、前記エンコーダ705の出力により、位置の対応がとられ、また、読み出しタイミング制御に使用される。

このような構成において、シート状の原稿を平らな場所に置き、その上にこのハンディスキャナを置いて、この原稿上をローラ704の回転可能な方向に移動させる。この移動方向が主走査方向となる。このとき、LEDアレイ702は原稿面を照明し、スリット701aを介して原稿のイメージがミラー703に入る。そして、ミラー703で反射されてレンズ707により、MOSセンサ706に結像される。

MOSセンサ706はラインイメージセンサであり、固定してあるMOSセンサ706の受光面に、原稿の画像が1ライン相当分ずつ、レンズを707を介して結像され、この結像された原稿のイメージ情報を読み取る。

このように、本実施例でのハンディ形イメージスキャナは、

筐体701を原稿の上に置き、そのまま、原稿上を滑らせるかたちで手操作により移動走査する。その際に、スリット701aから原稿のイメージを1ライン単位で取り込むようにするため、そのライン位置の検出と読取りの同期をとるローラ704が設けてあり、このローラ704は原稿に接してその原稿との摩擦により、回転される結果、エンコーダ705からこのローラ704の回転方向、回転量対応の検出信号が出力される。そして、このエンコーダ705からの検出信号を元に、図示しない制御手段により、MOSセンサ706の出力信号を原稿の1ライン単位一致するように、制御して出力させる。

本実施例では、低消費電力・低電圧化を図り、しかも、高速読み取りを高いS/Nを以て実現することが可能になり、コンパクトで、高機能、高性能なイメージスキャナ装置を得ることができる。つまり、MOSセンサにおいて問題となっていた固定パターン雑音成分を短時間でキャンセルすることができて、S/Nの良い従って高画質のイメージを高速で送ることのできるイメージスキャナ装置を提供できる。

なお、この例ではハンディ形のイメージスキャナを示したが、原稿を原稿置き台の上に置き、光学系を主走査駆動させるようにしたデスクトップ形のイメージスキャナにも応用できる。また、光学系を位置固定とし、原稿を主走査方向に搬送するようにした構成の装置として実現することもできる。また、以上のイメージスキャナはモノクロームの装置を例に説明したが、光学系に3原色のカラーフィルターを設けて、

色分解し、色別に画像信号を得ることにより、カラー画像の信号を得ることができるイメージスキャナを実現することができる。さらには、光学系を凹面鏡を用いて形成して画像をこの凹面鏡により、MOSセンサに導くようにしたり、光ファイバを束ねて構成したオプチカルファイバーにより、画像をMOSセンサに導く構成にするなど種々の変形が可能である。

第 9 実 施 例

ディスクトップ形のカラーイメージスキャナ

第9実施例としてディスクトップ形のカラーイメージスキャナに使用する光学系の構成を示す。ディスクトップ形のカラーイメージスキャナでは光学系は定位置固定であり、原稿を主走査方向に走査する。この場合、図13に示すように、光学系に3原色のカラーフィルタを設けて、色分解し、色別に画像信号を得る。図13において、画像信号を得るMOSセンサSはラインセンサであり、画素を1ライン相当分、直線的に並べて構成してある。MOSセンサSの受光面側にはカラーフィルタFが配されている。カラーフィルタFは1ライン相当分の幅および長さをそれぞれ有するR（赤），G（緑），B（青）の各色成分用の光学フィルタ部が並列的に配された構成である。そして、MOSセンサSの受光面側は原稿DPの光学像をレンズL、およびカラーフィルタFを介して結像される構成である。原稿DPは、光源LPにより照明される。

カラーフィルタFは、R（赤）、G（緑）、B（青）の各色成分用の光学フィルタ部をMOSセンサSの受光面上に移動できるように駆動移動走査機構DRにより移動走査可能に支持されている。そして、赤像を受光する時はRの色成分用の光学フィルタ部を、緑像を受光する時はGの色成分用の光学フィルタ部を、そして、青像を受光する時はBの色成分用の光学フィルタ部をMOSセンサSの受光面上に位置させるように、画像の収集タイミングと同期を取りながら駆動移動制御させる。

これにより、MOSセンサSからは、R（赤）、G（緑）、B（青）の各色成分用の光学像の画像信号を得ることができる。

第 10 実施例

増幅型MOSセンサのフィルムスキャナ装置への応用

本発明の増幅型MOSセンサは、パソコンや画像ディスプレイ装置等に、例えば、35mmロングフィルムの1コマ、1コマを読み込んで画像信号を得るフィルムスキャナ装置への応用できる。

その構成例を図14に示す。図に示すように、増幅型MOSセンサによる密着形のラインセンサS、このラインセンサSの受光面側に配されるS現像済みの銀塩ロングフィルムFM、この銀塩ロングフィルムFMをラインセンサSの受光面位置上で照明する光源LP、銀塩ロングフィルムFを挟んで一方向に一定速度で搬送する一対の搬送ローラCからなる。

このような構成によれば、搬送ローラCで銀塩ロングフィルムFMを挟み、この搬送ローラCを一定速度で回転駆動させる。これにより、銀塩ロングフィルムFMは一方向に一定速度で搬送される。従って、密着形のラインセンサSで銀塩ロングフィルムFMの像を、フィルム搬送速度に同期させながら読み出し制御して、受光量対応の信号を得る。この信号は雑音のキャンセルが成されており、画像成分のみのフィルム像をライン単位で電気信号に変換して出力することができる。

第 11 実 施 例

オートフォーカス機構への応用

図15に本発明におけるMOSセンサを用いたオートフォーカス機構付きの1眼レフカメラの実施例を示す。図において、本発明の1眼レフカメラ800は焦点位置調整機構付きのレンズ801と、このレンズ801のとらえた光学像が結像されて露光されるフィルム803、カメラ800のファインダ802aにレンズ801のとらえた光学像を導くプリズム802b、本発明のオートフォーカスセンサモジュール804、ハーフミラーで構成され、レンズ801の光路上に配されて、シャッター操作することで、前記光路から完全に外れるようにした跳ね上がり式のファインダーミラー805と、このファインダーミラー805の背面に取り付けられ、前記レンズ801の光路上にこのファインダーミラー805が位置するとき、ファインダーミラー805の透過光学像をオ

オートフォーカスセンサモジュール803に結像させるサブミラー806を備える。

オートフォーカスセンサモジュール804は本発明で用いられるノイズキャンセラ回路を備えたMOSセンサを用いており、図16に示すように、MOSセンサ804a部分の受光面の前面にはセパレータレンズ804bが固定して設けてある。MOSセンサ804aとしては2次元配列の受光面を有するものを用いている。セパレータレンズ804bは図16に示すように、一对の凸レンズが並べて配置されて構成であり、サブミラー806で分配された光学像はこのセパレータレンズ804bによりそれぞれMOSセンサ804aの受光面の別の領域に結像される構成である。一对の凸レンズが並べて配置された構成のセパレータレンズ804bでこのように光学像をMOSセンサ804aの受光面に導く構成とすることで、上記受光面には異なる領域にそれぞれ像が結像されて、一对の像が得られることになる。

このような構成のカメラは、レンズ801でとらえられる被写体像はファインダーミラー805によりプリズム802bとサブミラー806とに分配される。ファインダーミラー805に分配された被写体像はプリズム802bを通してファインダ802aに結像され、カメラ800のとらえている被写体像を観察可能にする。

一方、サブミラー806に分配された被写体像は、オートフォーカスセンサモジュール804に導かれる。オートフォーカスセンサモジュール804はMOSセンサ804aによ

り構成されており、MOSセンサ804a部分の受光面の前面にはセパレータレンズ804bが配置されている。そして、このセパレータレンズ804bはMOSセンサ804aの受光面にそれぞれ別の領域に結像させる。MOSセンサ804aでは受光面を形成するそれぞれの画素対応のフォトダイオードに結像された光学像の光量に対応する電気信号を発生するので、これを順に読み出す。

オートフォーカスセンサモジュール804においては、セパレータレンズ804bにより、MOSセンサ804a部分の受光面は2つの画像結像領域に事実上、分割されている状態であり、2つの画像結像領域にそれぞれ結像された被写体像は焦点が合焦（ピントが合った状態）した場合には図16Aの806Aのように、MOSセンサ804aの出力としては各分割された画像結像領域の基準画素位置P0, P0'を中心に、それぞれ同じ画像のものがあらわれる状態になる。

また、前ピン（ピント位置がフィルム面から前位置にずれている状態）では図16Bの806Bのように、MOSセンサ804aの出力としては各分割された画像結像領域の基準画素位置P0, P0'より互いに内側に近付いた位置に、それぞれ同じ画像のものがあらわれる状態とになる。

また、後ピン（ピント位置がフィルム面より後ろの位置にずれている状態）では図16Cの806Cのように、MOSセンサ804aの出力としては各分割された画像結像領域の基準画素位置P0, P0'より互いに外側に離れる位置に、それぞれ同じ画像のものがあらわれる状態とになる。

したがって、このMOSセンサ804aの出力から、当該MOSセンサ804aの出力が前記各分割された画像結像領域の基準画素位置P0、P0'を中心に、それぞれ同じ画像のものがあらわれる状態になる方向にレンズ801をピント調整するに必要な制御量を求めてその制御量分、焦点位置調整機構を制御する。これにより、レンズ801はフィルム面に対して合焦状態になるように、ピント調整される。

シャッター操作がされると、ファインダーミラー805が跳ね上がり、光路から外れるので、レンズ801でとらえた被写体像はフィルム面に結像され、フィルムは露光されてピントの合った被写体像が撮影される。

本発明のオートフォーカス機構を備えたカメラは、ピントの状態検出を低消費電力・低電圧で実現でき、しかも、高速読み取りを高いS/Nを以て実現することが可能になり、早いシャッター速度で撮影する場合や、高速連写撮影においても、十分に追従してピント状態の検出ができ、即座にピント合わせ制御をして鮮明な画像を撮影することができるようになる。つまり、MOSセンサにおいて問題となっていた固定パターン雑音成分を短時間でキャンセルすることができて、S/Nの良い従って高画質のイメージを高速で読み取って高速でピント状態の検出ができ、即座にピント合わせ制御ができて鮮明な画像を撮影することができるようになる。

なお、ここでは1眼レフカメラを例に説明したが、オートフォーカス機構はレンズシャッターカメラや双眼鏡、光学顕微鏡などにも適用することが可能である。

次に、上述した各システムで用いられる低雑音のMOSセンサ、すなわち、固定パターンノイズが効果的に除去され、例えば、70 dB以上の大きな出力ダイナミックレンジを得ることが可能なMOSセンサ、そして、このMOSセンサで用いられるノイズキャンセラ回路、および単位セルの具体例について、図面を参照して説明する。

増幅型MOSセンサによる固体撮像装置が受光部としてフォトダイオードを用いており、各セル毎にフォトダイオードで検出した信号をトランジスタで増幅するもので、高感度という特徴を持つ。

一般に、増幅型MOS型固体撮像装置（増幅型MOSセンサによる型固体撮像装置）においては、各単位セルにおける画素に相当する受光部であるフォトダイオードの出力信号を、その単位セルに設けられた増幅トランジスタを通して増幅して取り出す。そのため、この増幅の際に、増幅トランジスタの閾値電圧のバラツキが信号に重畳されることになる。ゆえに、たとえ各単位セルにおける各フォトダイオードの電位がそれぞれ同じであったとしても、そのフォトダイオードの所属する単位セルでの増幅トランジスタがそれぞれ別物であり、各増幅トランジスタはその閾値電圧が異なるので、出力信号がそれぞれ同じとはならない。そのため、増幅型MOS型固体撮像装置で撮像した画像を再生すると、各単位セルでの増幅トランジスタの閾値バラツキに対応する雑音が発生する。

このように増幅型MOS型固体撮像装置（増幅型MOSセンサによる型固体撮像装置）では、各単位セルでの増幅トラ

ンジスタでそれぞれ閾値電圧が異なり、各単位セルで固有なものであるために、再生した画像に場所的に固定されて分布する雑音、つまり、2次元状の雑音の発生が避けられない。この雑音は2次元空間である画面上で、場所的に固定されているという意味で、固定パターン雑音と呼ばれる。

この固定パターン雑音を除去するために設けたのが、以下、詳述する本発明で用いられるノイズキャンセラ回路である。

次に、信号電荷をセル内で増幅する増幅型MOSセンサを用いた固体撮像装置およびそのノイズキャンセラ回路の具体的な例を説明する。

第 12 実施例

図17は、本発明で用いられる第12実施例に係るMOS型固体撮像装置の構成を示す。単位セル $P4-i-j$ が縦、横に2次元マトリクス状に配列されている。図では、 2×2 しか示していないが、実際は数千個 \times 数千個ある。 i は水平(row)方向の変数、 j は垂直(column)方向の変数である。各単位セル $P4-i-j$ の詳細は図21に示す。

本発明で用いられる固体撮像装置の応用分野としては、ビデオカメラ、電子スチルカメラ、デジタルカメラ、ファクシミリ、複写機、スキャナ等がある。

垂直アドレス回路5から水平方向に配線されている垂直アドレス線6-1, 6-2, ...は各行の単位セルに接続され、信号を読み出す水平ラインを決めている。同様に、垂直アドレス回路5から水平方向に配線されているリセット線7-1,

7-2, ...は、各列の単位セルに接続されている。

各列の単位セルは列方向に配置された垂直信号線8-1, 8-2, ...に接続され、垂直信号線8-1, 8-2, ...の一端には負荷トランジスタ9-1, 9-2, ...が設けられている。負荷トランジスタ9-1, 9-2, ...のゲートとドレインは共通にドレイン電圧端子20に接続される。

垂直信号線8-1, 8-2, ...の他端は、MOSトランジスタ26-1, 26-2, ...のゲートに接続される。MOSトランジスタ26-1, 26-2, ...のソースはMOSトランジスタ28-1, 28-2, ...のドレインに接続され、MOSトランジスタ26-1, 26-2, ..., 28-1, 28-2, ...はソースフォロワ回路として動作する。MOSトランジスタ28-1, 28-2, ...のゲートは共通ゲート端子36に接続される。

MOSトランジスタ26-1, 26-2, ...とMOSトランジスタ28-1, 28-2, ...との接続点がサンプルホールドトランジスタ30-1, 30-2, ...を介してクランプ容量32-1, 32-2, ...の一端に接続される。クランプ容量32-1, 32-2, ...の他端にはサンプルホールド容量34-1, 34-2, ...とクランプトランジスタ40-1, 40-2, ...が並列に接続されている。サンプルホールド容量34-1, 34-2, ...の他端は接地されている。クランプ容量32-1, 32-2, ...の他端は水平選択トランジスタ12-1, 12-2, ...を介して信号出力端（水平信号線）15にも接続される。

垂直アドレス回路5は、複数、ここでは2本の信号を纏めてシフトする回路であり、図18、図19、図20のいずれかの回路により実現される。図18の例では、入力信号46を多数の出力端から順次シフトして出力するアドレス回路44の出力がマルチプレクサ48により2入力信号50と合成される。図19の例では、エンコード入力54をデコードするデコーダ52の出力がマルチプレクサ56により2入力信号58と合成される。図20の例では、2つのアドレス回路60a、60bの出力を束ねて各行の制御信号線とする。

図21は、図17に示した単位セルP4-1-1の一構成例を示す。ここでは、単位セルP4-1-1の構成のみを示すが、他の単位セルP4-1-2、～についても同様の構成が採用されている。

同図に示すように、本実施例のMOS型固体撮像装置の単位セルは、入射光を検出するフォトダイオード62と、フォトダイオード62のカソードがゲートに接続され、その検出信号を増幅する増幅トランジスタ64と、増幅トランジスタ64のゲートとドレインの間に設けられ、フィードバック動作をするリセットトランジスタ66と、増幅トランジスタ64のドレインに接続され、信号を読み出す水平ラインを選択する垂直選択トランジスタ65からなる。

垂直アドレス回路5から水平方向に配線されている水平アドレス線6-1は、垂直選択トランジスタ65のゲートに接続され、信号を読み出すラインを選択する。同様に、垂直アドレス回路5から水平方向に配線されているリセット線7-

1 はリセットトランジスタ 66 のゲートに接続されている。

一般的に、増幅型 MOS 型固体撮像装置においては、増幅トランジスタ 64 の閾値電圧のバラツキが信号に重畳するため、フォトダイオード 62 の電位が同じでも出力信号が同じとはならず、写した画像を再生すると増幅トランジスタ 64 の閾値バラツキ等に対応する 2 次元状の雑音である固定パターン雑音が発生する。つまり、増幅型 MOS 型固体撮像装置においては、その受光面全面に一樣な光を当てたとしても、マトリクス配置の各画素から得られる画像信号のレベルは、各画素で一樣にならず、輝度むらのある画像信号となる。この輝度むらのある画像は雑音が 2 次元状に分布する雑音、つまり、画面という平面に分布する雑音であり、場所的に固定されているという意味で、固定パターン雑音と称される。

このため、本実施例においては、単位セルにおいてリセットトランジスタ（図 1 の従来例における $4-i-j$ ($i, j = 1, 2, 3, 4, \dots$)、図 21 では 66 の符号を付したトランジスタ）をフィードバック動作させ、固定パターンノイズを低減する構成とすると共に、図 17 に示すように、水平選択トランジスタ 12 の前に、この低減された固定パターン雑音を更に抑圧するための回路を設けてなる雑音除去回路（ノイズキャンセラ回路）を用いるようにした。

図 17 では、雑音除去回路としては電圧領域で信号と雑音との差分をとる相関二重サンプリング型を示すが、雑音除去回路の型は、相関二重サンプリング型には限定されず、種々の雑音除去回路を用いることができる。

先ず、本実施例の特徴である単位セルのフィードバック動作による増幅トランジスタ64の閾値電圧補正の原理について、図22A、図22B、図22Cを参照して説明する。図22Aはセル回路図を、そして、図22B、図22Cは増幅トランジスタ64のポテンシャル図を表す。

図22Bに示されている状態は、垂直選択トランジスタ65をオフし、リセットトランジスタ66をオンした状態であって、垂直信号線8に基準電圧を与えたときのポテンシャルを示している。この状態においては、リセットトランジスタ66のゲートチャネルを通してそのリセットトランジスタ66のドレインに電子が流れ込むと、そのドレイン電圧が下ってくる。

リセットトランジスタ66におけるそのドレイン・ゲート間は、当該リセットトランジスタ66がオンされていてつながっているため、ゲート電圧も下がり、流れ込む電子が減少してくる。最終的には図22Cに示すように、ソースに与えられた基準電圧とチャネル電位がほぼ等しくなる状態になる。この状態においてはチャネル電位が、外部から与えられた電圧になることから、トランジスタの構造上のばらつきは現れない。

このように本実施例によれば、増幅トランジスタ64のゲートとドレインの間にフィードバックトランジスタ（リセットトランジスタ66）を挿入し、ソースに一定電圧を与えるフィードバック動作により、閾値ばらつきを補正することができる。

次に、図23のタイミングチャートを参照して、このように構成されたMOS型固体撮像装置の動作について説明する。なお、負荷トランジスタ9の共通ドレイン端子20、インピーダンス変換回路のトランジスタ28の共通ゲート端子36、クランプトランジスタ40の共通ソース端子38はDC駆動であるので、タイミングチャートから省略している。

垂直アドレス線6-1にハイレベルのアドレスパルスを印加すると、当該垂直アドレス線6-1に接続されている単位セルP4-1-1, P4-1-2, ...の垂直選択トランジスタ65がオンとなり、増幅トランジスタ64と負荷トランジスタ9-1, 9-2, ...でソースフォロワ回路が構成される。

サンプルホールドトランジスタ30-1, 30-2, ...の共通ゲート37をハイレベルとしてサンプルホールドトランジスタ30-1, 30-2, ...をオンする。この後、クランプトランジスタ40-1, 40-2, ...の共通ゲート42をハイレベルとしてクランプトランジスタ40-1, 40-2, ...をオンする。

次に、クランプトランジスタ40-1, 40-2, ...の共通ゲート42をローレベルとしてクランプトランジスタ40-1, 40-2, ...をオフする。このため、垂直信号線8-1, 8-2, ...に現れている信号プラス雑音成分はクランプ容量32-1, 32-2, ...に蓄積される。

この後、垂直アドレスパルスをローレベルに戻した後、リセット線7-1にハイレベルのリセットパルスを印加すると、当該リセット線7-1に接続されている単位セルP4-1-

1, P4-1-2, ...のリセットトランジスタ66がオンとなり、出力回路68の入力端子の電荷がリセットされる。

再び、垂直アドレス線6-1にハイレベルのアドレスパルスを印加すると、当該垂直アドレス線6-1に接続されている単位セルP4-1-1, P4-1-2, ...の垂直選択トランジスタ65がオンとなり、増幅トランジスタ64と負荷トランジスタ9-1, 9-2, ...でソースフォロワ回路が構成され、信号成分がリセットされた雑音成分のみが垂直信号線8-1, 8-2, ...に現れる。

前述したように、クランプ容量32-1, 32-2, ...には信号プラス雑音成分が蓄積されているので、クランプノード41-1, 41-2, ...には垂直信号線8-1, 8-2, ...の電圧変化分、すなわち信号成分プラス雑音成分から雑音成分を差し引いた、固定パターン雑音のない信号電圧のみが現れる。

そして、サンプルホールドトランジスタ30-1, 30-2, ...の共通ゲート37をローレベルとしてサンプルホールドトランジスタ30-1, 30-2, ...をオフする。このため、クランプノード41-1, 41-2, ...に現れている雑音のない電圧がサンプルホールド容量34-1, 34-2, ...に蓄積される。

この後、水平選択トランジスタ12-1, 12-2, ...に水平アドレスパルスを順次印加することにより、サンプルホールド容量34-1, 34-2, ...に蓄積されている雑音のないフォトダイオード62の信号が出力端子（水平信号線）

15から読み出される。

以下、同様に、垂直アドレス線6-2, 6-3, ...について上述の動作を繰り返すことにより、2次元状に配置された全てのセルの信号を取り出すことが出来る。

ここで、図23のタイミングの先後関係を説明する。必須の順番は、次の通りである。

垂直アドレスパルスの立ち上がり・サンプルホールドパルスの立ち上がり・クランプパルスの立ち上がり→リセットパルスの立ち上がり→リセットパルスの立ち下がり→サンプルホールドパルスの立ち下がり→垂直アドレスパルスの立ち下がり

なお、垂直アドレスパルスの立ち上がり、サンプルホールドパルスの立ち上がり、クランプパルスの立ち上がりの前後関係は任意であるが、好ましくは上述した順番がよい。

このように、図23の動作によれば、クランプノード41には、信号（プラス雑音）がある時と、増幅トランジスタのゲートがリセットされて信号がない時の差の電圧が現れるため、何らかの理由により単位セルのフィードバック動作によって除去しきれなかった増幅トランジスタ64の閾値バラツキによる固定パターン雑音が補償される。すなわち、クランプトランジスタ30、クランプ容量31、サンプルホールドトランジスタ40、サンプルホールド容量34からなる回路がノイズキャンセラとして作用する。

なお、本実施例のノイズキャンセラは、ソースフォロワ回路からなるインピーダンス変換回路26、28を介して垂直信号線8に接続されている。すなわち、垂直信号線はトランジスタ26のゲートに接続されている。このゲート容量は非常に小さいので、セルの増幅トランジスタ64は垂直信号線8-1, 8-2, ...のみを充電するので、CRの時定数が短く、すぐに定常状態になる。そのため、リセットパルスの印加タイミングを早くすることができ、短時間でノイズキャンセル動作をさせることができる。テレビジョン信号の場合、ノイズキャンセル動作は水平ブランキング期間内に行う必要があり、短時間で正確にノイズキャンセルできることは大きな長所である。さらに、ノイズキャンセル動作に含まれる信号プラス雑音出力時と雑音出力時とで、単位セルから見たノイズキャンセラのインピーダンスが同じであるので、正確にノイズをキャンセルすることができる。

すなわち、“雑音成分”出力時と“信号成分+雑音成分”出力時とで、単位セルから見たノイズキャンセラ回路のインピーダンスがほぼ同一である。そのため、両出力時で雑音成分はほぼ同一となり、両者の差分をとると、正確に雑音出力を除去できて信号成分のみを取り出すことが可能となる。従って、正確にノイズをキャンセルすることができる。また、単位セルからノイズキャンセラ回路を見ると、インピーダンス的にはゲート容量しか見えず、その容量は非常に小さいので、短時間に確実にノイズをキャンセルすることができる。

次に、本実施例の構造を説明する。

図17の回路構成から分るように、クランプ容量32とサンプルホールド容量34が直接接続されて近接しているので、これらを同一面上に積層して形成することができ、ノイズキャンセラ回路部分を小型化できる。

具体的には、図24に示すように、シリコン基板72上に第1の絶縁膜74を介して第1の電極76を形成することにより、サンプルホールド容量34を構成し、さらに第1の電極76上に第2の絶縁膜78を介して第2の電極80を形成することにより、クランプ容量32を構成する。

この図からも明らかなように、第1の電極76が共通電極となり、クランプ容量32とサンプルホールド容量34が積層形成されているので、個別に形成する場合の1/2の面積で同じ容量値を得ることが可能となる。

本実施例においては、単位セルP4-1-1、P4-1-2、…や、垂直アドレス回路5、水平アドレス回路13などの周辺回路は、p⁻型基板上にp⁺型不純物層を形成した半導体基板上に形成されている。

図25A、図25Bは、このような半導体基板の断面図である。

図25Aに示すように、p⁻型基板81上にp⁺型不純物層82を形成した半導体基板にフォトダイオード83などのセル要素が形成されている。

半導体基板をこのような構成にすることにより、p⁻/p⁺境界にある拡散電位により、p⁻型基板81で発生した暗電流がp⁺側へ流れ込むのを一部防止することができる。

電子の流れを詳しく解析した結果を簡単に述べると、 p^- 側で発生した電子にとって p^+ 不純物層82の厚さ L が p^+ と p^- の濃度の比倍すなわち $L \cdot p^+ / p^-$ に見える。

すなわち、図25Bに示すように、暗電流の発生源である p^- 基板81からフォトダイオード83までの距離が p^+ / p^- 倍遠くなったように見えることになる。暗電流は、基板深部から流れ込むもの以外にフォトダイオード83近傍の空乏層内で発生するものがあり、この空乏層内で発生する暗電流は、基板深部から流れ込む暗電流とほぼ同じ程度ある。空乏層の厚さは約 $1 \mu m$ 程度であり、基板深部から流れ込む暗電流は約 $100 \mu m$ の深さからも流れてくる。この深さは p 型半導体内部での電子の拡散距離と呼ばれているものである。この厚さの差にも関わらず暗電流が同等なのは、単位体積あたりの暗電流の発生確率が空乏層内部の方が高いためである。ここで、空乏層で発生する暗電流は原理的に信号電流と分離することができないので、暗電流の低減は基板深部から流れ込む成分を減ずることによってなされる。

また、 p^- 型基板71上に p^+ 型不純物層72を形成した半導体基板にセルを形成するので、暗電流が発生することによる基板電位の変動を防止することができ、 p 型基板は厚いため、抵抗が低く、後述するように、雑音除去回路を確実に動作させることができる。

また、素子温度が上昇すると基板深部からの成分の方が急激に増加するので、これが重要である。その目安は、基板深部からの成分が空乏層で発生した成分よりも十分小さいこと

であり、具体的には、基板深部からの暗電流が空乏層内部からのものに比べて約1桁下であればいい。すなわち、 p^+ / p^- を10に設定して基板深部からのものを約1/10にすればいい。

さらに、基板深部からの暗電流は、n型基板とp型ウェルとで構成される半導体基板ではほぼ全くないといってよいが、このような半導体基板と同じレベルにするためには p^+ / p^- を100に設定して基板深部からの暗電流を約1/100にする必要がある。

従来の実績のあるCCDでは、n型の埋め込みチャネルの不純物濃度が約 10^{16} cm^{-3} 程度であり、この埋め込みチャネルの拡散層を安定して製造するための埋め込みチャネルを囲むp型層（ここではp型基板）の不純物濃度は約 10^{15} cm^{-3} である。

p^+ 層の濃度は p^+ / p^- を10にする場合は約 10^{16} cm^{-3} 程度、 p^+ / p^- を100にする場合は約 10^{17} cm^{-3} 程度となり、n型の埋め込みチャネルの不純物濃度の約 10^{16} cm^{-3} と同程度又は1桁逆転してしまう。

このため、従来実績のあるCCDではこのような不純物濃度の p^+ 層を使うことは考えられなかった。また、 p^- 層の濃度を下げると基板のシート抵抗が高くなるという問題が出てくる。

しかしながら、増幅型のMOS撮像装置ではCCDの埋め込みチャネルがないため p^- 層の濃度を下げずに p^+ / p^- の値をある程度自由に設定できる。

そこで、p型ウェルの抵抗を下げ、n型基板とp型ウェルとで構成される半導体基板の構造を改善することによってもセルを構成することができる。

図26は、n型基板85上にシート抵抗の低いp⁺ウェル86を用いた単位セルの断面図である。また、図27は、CCDの単位セルの断面図を示す。

CCDの単位セルのn型基板87、p型ウェル86、n型埋め込みチャネル89の不純物濃度は安定して製造を行うために、それぞれ約 10^{14} cm^{-3} 、約 10^{15} cm^{-3} 、約 10^{16} cm^{-3} 程度にしてある。

n型フォトダイオード90の不純物濃度はある程度自由に設定できるため製造上の制約はあまりない。p型ウェル86のシート抵抗は上記の不純物濃度では約 $100 \text{ k}\Omega/\square$ 程度の値である。CCDは、前述のようにこのような高い値でも雑音が非常に小さい。

一方、増幅型のMOS撮像装置で雑音除去回路を使用する場合、このp型ウェルのシート抵抗は非常に重要である。何故ならば、リセットパルスによるp型ウェル86の電位の擾乱が収まる時間がこの装置を応用するシステムにマッチングしなければならないからである。

現行のテレビ方式であるNTSC方式では、雑音除去回路を動作させるのは水平帰線期間である約 $11 [\mu\text{s}]$ の間である。この時間のあいだにp型ウェル86の電位の擾乱が $0.1 [\text{mV}]$ 程度まで収まる必要がある。

この $0.1 [\text{mV}]$ という非常に小さい値は、CCDの雑

音電圧出力がこの程度であることから起因している。11
[μ s]という非常に短い時間で0.1[mV]という非常に
小さい値に落ちつかせるには、詳しい解析によるとp型ウェ
ル86のシート抵抗を1k Ω /□以下にしなければならない。
これは従来のCCDの約1/100である。

そのためには、p型ウェル86の不純物濃度を約100倍
にする必要があり、p型基板のところで前述したように、C
CDでは不可能な濃度である。さらにハイビジョンテレビ方
式では水平帰線期間が3.77[μ s]であり、p型ウェル
86のシート抵抗を300 Ω /□以下にしなければならない。

他の変形例としては、高濃度のp⁺型サンドイッチ層を基
板上に形成し、表面をそれより濃度の低いp型層にすることが
考えられる。

図28は、p⁻型基板91とp型層93との間にp⁺型サ
ンドイッチ層92を形成した半導体基板の構成を示す図であ
る。また、図29は、n型基板95とp型層97との間に
p⁺型サンドイッチ層96を形成した半導体基板の構成を示
す図である。

このようなp⁺型サンドイッチ層は高加速度のメガボルト
イオン打ち込み機により実現できる。

上記p型層には、単位セルの構成要素であるフォトダイオ
ード83、トランジスタなどの他に、水平アドレス回路、垂
直アドレス回路などの周辺回路も形成される。

図30は、フォトダイオード83の周囲を高濃度のp型ウ
ェル103で囲み、n型基板101上の他の部分を他のp型

ウェル102で形成することにより構成される半導体基板の構成を示す図である。

このような構成を採用することにより、フォトダイオード83への暗電流の漏れ込みを防止することができる。なお、半導体基板101は、 p^- 型基板であってもよい。

さらに、セル周辺の水平アドレス回路や垂直アドレス回路の一部又は全部を形成する p 型ウェルの濃度は回路設計の方から決められており、セルの最適値とは異なるため撮像領域を形成する p 型ウェルとは別の p 型層にすることも考えられる。

図31は、 n 型基板105上に撮像領域を構成する p 型ウェル106を形成するとともに、周辺回路部を構成する他の p 型ウェル107を別々に形成した半導体基板の構成を示す図である。

このような構成とすることにより、各構成要素に適した p 型ウェルを形成することができる。なお、上記 n 型基板105は、 p^- 型基板であっても良い。

図32は、 n 型基板105上に撮像領域を形成する p^+ 型サンドイッチ層108及び濃度の低い p 型層109を形成するとともに、周辺回路部に他の p 型ウェル107を形成したものである。

このような構成とすることにより、各構成要素に適した p 型ウェルを形成することができ、フォトダイオードへの暗電流の漏れ込みを防止することができる。なお、上記 n 型基板105は、 p^- 型基板であっても良い。

以上説明したように、本実施例によれば、増幅トランジスタ64のゲートとドレインの間にフィードバックトランジスタ（リセットトランジスタ66）を挿入し、ソースに一定電圧を与えるフィードバック動作により、閾値ばらつきを補正することができる。

さらに、単位セルの出力をノイズキャンセラを介して出力しているので、単位セルの増幅トランジスタの閾値バラツキに応じた固定パターン雑音をさらに抑えることができる。また、ノイズキャンセラにおいては、クランプ容量32-1, 32-2, ...（以下、これらを32と総称する。他の添え字付きの部材についても同様）とサンプルホールド容量34が直接接続されて近接しているので、これらを同一面上に積層して形成することができ、容量を小型化できる。

さらに、単位セルの出力をインピーダンス変換回路を介してノイズキャンセラに供給しているので、雑音出力時と信号プラス雑音出力時とで、単位セルから見たノイズキャンセラのインピーダンスがほぼ同一であるため、両出力時で雑音成分はほぼ同一となり、両者の差分をとると、正確に雑音出力を除去でき、信号成分のみ取り出すことが可能となり、正確にノイズをキャンセルすることができる。また、単位セルからノイズキャンセラを見ると、インピーダンス的にはゲート容量しか見えず、その容量は非常に小さいので、短時間に確実にノイズをキャンセルすることができる。

また、単位セルを形成する半導体基板として、 p^- 型不純物基体と、 p^- 型不純物基体上に形成された p^+ 型不純物層

とからなる基板を用いることにより、単位セルに進入する暗電流を低減することができ、かつ、基板表面の電位を安定させることができるので、雑音除去回路を確実に動作させることができる。

次に、第12実施例において、ノイズキャンセラ回路部分を変形した実施例を説明する。

第 13 実 施 例

図33は、本発明で用いられる第13実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。単位セル $P4-i-j$ 付近の回路構成は第12実施例と同じである。

垂直信号線8-1, 8-2, ...に直列に分離トランジスタ202-1, 202-2, ...を接続し、分離トランジスタ202-1, 202-2, ...と水平選択トランジスタ12-1, 12-2, ...の間に増幅容量206-1, 206-2, ...が設けられている。すなわち、本実施例では、水平選択トランジスタの前にはノイズキャンセラは設けられていない。代わりに、増幅率を調整するための増幅容量が設けられている。

図34を参照して本実施例の動作を説明する。

垂直アドレス線6-1にハイレベルのアドレスパルスを印加するのとほぼ同時に、分離トランジスタ202の共通ゲート204にハイレベルのパルスを印加して該トランジスタをオンする。これにより、単位セルの増幅トランジスタ64の出力が垂直信号線8を介して増幅容量206に伝達され、増

幅された信号電荷が蓄積される。

その後、分離トランジスタ202の共通ゲート204をローレベルに戻し、分離トランジスタ202をオフする。

リセット線7-1にハイレベルのリセットパルスを与え、リセットトランジスタ66をオンさせ、次いで、垂直アドレス線6-1をローレベルに戻し、垂直選択トランジスタ65をオフすると、増幅トランジスタ64のチャネル電位が基準電圧と等しくなる。その後、水平選択トランジスタ12を順次オンし、増幅容量206に蓄積された増幅信号電圧を順次読み出す。

このときの信号電荷の増幅率は増幅容量206の容量値を C_a 、フォトダイオード62の容量を C_s とすると、 C_a / C_s となる。増幅率は従来型のものと同等又はそれ以上にしたいので、 C_a の値は垂直信号線8の容量 C_v の値と同等又はそれ以上に設定する。

ここで、図34のタイミングの先後関係を説明する。必須の順番は、次の2つある。

(1) 垂直アドレスパルスの立ち上がり→分離トランジスタのゲートパルスの立ち下がり→リセットパルスの立ち上がり→垂直アドレスパルスの立ち下がり→リセットパルスの立ち下がり

(2) 分離トランジスタのゲートパルスの立ち上がり→分離トランジスタのゲートパルスの立ち下がり→リセットパルスの立ち上がり→リセットパルスの立ち下がり

なお、垂直アドレスパルスの立ち上がり、分離トランジス

タのゲートパルスの立ち上がりの前後関係は任意である。

第 14 実施例

図35は、本発明で用いられる第14実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。単位セルP4-i-j付近の回路構成は第12実施例と同じである。

垂直信号線8-1, 8-2, ...の他端は、クランプ容量131-1, 131-2, ...、サンプルホールドトランジスタ133-1, 133-2, ...、水平選択トランジスタ12-1, 12-2, ...を介して信号出力端（水平信号線）15に接続される。クランプ容量131-1, 131-2, ...と、サンプルホールドトランジスタ133-1, 133-2, ...との接続点（クランプノード145-1, 145-2, ...）にはクランプトランジスタ132-1, 132-2, ...のドレインが接続される。

クランプトランジスタ132-1, 132-2, ...のソースは共通ソース端子141に接続され、ゲートは共通ゲート端子142に接続される。サンプルホールドトランジスタ133-1, 133-2, ...と、水平選択トランジスタ12-1, 12-2, ...との接続点はサンプルホールド容量134-1, 134-2, ...を介して接地される。

この実施例のタイミングチャートを図36に示す。ノイズキャンセル動作原理は図NA09と全く同じである。

第 15 実施例

図 37 は、本発明で用いられる第 15 実施例に係わる増幅型 MOS センサを用いた撮像装置の回路構成図である。単位セル $P4-i-j$ 付近の回路構成は第 12 実施例と同じである。

第 15 実施例は、第 12 実施例のインピーダンス変換回路を第 14 実施例のノイズキャンセラに接続した例である。なお、クランプトランジスタ 132 の共通ソースは本実施例では DC 駆動している。

第 16 実施例

図 38 は、本発明で用いられる第 16 実施例に係わる増幅型 MOS センサを用いた撮像装置の回路構成図である。単位セル $P4-i-j$ 付近の回路構成は第 12 実施例と同じである。

負荷トランジスタ 9-1, 9-2, ... とは反対側の垂直信号線 8-1, 8-2, ... の端部は、スライストランジスタ 150-1, 150-2, ... のゲートにそれぞれ接続されている。スライストランジスタ 150-1, 150-2, ... のソースにはスライス容量 152-1, 152-2, ... の一端が接続されており、スライス容量 152-1, 152-2, ... の他端はスライスパルス供給端子 154 に接続されている。スライストランジスタ 150-1, 150-2, ... のソース電位をリセットするために、スライストランジスタのソースとスライス電源端子 158 との間にスライスリセットトラン

ジスタ156-1, 156-2, ...が設けられ、このトランジスタ156-1, 156-2, ...のゲートにスライスリセット端子160が接続されている。

スライストランジスタ150-1, 150-2, ...のドレインには、スライス電荷転送容量162-1, 162-2, ...が接続されている。また、スライストランジスタ150-1, 150-2, ...のドレイン電位をリセットするために、そのドレインと蓄積ドレイン電源端子164との間にドレインリセットトランジスタ166-1, 166-2, ...が設けられ、このトランジスタ166-1, 166-2, ...のゲートにドレインリセット端子168が接続されている。さらに、スライストランジスタ150-1, 150-2, ...のドレインは、水平アドレス回路13から供給される水平アドレスパルスにより駆動される水平選択トランジスタ12-1, 12-2, ...を介して信号出力端15に接続されている。

このように第16実施例のMOSセンサは図17に示した第12実施例に対して、単位セルP4-i-jの構成は同じであるが、ノイズキャンセラの部分の構成が異なり、第15実施例のノイズキャンセラは、垂直信号線8-1, 8-2, ...に現れる電圧をスライストランジスタ150のゲート容量を介して電荷に変換し、電荷領域で引き算をすることにより雑音を抑圧することが特徴である。

このデバイスでは、スライス容量152の値をCslとすると、最終的に水平信号線15に読み出される電荷（第2のスライス電荷）は

$$C_{sl} \times (V_{sch} - V_{0ch})$$

となり、信号があるときとリセットされ信号がないときの差に比例する電荷が現れるため、単位セル内の増幅トランジスタ64の閾値ばらつきによる固定パターン雑音が抑圧されるという特徴がある。このように、垂直信号線8に現れる電圧を電荷に変換し、電荷領域で引き算をする回路構成もノイズキャンセラと呼ぶことができる。

第 17 実 施 例

図39は、本発明で用いられる第17実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。単位セルP4-i-j付近の回路構成は第12実施例と同じである。

第17実施例は図17に示した第12実施例からソースフォロワトランジスタからなるインピーダンス変換回路を省略した実施例である。

第 18 実 施 例

図40、図41は、本発明で用いられる第18実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。単位セルP4-i-j付近の回路構成は第12実施例と同じである。

本実施例は図35に示した第14実施例と共通する部分が多いが、異なる点は、“信号成分+雑音成分”出力時と“雑音成分”のみの出力時とにおける単位セル側から見たノイズ

キャンセラのインピーダンスの違いを補正するための容量 C_{CMP} $P160-1$, $160-2$, ... が、クランプ容量 $131-1$, $131-2$, ... より撮像領域（単位セル）側に、垂直信号線 $8-1$, $8-2$, ... に対して並列に、スイッチ $162-1$, $162-2$, ... を介して接続されていることである。補正容量 160 とスイッチ 162 は、図 40 の場合にはクランプ容量 131 と撮像領域の間に、また、図 41 の場合には撮像領域と負荷トランジスタ 9 との間に接続されている。

このように本実施例によれば、雑音除去回路付き MOS 型固体撮像素子において、垂直信号線 8 に補正容量 160 を設けることにより、雑音が発生する原因であった雑音除去動作中の容量変化を抑制することができ、より一層の雑音低下に寄与することが可能となる。すなわち、セルから見たインピーダンスがフォトダイオード選択後の信号プラスノイズ出力時と、リセット終了後のノイズ出力時で同等になり、正確にノイズキャンセルができる。

なお、第 18 実施例の変形例として、図 17 に示した第 12 実施例、図 37 に示した第 15 実施例、図 39 に示した第 17 実施例のノイズキャンセラ回路において、補正用容量を接続してもよい。

第 13 実施例～第 18 実施例としては、第 12 実施例に対してノイズキャンセラ回路部分が異なる実施例を説明したが、次に、第 12～第 18 実施例に対して単位セルの構成が異なる他の実施例を説明する。

第 19 実 施 例

全体の構成は図 17 に示した第 12 実施例と同じであるので、図示省略する。ただし、図 17 の単位セル P 4 の代わりに図 4 2 に示した単位セル P 5 を用いることが特徴である。

本実施例の単位セル P 5 は、フィードバックトランジスタ（リセットトランジスタ）66 がフィードバック容量 212 を介して増幅トランジスタ 64 のゲートに接続されている。

第 20 実 施 例

全体の構成は図 17 に示した第 12 実施例と同じであるので、図示省略する。ただし、図 17 の単位セル P 4 の代わりに図 4 3 に示した単位セル P 6 を用いることが特徴である。

本実施例の単位セル P 6 は、第 19 実施例の構成に加えて、増幅トランジスタ 64 のゲートとリセット線 7-1 の間に排出トランジスタ 214 が接続されている。排出トランジスタ 214 のゲートは共通ゲート線 216-1 を介して垂直アドレス回路 5 に接続されている。

第 21 実 施 例

全体の構成は図 17 に示した第 12 実施例と同じであるので、図示省略する。ただし、図 17 の単位セル P 4 の代わりに図 4 4 に示した単位セル P 7 を用いることが特徴である。

本実施例の単位セル P 7 は、第 12 実施例の構成に加えて、増幅トランジスタ 64 のゲート（とリセットトランジスタの接続点）とフォトダイオード 62 との間に転送トランジスタ

218が接続されている。転送トランジスタ218のゲートは共通ゲート線220-1を介して垂直アドレス回路5に接続されている。

第19実施例～第21実施例も第12実施例と同様にノイズキャンセラ部分を変形することができる。すなわち、図17～図45の説明は第19実施例～第21実施例にも等しく適用できる。

本発明は上述した実施例に限定されず、種々変形して実施可能である。例えば、単位セルの増幅トランジスタを閾値バラツキがないように製造できれば、固定パターン雑音は発生しないので、ノイズキャンセラは省略することができる。あるいは、固定パターン雑音が発生しても、画質に影響が無ければ、同じくノイズキャンセラは省略することができる。

各実施例のノイズキャンセラにおいては、入力信号がないときに読み出す信号電流（雑音成分のみ）が小さい方が雑音が少ないので、蓄積ドレイン電源端子に印加されている電圧とビデオバイアス電圧とをほぼ等しくすることが好ましい。ビデオバイアス電圧とは、水平信号線15から信号を電流で読み出すときに水平信号線15がほぼ固定される電圧である。これを実現した変形例を図45に示す。出力信号端15にオペアンプ176が接続され、オペアンプ176の入出力端間に負荷抵抗178が接続される。これによると、信号電流が強制的に負荷抵抗178に流され、水平信号線15は仮想的にある電圧、すなわちビデオバイアス電圧に固定される。

さらに、単位セルは2次元マトリクス状に配列した実施例

を説明したが、本発明は単位セルを1次元アレイ状に配列する撮像装置にも適用できることは言うまでもない。

第 22 実 施 例

第22実施例は、垂直信号線8-1, 8-2, ...に現れる電圧をスライストランジスタ150のゲート容量を介して電荷に変換し、電荷領域で引き算をすることにより雑音を抑圧する構成のノイズキャンセラ回路を用いることが特徴である。つまり、電荷領域でノイズキャンセルされる方式で、スライスノイズキャンセル方式である。

図46は、増幅型MOSセンサを用いた固体撮像装置を示す回路構成図である。画素に相当する単位セル $P0-i-j$ ($P0-1-1$, $P0-1-2$, ...)が縦、横に2次元マトリクス状に配列されている。各単位セル $P0-i-j$ には、それぞれ1画素を構成する受光部であるフォトダイオード1が一つずつ、設けられている。1-1-1は単位セル $P1-1-1$ のフォトダイオードであり、1-1-2は単位セル $P1-1-2$ のフォトダイオードであり、～, 1-3-3は単位セル $P1-3-3$ のフォトダイオードである。

一つの単位セル $P0-i-j$ には、フォトダイオード1 (1-1-1, 1-1-2, ～, 1-3-3)の検出信号を増幅する一つの増幅トランジスタ2 (2-1-1, 2-1-2, ～, 2-3-3)、信号を読み出すラインを選択する一つの垂直選択トランジスタ3 (3-1-1, 3-1-2, ～, 3-3-3)、信号電荷をリセットする一つのリセットトラ

ンジスタ 4 (4-1-1, 4-1-2, ~, 4-3-3) がある。

このような構成の単位セルが複数個、行列 2 次元状に配列されている。なお、図では 3×3 個のセルが配列されているが、実際にはこれより多くの単位セルが配列されている。

垂直アドレス回路 5 から水平方向に配線されている水平アドレス線 6 (6-1, 6-2, 6-3) は垂直選択トランジスタ 3 のゲートに接続され、信号を読み出すラインを決めている。同様に、垂直アドレス回路 5 から水平方向に配線されているリセット線 7 (7-1, 7-2, 7-3) は、リセットトランジスタ 4 のゲートに接続されている。増幅トランジスタ 2 のソースは列方向に配置された垂直信号線 8 (8-1, 8-2, 8-3) に接続され、その一端には負荷トランジスタ 9 (9-1, 9-2, 9-3) が設けられている。

垂直信号線 8 (8-1, 8-2, 8-3) の他端はスライストランジスタ 150 (150-1, 150-2, 150-3) のゲートにそれぞれ接続されている。スライストランジスタ 150 のソースにはスライス容量 152 (152-1, 152-2, 152-3) が接続されており、それらの他端はスライスパルス供給端子 154 に接続されている。スライストランジスタ 150 のソース電位をリセットするために、スライストランジスタ 150 のソースとスライス電源端子 158 との間にスライスリセットトランジスタ 156 (156-1, 156-2, 156-3) が設けられ、このトランジスタ 156 のゲートにスライスリセット端子 160 が接続さ

れている。

スライストランジスタ150のドレインには、スライス電荷転送容量162(162-1, 162-2, 162-3)が接続されている。また、スライストランジスタ150のドレイン電位をリセットするために、スライストランジスタ150のドレインと蓄積ドレイン電源端子164との間にドレインリセットトランジスタ166(166-1, 166-2, 166-3)が設けられ、このトランジスタ166のゲートにドレインリセット端子168が接続されている。さらに、スライストランジスタ150のドレインは、水平アドレス回路14から供給される選択パルスにより駆動される水平選択トランジスタ12(12-1, 12-2, 12-3)を介して水平信号線15に接続されている。

以上のノイズキャンセラの部分が本実施形態の特徴部分であり、このノイズキャンセラは、垂直信号線8に現れる電圧を電荷に変換し、電荷領域で引き算をすることにより雑音を抑圧するものとなっている。

次に、本装置の駆動方法について説明する。図47は本装置の動作を示すタイミングチャートであり、図48はスライストランジスタ150のポテンシャル図を示している。

図47を参照して説明する。まず、水平アドレス線6-1をハイレベルにするアドレスパルス101を印加すると、このラインの垂直選択トランジスタ3のみONし、このラインの増幅トランジスタ2と負荷トランジスタ9でソースホロア回路が構成される。そして、増幅トランジスタ2のゲート電

圧、即ちフォトダイオード1の電圧とほぼ同等の電圧が、垂直信号線8及びスライストランジスタ150のゲートに現れる。

次いで、スライスリセット端子160にスライスリセットパルス106を印加し、スライスリセットトランジスタ156をONし、スライス容量152の電荷を初期化する。さらに、スライスリセットトランジスタ156をOFFし、スライスパルス供給端子154に第1のスライスパルス107を印加する。これにより、信号電圧がかかっているスライストランジスタ150のゲート下のチャンネル電位 V_{sch} を越えて、第1のスライス電荷がドレインに転送される。このとき、ドレインリセット端子168にはドレインリセットパルス108が印加され、ドレインリセットトランジスタ166はONしているので、ドレイン電位は蓄積ドレイン電源端子164の電圧 V_{sdd} に固定されている。従って、第1のスライス電荷はドレインリセットトランジスタ166を通して排出される。

次いで、ドレインリセットトランジスタ166をOFFした後、リセット線7-1をハイレベルにするリセットパルス103を印加し、このラインのリセットトランジスタ4をONし信号電荷をリセットする。すると、垂直信号線8及びスライストランジスタ150のゲートに信号電荷がないときの電圧（信号成分が無く、雑音成分のみ状態であってこの雑音成分相当の電圧）が現れる。次いで、スライスパルス供給端子154に第2のスライスパルス109を印加する。これに

より、信号電荷がないときの電圧（雑音成分相当の電圧）がかかっているスライストランジスタ150のゲート下のチャンネル電位 V_{0ch} を越えて、第2のスライス電荷がドレインに転送される。このとき、ドレインリセットトランジスタ166はOFFしているので、第2のスライス電荷はドレインに接続されているスライス電荷転送容量162に転送される。

次いで、水平アドレス回路14から水平選択パルス105（105-1, 105-2, 105-3）を水平選択トランジスタに順次印加し、水平信号線（信号出力端）15から1ライン分の信号を順次取り出す。この動作を、次のライン、その次のラインと順次続けることにより、2次元状の全ての信号を読み出すことができる。

このデバイスでは、スライス容量152の値を C_{sl} とすると、最終的に水平信号線15に読み出される電荷（第2のスライス電荷）は

$$C_{sl} \times (V_{sch} - V_{0ch})$$

となり、信号があるときとリセットされ信号がないときの差に比例する電荷が現れるため、増幅トランジスタ2の閾値ばらつきによる雑音が抑圧されるという特徴がある。つまり、ノイズキャンセラとして機能する。

そしてこの場合、セルの増幅トランジスタ2は垂直信号線8とスライストランジスタ150のゲートを駆動すれば良く、スライストランジスタ150のゲートのゲート容量は従来例のような大きなクランプ容量と比べるとはるかに小さく設計できるため、雑音抑圧にかかる時間を大幅に短くできる。従

って、実際のテレビ信号を供給する場合の水平ブランキング期間内に、雑音抑制を確実に行うことが可能になる。

また、本実施例においては“雑音成分”出力時と“信号成分+雑音成分”出力時とで、単位セルから見たノイズキャンセラ回路のインピーダンスがほぼ同一である。そのため、両出力時で雑音成分はほぼ同一となり、両者の差分をとると、正確に雑音出力を除去できて信号成分のみを取り出すことが可能となる。従って、正確にノイズをキャンセルすることができる。また、単位セルからノイズキャンセラ回路を見ると、インピーダンス的にはゲート容量しか見えず、その容量は非常に小さいので、短時間に確実にノイズをキャンセルすることができる。

なお、第2のスライスパルス109は直前の第1のスライスパルス107の影響を受けることがある。この場合、第1及び第2のスライスパルス107, 109の条件を同じにするために、第1のスライスパルス107の直前にダミーパルスを入れることが有効である。ここで上述の条件とは、直前にパルスがあるか否かを意味する。この例では、直前に第1のスライスパルスが存在している第2のスライスパルスと作用を合わせるために、第1のスライスパルスの前にダミーのスライスパルスを加えるようにしている。

また、第1のスライスパルス107と第2のスライスパルス109の振幅が同じといった微妙な電圧条件では、微小信号領域で信号電荷が読み出せなくなったり、直線性が悪くなったりする。そこで、第1のスライスパルス107の振幅に

比べ第2のスライスパルス109の振幅を大きくし、第2のスライスパルス109で読み出す電荷にバイアス電荷を重畳させるようにする方が動作が安定する。さらに、第1のスライスパルス107に比して、第2のスライスパルス109の幅を広くする方法も有力である。

なお、水平アドレス線6-1のハイレベルの垂直アドレスパルス前縁位置をP1、後縁位置をP2、リセット線7-1の信号の前縁位置をP3、後縁位置をP4、スライスリセット端子160に印加されるスライスリセットパルスの前縁位置をP5、後縁位置をP6、スライスパルス供給端子154に印加される第1のスライスパルス107と第2のスライスパルス109のうち、第1のスライスパルス107の前縁位置をP7、後縁位置をP8、第2のスライスパルス109の前縁位置をP9、後縁位置をP10、そして、ドレインリセット端子168に印加されるドレインリセットパルスの前縁位置をP11、後縁位置をP12としたとき、これら各信号位置の時間的關係は、

$$P1 < P6 < P7 < P8 < P3 < P4 < P9 < P10 < P2$$

$$\text{そして、} P8 < P11 < P12 < P9$$

とする。望ましくは $P11 < P12 < P3 < P4$ である。

P1, P5の前後關係は問わず、また、P3とP11の位相關係、P4とP12の位相關係は問わない。

セルの構成は、図46に限らず図49に示すように、フォトダイオード1と増幅トランジスタ2との間に転送トランジ

スタ 28 を挿入したものをを用いることができる。図 49 に示すように転送トランジスタ 28 を使用したものをを用いると、初めに信号がないときの電圧を垂直信号線 8 に出力し、続いて転送トランジスタ 28 を ON して信号があるときの電圧を出力することが可能である。この場合、スライストランジスタ 150 の導電型をセルのトランジスタと反対の導電型にする方がよい。即ち、セルが n チャンネル型トランジスタで構成されるなら、スライストランジスタ 150 は p チャンネル型がよい。さらに本発明は、図 46 や図 49 に示す構成に限るものではなく、フォトダイオードの検出信号をトランジスタを介して出力するセルに適用することが可能である。

また、入力信号がないときに読み出す信号電流が小さい方が雑音が少ないので、蓄積ドレイン電源端子 164 に印加されている電圧とビデオバイアス電圧とをほぼ等しくする。ビデオバイアス電圧とは、水平信号線 15 から信号を電流で読み出すとき水平信号線 15 がほぼ固定される電圧である。図 45 に示すように、オペアンプ 31 の入出力端間に負荷抵抗 29 を接続したビデオアンプを用いると、信号電流が強制的に負荷抵抗 29 に流され、水平信号線 15 は仮想的にある電圧に固定される。これが、ビデオバイアス電圧である。

なお、本発明は上述した実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

以上詳述したように本実施例によれば、増幅型 MOS センサを用いた固体撮像装置において、垂直信号線の端と水平選

択トランジスタの間に、垂直信号線に現れた電圧を電荷に変換し、電荷領域で引き算をすることによって雑音を抑圧する雑音除去回路を設けたことにより、増幅トランジスタの閾値ばらつきによる固定パターン雑音の抑制に要する時間を短くすることができ、テレビ信号を供給する場合の水平ブランキング期間内に雑音抑圧を行うことが可能となる。

すなわち、“雑音成分”出力時と“信号成分+雑音成分”出力時とで、単位セルから見たノイズキャンセラ回路のインピーダンスがほぼ同一である。そのため、両出力時で雑音成分はほぼ同一となり、両者の差分をとると、正確に雑音出力を除去できて信号成分のみを取り出すことが可能となる。従って、正確にノイズをキャンセルすることができる。また、単位セルからノイズキャンセラ回路を見ると、インピーダンス的にはゲート容量しか見えず、その容量は非常に小さいので、短時間に確実にノイズをキャンセルすることができる。

ゆえにこの実施例によれば、増幅トランジスタの閾値ばらつきによる固定パターン雑音の抑制に要する時間を短くでき、テレビ信号を供給する場合の水平ブランキング期間内でも十分に雑音抑圧を行うことのできる固体撮像装置を提供できる。

第 2 3 実 施 例

ノイズキャンセラ回路の別な構成例について、第23実施例として説明する。この実施例のノイズキャンセラ回路（雑音除去回路）は、水平選択トランジスタ側から、並列にクランプトランジスタ、並列にサンプルホールド容量、直列にク

ランプ容量、直列にサンプルホールドトランジスタ、が上記順に接続されてなるもので、重ね合わせノイズキャンセル方式である。

半導体基板上に、フォトダイオード、このフォトダイオードの出力をゲートに入力する増幅トランジスタ、この増幅トランジスタと直列に接続された垂直選択トランジスタ、フォトダイオードの信号を排出するリセットトランジスタとからなる単位セルを行列２次元状に配列してなる撮像領域と、前記垂直選択トランジスタのゲートに接続され行方向に配置された複数の垂直選択線と、これらの垂直選択線を駆動する垂直アドレス回路と、前記増幅トランジスタの電流を読み出す列方向に配置された複数の垂直信号線と、これらの垂直信号線の一端側に設けられた複数の負荷トランジスタと、前記垂直信号線他端側に設けられた複数の水平選択トランジスタと、これらの水平選択トランジスタのゲートに順次選択パルス信号を与える水平選択シフトレジスタと、前記水平選択トランジスタを介して前記垂直信号線から信号電流を読み出す水平信号線と、前記垂直信号線の端と前記水平選択トランジスタとの間に設けられた雑音除去回路とを備えた固体撮像装置において、前記雑音除去回路は、前記水平選択トランジスタ側から、並列にクランプトランジスタ、並列にサンプルホールド容量、直列にクランプ容量、直列にサンプルホールドトランジスタ、が上記順に接続されてなることを特徴としている。

また本発明は、上記の各構成において、クランプ容量とサ

ンプルホールド容量を、半導体基板上の同一平面上で全部、又は一部重ね合わせて形成することを特徴としている。また、リセットドレイン電源電圧とビデオバイアス電圧をほぼ等しくしてもよい。

このような構成においては、クランプ容量とサンプルホールド容量とを直接接続して近接配置させることができるので、これらを同一面上に積層して形成することができる。従って、クランプ容量とサンプルホールド容量を半導体基板上に並列的に配置する場合に比べて1/2の面積で同じ容量を得ることができ、素子の微細化をはかることが可能となる。

図50は、第23実施例に係わる増幅型MOSセンサを用いた固体撮像装置を示す回路構成図である。なお、図46と同一部分には同一符号を付して、その詳しい説明は省略する。

本装置が前記図46に示した装置と異なる点は、雑音を除去するためのノイズキャンセラ回路の部分である。ノイズキャンセラ回路としては、垂直信号線8(8-1, ~, 8-3)側から順に、サンプルホールドトランジスタ30(30-1, ~, 30-3)とクランプ容量32(32-1, ~, 32-3)が直列接続され、さらにクランプ容量32と水平選択トランジスタ12(12-1, 12-2, 12-3)の接続点には、サンプルホールド容量34(34-1, ~, 34-3)とクランプトランジスタ40(40-1, ~, 40-3)が並列に接続されている。

次に、本装置の駆動方法について説明する。図51は、本装置の動作を示すタイミングチャートである。

図51を参照して本装置の動作を説明する。まず、サンプルホールドトランジスタ30にはサンプリングパルス106を印加し、雑音抑圧期間中はサンプルホールドトランジスタ30をON状態にしておく。水平アドレス線6、例えば、水平アドレス線6-1をハイレベルにするアドレスパルス101を垂直アドレス回路5より発生してこの水平アドレス線6-1に印加する。

すると、この水平アドレス線6-1にゲートが接続されている配列1行目の並びの単位セルP1-1-1, P1-1-2, ... P1-1-nにおける選択トランジスタ3(3-1-1, 3-1-2, ... 3-1-n)のみがONする。そして、このONされた選択トランジスタ3(3-1-1, 3-1-2, ... 3-1-n)に接続される増幅トランジスタ2(2-1-1, 2-1-2, ... 2-1-n)と負荷トランジスタ9-1-1, 9-1-2, ... 9-1-nとでソースホロア回路が構成される。

そして、垂直信号線8-1-1, 8-1-2, ... 8-1-nには増幅トランジスタ2-1-1, 2-1-2, ... 2-1-nのゲート電圧、即ちフォトダイオード1-1-1, 1-1-2, ... 1-1-nの電圧とほぼ同等の電圧が現われる。このとき、クランプトランジスタ40(40-1-1, 40-1-2, ... 40-1-n)のゲートにクランプパルス102を印加し、クランプトランジスタ40(40-1-1, 40-1-2, ... 40-1-n)をONし、クランプノード36(36-1, 36-2, ... 36-n)をクランプ電源38

と同じ電圧に固定する。

次いで、クランプトランジスタ40 (40-1-1, 40-1-2, ... 40-1-n) をOFFした後、リセット線7-1をハイレベルにするリセットパルス103を垂直アドレス回路5から発生してリセット線7-1に印加し、このリセット線7-1に接続されている配列1行目の並びの単位セルP1-1-1, P1-1-2, ... P1-1-nにおけるリセットトランジスタ4 (4-1-1, 4-1-2, ... 4-1-n) をONにして、信号電荷をリセットする。すると、クランプノード36-1-1, 36-1-2, ... 36-1-nには、フォトダイオード1-1-1, 1-1-2, ... 1-1-nに信号電荷があるときと信号電荷がリセットされたときの電圧の差をクランプ容量32とサンプルホールド容量34で分割した電圧が、クランプ電源38に加算されて現われる。

すなわち、クランプ容量32の容量値を C_{c1} 、サンプルホールド容量34の容量値を C_{sh} とし、フォトダイオード1に信号電荷があるときの電荷を E_{sn} 、フォトダイオード1がリセットされたときの電荷を E_n とすると、 E_{sn} と E_n の差電荷を C_{c1} と C_{sh} で分割した電圧が、クランプ電源38に加算されて現われる。即ち、 $C_{c1} / (C_{c1} + C_{sh})$ 倍した信号電圧が現れる。

つまり、信号成分が $C_{c1} / (C_{c1} + C_{sh})$ 倍されて得られる。

次いで、水平アドレス回路14により水平選択パルス105 (105-1, ..., 105-3) を水平選択トランジスタ

1 1 2

1 2 - 1 - 1, 1 2 - 1 - 2, ... 1 2 - 1 - n に順次印加し、水平信号線 1 5 から 1 ライン分の信号を順次取り出す。この動作を、次のライン、その次のラインと順次続けることにより、2 次元状の全ての単位セルの信号を読み出すことができる。

なお、水平アドレス線 6 - 1 のハイレベルの垂直アドレスパルス前縁位置を P 1、後縁位置を P 2、リセット線 7 - 1 の信号の前縁位置を P 3、後縁位置を P 4、サンプルホールドトランジスタ 3 0 に印加されるサンプリングパルス 1 0 6 の前縁位置を P 5、後縁位置を P 6、クランプトランジスタ 4 0 のゲートに印加されるクランプパルス 1 0 2 の前縁位置を P 7、後縁位置を P 8 としたとき、これら各信号位置の時間的關係は、

$$P 1 < P 8 < P 3 < P 4 < P 6 < P 2$$

とする。また、P 1, P 5, P 7 の前後關係は問わない。

しかし、望ましくは $P 1 < P 5 < P 7$ が良い。

また、入力信号がないときにおいて、読み出す信号電流が小さい方が雑音が少ないので、本実施例ではクランプ電源 3 8 に印加されている電圧とビデオバイアス電圧とをほぼ等しくする。ビデオバイアス電圧とは、水平信号線 1 5 から信号を電流で読み出すとき水平信号線 1 5 がほぼ固定される電圧である。図 4 5 に示すように、オペアンプ 1 7 6 の入出力端に負荷抵抗 1 7 8 を接続した構成のビデオアンプを用いると、信号電流が強制的に負荷抵抗 1 7 8 に流され、水平信号線 1 5 は仮想的に、ある電圧に固定される。これがビデオバイア

ス電圧である。

このように本実施例では、ノイズキャンセラの回路構成が異なるものの、第 2 2 実施例で説明した装置と同様に、固定パターン雑音を抑制することができる。そしてこの場合、回路構成から分るように、クランプ容量 3 2 とサンプルホールド容量 3 4 が直接接続されて近接しているので、これらを同一面上に積層して形成することができる。

具体的には、図 2 4 に示すように、シリコン基板 7 2 上に第 1 の絶縁膜 7 4 を介して第 1 の電極 7 6 を形成することにより、サンプルホールド容量 3 4 を構成し、さらに第 1 の電極 7 6 上に第 2 の絶縁膜 7 8 を介して第 3 の電極 8 0 を形成することにより、クランプ容量 3 4 を構成する。この図からも明らかなように、第 1 の電極 7 6 が共通電極となり、クランプ容量 3 2 とサンプルホールド容量 3 4 が積層形成されているので、並列にクランプ容量 3 2 とサンプルホールド容量 3 4 を形成する構成に比べて $1/2$ の面積で同じ容量値を得ることが可能となる。

なお、本発明は上述した実施形態に限るものではない。基本セルの構成は、図 5 0 に限らず適宜変更可能である。例えば、フォトダイオード 1 と増幅トランジスタ 2 との間に転送トランジスタを挿入したものをを用いてもよい。さらに、選択トランジスタを省略したものや、リセットトランジスタを省略した構成であってもよい。要は、フォトダイオードの検出信号をトランジスタを介して出力するセルであれば適用することが可能である。

以上詳述したように本実施例によれば、増幅型MOSセンサを用いた固体撮像装置において、雑音除去回路を構成する各要素の接続関係を工夫することにより、雑音除去回路のクランプ容量とサンプルホールド容量に必要な面積を小さくすることができ、素子の微細化に寄与することが可能となる。

第 2 4 実 施 例

図52、図53は本発明で用いられる第24実施例に係わる固体撮像装置の回路構成を示す図である。

固定パターン雑音を低減することを目的として、図52の構成を説明する。図では、フォトダイオード1（1-1-1、1-1-2、～、1-3-3）の信号を読み出すラインを選択する増幅トランジスタ2（2-1-1、2-1-2、～、2-3-3）、信号を読み出すラインを選択する垂直選択トランジスタ3（3-1-1、3-1-2、～、3-3-3）、信号電荷をリセットするリセットトランジスタ4（4-1-1、4-1-2、～、4-3-3）からなる単位セルが3×3の行列で2次元状に配列されている。もちろん、実際にはこれより多くの単位セルが配列される。

垂直アドレス回路5から水平方向に配線されている水平アドレス線6（6-1、6-2、6-3）は垂直選択トランジスタ3のゲートに接続され、信号を読み出すラインを決めている。同様に、垂直アドレス回路5から水平方向に配線されているリセット線7（7-1、7-2、7-3）は、リセットトランジスタ4のゲートに接続されている。増幅トランジ

スタ 2 のソースは列方向に配置された垂直信号線 8 (8 - 1 , 8 - 2 , 8 - 3) に接続され、その一端には負荷トランジスタ 9 (9 - 1 , 9 - 2 , 9 - 3) が設けられている。

負荷トランジスタ 9 のゲートには、負荷トランジスタ駆動線 3 5 が接続されている。なお、負荷トランジスタ 8 は必ずしも駆動線 3 5 により駆動する必要はなく、負荷トランジスタ 8 のゲートをソースに接続してもよい。

垂直信号線 8 の他端には、クランプ容量 1 3 1 (1 3 1 - 1 , 1 3 1 - 2 , 1 3 1 - 3) 、クランプトランジスタ 1 3 2 (1 3 2 - 1 , 1 3 2 - 2 , 1 3 2 - 3) 、サンプルホールドトランジスタ 1 3 3 (1 3 3 - 1 , 1 3 3 - 2 , 1 3 3 - 3) 、サンプルホールド容量 1 3 4 (1 3 4 - 1 , 1 3 4 - 2 , 1 3 4 - 3) からなる雑音除去回路が接続されている。そして、この雑音除去回路は、水平アドレス回路 1 4 から供給される選択パルスにより選択される水平選択トランジスタ 1 2 (1 2 - 1 , 1 2 - 2 , 1 2 - 3) を介して水平信号線 1 5 に結線されている。

さらに本装置においては、補正のための容量 2 0 1 (2 0 1 - 1 , 2 0 1 - 2 , 2 0 1 - 3) が、クランプ容量より撮像領域側に、垂直信号線 8 に対して並列にスイッチ 2 0 2 (2 0 2 - 1 , 2 0 2 - 2 , 2 0 2 - 3) を介して設置されている。補正容量 2 0 1 とスイッチ 2 0 2 は、図 5 2 の場合にはクランプ容量 1 3 1 と撮像領域の間に、また図 5 3 の場合には撮像領域と負荷トランジスタ 9 との間に設置されている。補正容量 2 0 1 は所定電圧のバイアスが付与されている。

補正容量 201 の容量値を C_{CMP} 、クランプ容量 131 の容量値を C_{CL} 、サンプルホールド容量 134 の容量値を C_{SH} とする。本実施例では、スイッチ 202 はサンプルホールド期間中 ON 状態にする。この場合、サンプルホールド時に垂直信号線 8 に連なる容量は、

$$C = C_{CMP} + C_{SH}$$

となる。従って、補正容量 201 の容量値 C_{CMP} は、

$2 \{ C_{CL} - C_{CL} \cdot C_{SH} / (C_{CL} + C_{SH}) \} > C_{CMP} > 0$ の範囲で設定する。このように設定すると、サンプルホールド時に垂直信号線 8 に連なる容量は、補正容量 201 が無い時に比べてクランプ容量 131 の容量値 C_{CL} の大きさに近づく。そのため、差分 V_{CL} はより小さくなり、これによって雑音も小さくなる。

動作の詳細を説明する。図 54 は、このデバイスの動作を示すタイミングチャートである。本実施例では、補正容量 201 (201-1, 201-2, 201-3) が、クランプ容量より撮像領域側にあって、しかも、垂直信号線 8 に対して並列にスイッチ 202 (202-1, 202-2, 202-3) を介して設置されている。そして、補正容量 201 とスイッチ 202 は、図 52 の場合にはクランプ容量 131 と撮像領域の間に、また図 53 の場合には撮像領域と負荷トランジスタ 9 との間に設置されている。そして、スイッチ 202 はサンプルホールド期間中、ON 状態にする。

今、水平アドレス線 6-1 をハイレベルにするアドレスパルス 101 を印加したとする。すると、このラインの垂直選

択トランジスタ3のみONする。続いて、負荷トランジスタ駆動線35をハイレベルにすると、選択されたラインの増幅トランジスタ2と負荷トランジスタ8でソースフォロワ回路が構成される。そして、増幅トランジスタ2のゲート電圧、即ちフォトダイオード1の電圧とほぼ同等の電圧が垂直信号線8に現れる。このとき、クランプトランジスタ132のゲートにクランプパルス102を印加し、クランプトランジスタ132をONし、クランプノード145をクランプ電源17と同じ電圧に固定する。

次いで、クランプトランジスタ132をOFFした後、負荷トランジスタ駆動線35をローレベルにする。続いて、リセット線7-1をハイレベルにするリセットパルス103を印加し、リセットトランジスタ4をONして信号電荷をリセットする。続いて、再び負荷トランジスタ駆動線35をハイレベルにすると、クランプノード145には、フォトダイオード1に信号電荷があるときと信号電荷がリセットされたときの電圧の差が加算された電圧が現れる。

次いで、サンプルホールドトランジスタ133のゲートにサンプルホールドパルス104を印加し、サンプルホールドトランジスタ133をONし、この信号をサンプルホールド容量134に伝達する。その後、水平アドレス回路14から水平選択パルス105（105-1，105-2，105-3）を水平選択トランジスタ12に順次印加し、水平信号線15から1ライン分の信号を順次取り出す。

この動作を次のライン、その次のラインと順次続けること

により、２次元状の全ての信号を読み出すことができる。

このデバイスでは、クランプノード１４５には最終的には信号があるときと、リセットされて信号が無いときの差の電圧が現れるため、増幅トランジスタ２の閾値ばらつきによる雑音が抑圧される。即ち、クランプ容量１３１、クランプトランジスタ１３２、サンプルホールドトランジスタ１３３、及びサンプルホールド容量１３４からなる回路が雑音除去回路として作用し、２次元状の雑音である固定パターン雑音発生を抑止する。

すなわち、“雑音成分”出力時と“信号成分＋雑音成分”出力時とで、単位セルから見たノイズキャンセラ回路のインピーダンスがほぼ同一である。そのため、両出力時で雑音成分はほぼ同一となり、両者の差分をとると、正確に雑音出力を除去できて信号成分のみを取り出すことが可能となる。従って、正確にノイズをキャンセルすることができる。

第２４実施例の構成の場合、補正容量２０１とスイッチ２０２の構成要素部分が無くともクランプパルスが２００（ｎＳ）以上の時間幅を確保できる回路であれば雑音除去能力は十分ある。

つまり、雑音除去回路において、サンプルホールド容量に蓄積される信号電荷は、サンプルホールド容量の大きさと電極間の電圧差の積で決まる。そして、その電極間の電圧差はサンプルホールド容量１３４の容量値 C_{SH} とクランプ容量１３１の容量値 C_{CL} との比で決まる。そのため、サンプルホールド容量に現れる信号電荷を大きくするためには、サンプル

ホールド容量を大きくすると同時に、それに対応してクランプ容量を大きくする必要がある。その結果、十分な信号電荷を得るためには、かなり大きなクランプ容量が必要となる。しかし、クランプパルスが十分なパルス幅を確保可能であれば、問題は無い。

また、単位セルの増幅トランジスタ 2 は、垂直信号線 8 の容量だけでなく大きなクランプ容量を駆動する必要がある。しかし、これも雑音抑圧にかける時間が十分確保できる時には問題ない。これが問題になるのは MOS 型固体撮像装置がテレビカメラとして使用される場合である。実際、テレビ信号を供給する場合は短い水平ブランキング期間内に行う必要があるかであり、この短い水平ブランキング期間内では雑音抑圧の時間が足りず、除去しきれなくなる。

また、フォトダイオード 1 に信号があり、垂直信号線 8 をクランプする際に垂直信号線 8 に連なる容量、即ちクランプ容量 131 の容量値 C_{CL} の大きさと、フォトダイオード 1 に信号が無く、サンプルホールドする時に垂直信号線 8 に連なる容量の大きさ C (但し、 $C = C_{CL} \cdot C_{SH} / (C_{CL} + C_{SH})$) とが異なってしまうと、これが原因で、雑音がキャンセルできないという問題が生ずる。本発明では、サンプルホールド期間中、補正容量 201 を垂直信号線 8 に接続して、この垂直信号線 8 に連なる容量を、サンプルホールド期間外の値と合わせるようにする。

本発明では、スイッチ 202 はサンプルホールド期間中 ON 状態にすることでこれを行う。すると、サンプルホールド

時に垂直信号線 8 に連なる容量は、

$$C = C_{CMP} + C_{SH}$$

となる。補正容量 C_{CMP} の大きさを、

$$2 \{ C_{CL} - C_{CL} \cdot C_{SH} / (C_{CL} + C_{SH}) \} > C_{CMP} > 0$$

の範囲で設定すると、補正容量 201 が無い時に比べてサンプルホールド期間中での垂直信号線 8 に連なる容量（サンプルホールド容量 134 とクランプ容量 131）は、サンプルホールド期間外での垂直信号線 8 に連なる容量、つまり、クランプ容量 131（＝容量値 C_{CL} ）のみの状態での容量値 C_{CL} の大きさに近づく。そのため、差分 V_{CL} はより小さくなり、そのため雑音も小さくなる。

図 55 に垂直信号線電位とクランプノード電位の時間変化を示した。本実施形態では信号が“零”の暗時の場合のように垂直信号線電位がクランプ時に戻る電位とサンプルホールド時に戻る電位が同じ場合、サンプルホールド終了時点でのクランプノードの電位は、 ΔV_{CL} に近い値まで戻ることなく、“零”になる。従って、暗時であり信号が“零”であるのにも拘らず ΔV_{CL} に相当する信号が現れてしまう等の不都合はない。このため、 ΔV_{CL} のばらつきに起因する雑音の発生を未然に防止することができる。

補正容量 201 とスイッチ 202 の構成要素部分が無い場合は、フォトダイオード 1 に信号があり、垂直信号線 8 をクランプする際に垂直信号線 8 に連なる容量、即ちクランプ容量 131 の容量値 C_{CL} の大きさと、フォトダイオード 1 に信号が無く、サンプルホールドする時に垂直信号線 8 に連なる

容量の大きさ C (但し、 $C = C_{CL} \cdot C_{SH} / (C_{CL} + C_{SH})$) とが異なってしまうと、これが原因で、雑音がキャンセルできない事情を説明しておく。

最も雑音が目立つ撮像条件である低照度状態での動作を見るために、信号が 0 である場合、即ちフォトトランジスタリセット前とリセット後のフォトトランジスタ電位が同じ場合について考える。図 5 6 に垂直信号線電位とクランプノード電位の時間変化を示した。

垂直信号線 8 に信号電圧が現れた後にクランプトランジスタ 1 3 2 を ON した後の垂直信号線電位は、図のようにクランプと同時に直ちにクランプ電位になり、その後再び信号線電位に戻っていく。信号線電位に直ちにならないのは、負荷トランジスタ 9 の持つ抵抗 R_{TR} とクランプ容量 C_{CL} の積、 $\tau = R_{TR} \cdot C_{CL}$ で決まる時定数を持って電位が変化するからである。現実の素子での値は、 R_{TR} はおよそ 10 (k Ω)、 C_{CL} はおよそ 1 (pF) であり、 τ は約 10 (nS) になり、十分飽和するためには 200 (nS) は必要である。

一方、図 5 4 に示した動作は全て 1 水平ブランキング期間内に行う必要があるため、クランプパルスは 200 (nS) 以上にできない場合が多い。そのため、現実の素子ではクランプ時に垂直信号線電位が十分信号電位まで飽和しない状態でクランプトランジスタが OFF される。そのため、クランプノードの電位はクランプトランジスタを OFF した後にクランプ電位にならず、 ΔV_{CL} だけずれる。

また、サンプルホールドする時のクランプノードの電位と

垂直信号線電位の時間変化は図56のようになる。この時には垂直信号線に連なる容量は、クランプ容量とサンプルホールド容量の直列合成容量であり、その値は、

$$C = C_{SH} \cdot C_{CL} / (C_{SH} + C_{CL})$$

である。このときの遅延時定数 τ' は、

$$\tau' = R_{TR} \cdot C = R_{TR} \cdot C_{SH} \cdot C_{CL} / (C_{SH} + C_{CL})$$

となり、クランプ時の遅延時定数 τ に比べ格段に小さい。そのため、サンプルホールド時に垂直信号線電位が元の電位に戻るまでの時間はクランプの際の時間に比べて速い。

従って、信号が0の暗時の場合のように垂直信号線電位がクランプ時に戻る電位とサンプルホールド時に戻る電位が同じ場合でも、サンプルホールド終了時点でのクランプノードの電位は0にはならず ΔV_{CL} に近い値まで戻ってしまう。即ち、暗時であり信号が0であるのにも拘らず、 ΔV_{CL} に相当する信号が現れてしまい、しかもこの ΔV_{CL} がばらつくために、これが雑音回路で除去しきれない雑音として残ってしまう。

本実施例では、スイッチ202はサンプルホールド期間中ON状態にする。そうすると、サンプルホールド時に垂直信号線に連なる容量は、

$$C = C_{CMP} + C_{SH}$$

となる。補正容量 C_{CMP} の大きさを、

$$2 \{ C_{CL} - C_{CL} \cdot C_{SH} / (C_{CL} + C_{SH}) \} > C_{CMP} > 0$$

の範囲で設定すると、補正容量が無い時に比べて C_{CL} の大きさに近づく。そのため、差分 V_{CL} はより小さくなり、そのた

め雑音も小さくなる。

図55に垂直信号線電位とクランプノード電位の時間変化を示した。本実施形態では信号が0の暗時の場合のように垂直信号線電位がクランプ時に戻る電位とサンプルホールド時に戻る電位が同じ場合、サンプルホールド終了時点でのクランプノードの電位は、 ΔV_{CL} に近い値まで戻ることなく、0になる。従って、暗時であり信号が0であるのにも拘らず ΔV_{CL} に相当する信号が現れてしまう等の不都合はない。このため、 ΔV_{CL} のばらつきに起因する雑音の発生を未然に防止することができる。

以上は、単位セルあたり、1フォトダイオード構成のMOSセンサに各種のノイズキャンセラ回路を組み合わせた構成のMOS型固体撮像装置の実施例であった。

次に単位セルあたり、2フォトダイオード以上の複数フォトダイオード構成のMOSセンサに各種のノイズキャンセラ回路を組み合わせた構成のMOS型固体撮像装置の実施例を説明する。

第 25 実 施 例

第25実施例は、単位セルあたり、2フォトダイオード構成のMOSセンサに各種のノイズキャンセラ回路を組み合わせた場合の構成例である。

図57は、本発明で用いられる第25実施例に係るMOS型固体撮像装置の構成を示す概略図である。画素に相当する単位セル P_{1-i-j} が縦、横に2次元マトリクス状に配列

されている。図では、 2×2 の構成しか示していないが、実際は例えば縦横数千個 \times 数千個といった構成である。 i は水平 (row) 方向の変数、 j は垂直 (column) 方向の変数である。本発明では各単位セル $P1-i-j$ は受光部であるフォトダイオードを、1個の構成ではなく、2個の構成としてあって、この2フォトダイオード構成とすることで各単位セルは実質的に2画素として機能することになる。各単位セル $P1-i-j$ の詳細は図61、図62に示す。

ここで説明した固体撮像装置の応用分野としては、ビデオカメラ、電子スチルカメラ、デジタルカメラ、ファクシミリ、複写機、スキャナ等がある。

垂直 (column) アドレス回路5から水平方向 (row 方向) に配線されている水平 (row) アドレス線 $6-1$, $6-2$, ... は各行の単位セルに接続され、信号を読み出す水平ライン (row 方向ライン) を決めている。同様に、垂直アドレス回路5から水平方向 (row 方向) に配線されているリセット線 $7-1$, $7-2$, ... は、各列の単位セルに接続されている。後述するように、本実施例の単位セルは2つのフォトダイオードを含んでいるので、垂直アドレス回路5からは第1のフォトダイオード選択線 $22-1$, $22-2$, ...、第2のフォトダイオード選択線 $24-1$, $24-2$, ... も水平方向に出力され、これらも各行の単位セルに接続されている。

各列の単位セルは列方向に配置された垂直 (column) 信号線 $8-1$, $8-2$, ... に接続され、垂直信号線 $8-1$, $8-2$, ... の一端には負荷トランジスタ $9-1$, $9-2$, ... が設

けられている。負荷トランジスタ 9-1, 9-2, ... のゲートとドレインは共通にドレイン電圧端子 20 に接続される。

垂直信号線 8-1, 8-2, ... の他端は、ノイズキャンセラ回路に接続される。すなわち、本発明で用いられるノイズキャンセラ回路は、MOS トランジスタ 26-1, 26-2, ..., 28-1, 28-2, ...、サンプルホールドトランジスタ 30-1, 30-2, ...、クランプ容量 32-1, 32-2, ...、サンプルホールド容量 34-1, 34-2, ...、クランプトランジスタ 40-1, 40-2, ...、水平 (row) 選択トランジスタ 12-1, 12-2, ... から構成されている。

垂直信号線 8-1, 8-2, ... の他端は、ノイズキャンセラ回路の構成要素である MOS トランジスタ 26-1, 26-2, ... のゲートに接続される。そして、ノイズキャンセラ回路の構成要素である MOS トランジスタ 26-1, 26-2, ... のソースは MOS トランジスタ 28-1, 28-2, ... のドレインに接続され、MOS トランジスタ 26-1, 26-2, ..., 28-1, 28-2, ... はソースフォロワ回路として動作する。MOS トランジスタ 28-1, 28-2, ... のゲートは共通ゲート端子 36 に接続される。

MOS トランジスタ 26-1, 26-2, ... と MOS トランジスタ 28-1, 28-2, ... との接続点が、これもノイズキャンセラ回路の構成要素であるサンプルホールドトランジスタ 30-1, 30-2, ... を介してクランプ容量 32-1, 32-2, ... の一端に接続される。ノイズキャンセラ回

路の構成要素であるクランプ容量 $32-1$, $32-2$, ...の他端にはサンプルホールド容量 $34-1$, $34-2$, ...とクランプトランジスタ $40-1$, $40-2$, ...が並列に接続されている。

そして、ノイズキャンセラ回路の構成要素であるサンプルホールド容量 $34-1$, $34-2$, ...の他端は接地されている。クランプ容量 $32-1$, $32-2$, ...の他端は水平選択トランジスタ $12-1$, $12-2$, ...を介して信号出力端（水平信号線） 15 にも接続される。

水平（row）選択トランジスタ $12-1$, $12-2$, ...は、水平（row）アドレスを順次切り替えてゆく回路である選択水平アドレス回路 13 から供給される水平アドレスパルスによって選択される水平（row）選択トランジスタ $12-1$, $12-2$, ...を介して信号出力端（水平信号線） 15 に接続されている。

垂直アドレス回路 5 は、複数本の信号、ここに示す例では 4 本の信号を纏めてシフトする回路である。すなわち、垂直アドレス回路 5 は 4 本 $\times n$ 組の端子を持ち、 4 本一組の端子群を順に、一組ずつアクティブにするように切り替えてゆくもので、図 58 、図 59 、図 60 のいずれかの回路により実現される。

図 58 の例では、入力信号 46 を多数の出力端から順次シフトして出力するシフトレジスタ 44 の出力がマルチプレクサ 48 により、 4 入力信号 50 と合成される。

図 59 の例では、エンコード入力 54 をデコードするデコ

ーダ52の出力がマルチプレクサ56により4入力信号58と合成される。

図60の例では、それぞれ複数の端子を持つ4つのシフトレジスタ60a, 60b, 60c, 60dを用い、その出力のうち、同一端子位置のもの同士を束ねて各行の制御信号線とする。

図61は、図57に示した単位セルP1-1-1の一構成例を示す。ここでは、単位セルP1-1-1の構成のみを示すが、他の単位セルP1-1-2、～についても同様の構成が採用されている。

同図に示すように、本実施例のMOS型固体撮像装置の単位セルは、垂直方向(column方向)に隣り合う2個のフォトダイオード62a, 62bと、これらのうち、どちらのフォトダイオード62a, 62bの検出信号を単位セルの出力とするかを選択する2個のフォトダイオード選択トランジスタ63a, 63bと、これらの選択トランジスタ63a, 63bで選択されたフォトダイオード62a, 62bの出力信号を、単位セルから出力する出力回路68を有する。

各選択スイッチ63a, 63bは、独立にオン/オフ制御されるものであって、各選択スイッチをオンにすることにより、フォトダイオード62a, 62bに蓄積された電荷を時分割的に出力回路68に供給することができる。

出力回路68は次の要素から構成されている。すなわち、フォトダイオード62a, 62bからの電荷信号がゲートに供給されてそれを増幅する増幅トランジスタ64、信号を読

み出す単位セルを選択する垂直選択トランジスタ65、そして、増幅トランジスタ64のゲートに加わる電荷を充放電するためのリセットトランジスタ66の各要素から構成されている。

垂直アドレス回路5から水平方向（row 方向）に配線されている水平アドレス線6-1は、垂直（column）選択トランジスタ65のゲートに接続され、信号を読み出すラインを選択する。同様に、垂直アドレス回路5から水平方向に配線されているリセット線7-1、フォトダイオード選択線22-1, 24-1は、それぞれリセットトランジスタ66のゲート、フォトダイオード選択トランジスタ63a, 63bのゲートに接続されている。

このように、本実施例のMOS型固体撮像装置の単位セルは、従来例のような1フォトダイオード／単位セルの構成のものとは異なり、複数フォトダイオード／単位セルの構成としている。ここでは垂直（column）方向に隣接する2つのフォトダイオードが1つの出力回路68を共有している構成としている。つまり、1フォトダイオード／単位セルの構成では単位セル当たり、1画素に相当するのに対して、複数フォトダイオード／単位セルの構成は、受光部であるフォトダイオードが複数であるので、受光部の数の分がそれぞれ画素として扱えることから単位セル当たり、複数画素の構成になる。

そして、本実施例では、単位セルは2個のフォトダイオードで構成されており、単位セル内にはこれらフォトダイオードを選択するための2つのトランジスタを含めて5個のトラ

ンジスタを備える構成である。すなわち、本実施例のMOS型固体撮像装置における単位セルの構成によれば、1つの画素に相当する1つのフォトダイオードあたり、2.5個のトランジスタしか必要としない。そのため、1つのフォトダイオードに3個のトランジスタを必要とする図1に示す従来例の構成に比べて、画素当たりのトランジスタが2.5個となる本実施例は、画素当たりトランジスタ数を0.5個、少なくできる。そのため、その分、画素当たりの占有面積を縮小でき、同一画素数の固体撮像装置ならば、より小型化した固体撮像装置を得ることができる。

また、本実施例に係るMOS型固体撮像装置の単位セルの特徴は、2つのフォトダイオード62a, 62bが選択トランジスタ63a, 63bを介して出力回路68にそれぞれ接続されていることにある。すなわち、フォトダイオード62a, 62bが並列に接続されていることにある。もちろん、複数のフォトダイオード62で1つの出力回路68を共有する方法としては、こればかりでなく他の方法もある。例えば、1つのフォトダイオードのみ出力回路68に接続し、他のフォトダイオードは出力回路68に接続された上記1つのフォトダイオードを介して出力回路68に接続する、いわゆる直列接続による方法である。しかし、この直列接続による方法では、他のフォトダイオードに蓄積された検出信号を破壊することなく、複数のフォトダイオードそれぞれの出力信号を独立して読み出すことは困難である。従って、実施例に示した構成を使用するのが良い。

一般に、増幅型MOS型固体撮像装置においては、各単位セルにおける画素に相当する受光部であるフォトダイオードの出力信号を、その単位セルに設けられた増幅トランジスタ64を通して増幅して取り出す。そのため、この増幅の際に、増幅トランジスタ64の閾値電圧のバラツキが信号に重畳されることになる。ゆえに、たとえ各単位セルにおける各フォトダイオード62の電位がそれぞれ同じであったとしても、そのフォトダイオードの所属する単位セルでの増幅トランジスタがそれぞれ別物であり、各増幅トランジスタ64の閾値電圧が異なるので、出力信号が同じとはならず、撮像した画像を再生すると増幅トランジスタ64の閾値バラツキに対応する雑音が発生する。

このように各単位セルでの増幅トランジスタ64で閾値電圧が異なり、各単位セルで固有なものであるために、再生した画像に場所的に固定されて分布する雑音、つまり、2次元状の雑音となる。この雑音は2次元空間である画面上で、場所的に固定されているという意味で、固定パターン雑音と呼ばれることは前述した通りである。

このため、本実施例においては、従来例としての構成である図1の回路における出力部の信号転送トランジスタと蓄積容量よりなる回路の代わりに、この固定パターン雑音を抑圧するための雑音除去回路（ノイズキャンセラ回路）が設けられている。図57では、雑音除去回路（ノイズキャンセラ回路）としては電圧領域で信号と雑音との差分をとる相関二重サンプリング型を示したが、雑音除去回路の型は、相関二重

サンプリング型には限定されず、種々の雑音除去回路が用いられている。

次に、図62のタイミングチャートを参照し、このようなノイズキャンセラ回路を備えた本発明で用いられるMOS型固体撮像装置の動作について説明する。なお、負荷トランジスタ9の共通ドレイン端子20、インピーダンス変換回路のトランジスタ28の共通ゲート端子36、クランプトランジスタの共通ソース端子38はDC（直流）駆動であるので、タイミングチャートから省略している。

つまり、インピーダンス変換回路を構成するトランジスタ28-1, 28-2, ...の共通ゲート端子36の電圧は、本MOS型固体撮像装置の動作時、ハイレベルの状態におかれ、常にオンとなる。また、クランプトランジスタ40-1, 40-2, ...の共通ソース端子38の電圧は、本MOS型固体撮像装置の動作時、常にローレベルにおかれる。そして、共通ソース端子36がハイレベルの状態におかれることにより、インピーダンス変換回路のトランジスタ28-1, 28-2, ...は常にオンで、垂直信号線8-1, 8-2, ...が伝達する信号レベル（電圧レベル）対応にトランジスタ26-1, 26-2, ...が駆動されることで、トランジスタ26-1, 26-2, ...とトランジスタ28-1, 28-2, ...の回路から垂直信号線8-1, 8-2, ...が伝達する信号レベル対応に電圧信号が出力される構成である。トランジスタ26-1, 26-2, ...とトランジスタ28-1, 28-2, ...は図に示すように、それぞれ対応するペアのもの同士が、そのソー

ス・ドレイン間を直列接続してシステム電源の正極側（所定レベルの直流電圧）とグラウンドレベル側に接続されており、トランジスタ 28-1, 28-2, ... がオンであれば、垂直信号線 8-1, 8-2, ... が伝達する信号レベル対応にトランジスタ 26-1, 26-2, ... が駆動されて所定レベルの直流電圧の範囲で電圧を出力できる。つまり、トランジスタ 26-1, 26-2, ... とトランジスタ 28-1, 28-2, ... でインピーダンス変換して垂直信号線 8-1, 8-2, ... が伝達する信号レベル対応の電圧信号をノイズキャンセラ回路に与える構成となる。

トランジスタ 26-1, 26-2, ... とトランジスタ 28-1, 28-2, ... とで構成されるインピーダンス変換回路からの出力は、垂直信号線 8-1, 8-2, ... それぞれに対応して設けられているサンプルホールドトランジスタ 30-1, 30-2, ... を介して、これも垂直信号線 8-1, 8-2, ... それぞれに対応して設けられているクランプ容量 32-1, 32-2, ... に伝達される構成であり、サンプルホールドトランジスタ 30-1, 30-2, ... のオンの状態であれば、インピーダンス変換回路からの出力は、対応するクランプ容量 32-1, 32-2, ... に伝達されて、ここに蓄積できる仕組みであり、サンプルホールドトランジスタ 30-1, 30-2, ... をオフにすることで垂直信号線 8-1, 8-2, ... からの出力の伝達を止めることができる仕組みである。

本装置は、撮像動作中においては、インピーダンス変換回

路を構成するトランジスタ 28-1, 28-2, ... の共通ゲート端子 36 の電圧がハイレベルの状態におかれ、常にオン状態である。また、クランプトランジスタ 40-1, 40-2, ... の共通ソース端子 38 の電圧は、常にローレベルにおかれている。

この状態において、水平 (row) アドレス線 6-1 にハイレベル (論理信号レベル "H") のアドレスパルスを印加すると、当該水平アドレス線 6-1 に接続されている単位セル P 1-1-1, P 1-1-2, ... の垂直選択トランジスタ 65 がオンとなり、増幅トランジスタ 64 と負荷トランジスタ 9-1, 9-2, ... でソースフォロワ回路が構成される。

増幅トランジスタ 64 のゲートには、フォトダイオード 62a, 62b のうち、選択トランジスタ 63a, 63b で選択されたいずれか 1 つのフォトダイオードの電圧を与えることができる。増幅トランジスタ 64 はこのゲートに与えられた電圧を増幅してドレインに出力するので、選択トランジスタ 63a, 63b でフォトダイオード 62a, 62b を選択することで、単位セルからは自己の有するフォトダイオードの受光量対応の電圧を、垂直 (row) 信号線 8-1, 8-2, ... のうち、その単位セル対応の垂直 (row) 信号線に出力することができる。

ノイズキャンセラ回路ではその構成要素であるサンプルホールドトランジスタ 30-1, 30-2, ... の共通ゲート 37 をハイレベルとしてこれらサンプルホールドトランジスタ 30-1, 30-2, ... をオンする。これにより、クランプ

容量 $32-1$, $32-2$, ...には垂直信号線 $8-1$, $8-2$, ...からの出力、厳密にはインピーダンス変換回路を介してインピーダンス変換された垂直信号線 $8-1$, $8-2$, ...出力が伝達されるようになる。

ノイズキャンセラ回路ではその構成要素であるクランプトランジスタ $40-1$, $40-2$, ...の共通ゲート 42 を所定の周期で所定時間幅分、ハイレベルとしてこれらクランプトランジスタ $40-1$, $40-2$, ...をオンする。これにより、ノイズキャンセラ回路の構成要素であるクランプ容量 $32-1$, $32-2$, ...とサンプルホールド容量 $34-1$, $34-2$, ...の接続点は、このクランプトランジスタ $40-1$, $40-2$, ...により、前記所定時間幅の間、共通ソース端子 38 の印加電圧レベルであるローレベルになり、サンプルホールド容量 $34-1$, $34-2$, ...はこの共通ソース端子 38 の電圧レベルまで下がる。つまり、サンプルホールド容量 $34-1$, $34-2$, ...は片端が接地されて接地レベルとなっており、この状態において、サンプルホールド容量 $34-1$, $34-2$, ...の電荷は共通ソース端子 38 の電圧レベルであるローレベルになるので、サンプルホールド容量 $34-1$, $34-2$, ...の蓄積電荷は放電されてこのローレベルに落ち着く。これがリセット状態でのレベルである。前記所定の時間幅分の時間が過ぎると、リセット状態は解かれる。

次に、リセット線 $7-1$ にハイレベルのリセットパルスが印加されると、当該リセット線 $7-1$ に接続されている単位セル $P1-1-1$, $P1-1-2$, ...のリセットトランジス

タ 6 6 が オン となる。リセットトランジスタ 6 6 は、増幅トランジスタ 6 4 の入力側の電荷をリセットするための回路であるから、このリセットにより、出力回路 6 8 の入力端子の電荷がリセットされることになる。つまり、出力回路 6 8 は入力が零になる。

このため、出力回路 6 8 はその構成要素である増幅トランジスタ 6 4 の出力成分のみを出力することになる。この状態においての増幅トランジスタ 6 4 の出力成分は、当該増幅トランジスタ 6 4 の有する閾値バラツキに対応した雑音成分である。

このように、単位セル P 1 - 1 - 1, P 1 - 1 - 2, … のリセットにより、出力回路 6 8 からはフォトダイオード 6 2 に信号電荷が無い時の増幅トランジスタ 6 4 の出力成分、すなわち、当該増幅トランジスタ 6 4 の有する閾値バラツキに対応した雑音成分が、出力信号として出力されることになる。

次に、ノイズキャンセラ回路の構成要素であるクランプトランジスタ 4 0 - 1, 4 0 - 2, … の共通ゲート 4 2 をローレベル（論理信号レベル “L”）にし、クランプトランジスタ 4 0 - 1, 4 0 - 2, … をオフする。このクランプトランジスタ 4 0 - 1, 4 0 - 2, … をオフ制御したことにより、ノイズキャンセラ回路の構成要素であるクランプ容量 3 2 - 1, 3 2 - 2, … とサンプルホールド容量 3 4 - 1, 3 4 - 2, … の接続点は、共通ソース端子 3 8 から電氣的に切り離され、サンプルホールド容量 3 4 - 1, 3 4 - 2, … は垂直信号線 8 - 1, 8 - 2, … からの出力が伝達可能な状態になる。

このため、垂直信号線 8-1, 8-2, ... に現れている雑音成分はクランプ容量 32-1, 32-2, ... とサンプルホールド容量 34-1, 34-2, ... とにより構成される直列容量に蓄積される。なお、クランプされるタイミングはクランプパルスがオフになるときで、リセットパルスと PD 選択パルスの間である。

こうして雑音成分の蓄積が終わると次に信号成分の読み出しのシーケンスに移る。単位セル P1-1-1, P1-1-2, ... においては、リセット後、フォトダイオード 62a および 62b において、信号電荷の蓄積が行われており、次に、これを読み出す。この読み出しは雑音成分の蓄積のシーケンス毎に例えば、最初はフォトダイオード 62a、次の雑音成分の蓄積のシーケンス終了後ではフォトダイオード 62b、そして、その次の雑音成分の蓄積のシーケンス終了後ではフォトダイオード 62a という具合に交互に行う。

フォトダイオード 62a に蓄積された信号電荷の読み出しには、フォトダイオード選択線 22-1 にハイレベルの選択パルスを印加する。すると、単位セル P1-1-1, P1-1-2, ... 内の出力回路 68からはフォトダイオード 62a の出力信号（つまり、“信号電荷成分+雑音成分”）が出力され、それぞれの単位セル P1-1-1, P1-1-2, ... 内の増幅トランジスタ 64により増幅されてその単位セル対応の垂直信号線 8-1, 8-2, ... に出力される。

前述したように、クランプ容量 32-1, 32-2, ... とサンプリングホールド容量 34-1, 34-2, ... とにより

構成される直列容量には既に雑音成分が蓄積されているので、当該直列容量の接続点であるクランプノード41-1, 41-2, ...には垂直信号線8-1, 8-2, ...の電圧変化分、すなわち“信号成分+雑音成分”から“雑音成分”を差し引いた信号、つまり、固定パターン雑音のない、フォトダイオード62aの受光量対応の検出出力である信号成分電圧のみが現れる。

なお、このように、まず“雑音成分”のみを読み出し、この後、“信号成分+雑音成分”を読み出すと、リセット動作によって生じるランダム雑音も同時に除去することができる。

次に、サンプルホールドトランジスタ30-1, 30-2, ...の共通ゲート37をローレベルとする。これにより、これらサンプルホールドトランジスタ30-1, 30-2, ...はオフされ、このオフによって垂直信号線8-1, 8-2, ...からノイズキャンセラ回路への出力信号は遮断される。

従ってクランプ容量32-1, 32-2, ...とサンプルホールド容量34-1, 34-2, ...による直列容量でのサンプリングは終了し、これらクランプ容量32-1, 32-2, ...とサンプルホールド容量34-1, 34-2, ...による直列容量にはその時点まで蓄積した電荷が保持されることとなる。このため、クランプノード41-1, 41-2, ...に現れている雑音のない電圧がサンプルホールド容量34-1, 34-2, ...に蓄積され、保持されたことになる。

この後、水平選択トランジスタ12-1, 12-2, ...に水平アドレスパルスを順次印加することにより、サンプルホ

ールド容量 34-1, 34-2, ... に蓄積されている雑音のないフォトダイオード 62a (または 62b) の信号が信号出力端 (水平信号線) 15 から読み出される。

このように、まず“雑音成分”のみを読み出し、この後、“信号成分+雑音成分”を読み出して単位セル別の画素信号成分のみを得、この画素信号成分は水平アドレス回路 13 によりテレビスキャンの順序に従った読み出し順序でオン/オフ駆動制御されるトランジスタ 12-1, 12-2, ... を介して信号出力端 15 に出力させることで、固定パターン雑音の無い画素信号が得られる。

これでフォトダイオード 62a の信号の読み出しが終わる。

フォトダイオード 62a の信号の読み出しの次はフォトダイオード 62b の信号の読み出しである。

これは、まずはじめに垂直 (column) アドレス線 6-1 にハイレベルのアドレスパルスを印加する。そして、このときは、フォトダイオード選択線 22-1 の代わりにフォトダイオード選択線 24-1 にハイレベルの選択パルスを印加し、出力回路 68 からフォトダイオード 62b の出力信号を出力させる。他の動作はフォトダイオード 62a の信号の読み出しの際の上述の一連の動作と同じである。

以下、同様に、水平アドレス線 6-2, 6-3, ... について上述の動作を繰り返すことにより、2次元状に配置された全てのセルの信号を取り出すことが出来る。

従来のように単位セルが 1 画素に相当し、従って、1 フレーム期間中に単位セル内のフォトダイオードの検出信号の読

み出しを1回しか行わない動作シーケンスである場合には、本発明で用いられるMOS型固体撮像装置のように、単位セルが複数画素に相当する構成としたものでは、単位セルの出力回路は1画素分、すなわち、1フォトダイオードの検出信号しか読み出せず、単位セル内の複数のフォトダイオードそれぞれの検出信号を1フレーム期間中に読み出すことは出来ないことになる。

しかし、本実施例のMOS型固体撮像装置の駆動方法は、テレビジョン方式における1フレーム期間中の奇数フィールドと偶数フィールドそれぞれの水平ブランキング期間に、それぞれ1回ずつ垂直選択トランジスタ65をオンにして出力回路68を動作させ、1回目（奇数フィールドでの自画素対応のラスト走査位置における水平ブランキング期間）はフォトダイオード62a、2回目（偶数フィールドでの自画素対応のラスト走査位置における水平ブランキング期間）はフォトダイオード62bの検出信号を読み出すことができるので、単位セルが微細化されたMOS型固体撮像装置を駆動することができる。

このように、1フレーム期間中に出力回路を2回以上動作させないと、全てのフォトダイオードの検出信号を読み出すことは出来ない。また、1回読み出してから次に読み出す前に出力回路をリセットしないと、次回からの読み出し信号には前回の読み出しの時の信号が重畳されてしまう。

また、本実施例のMOS型固体撮像装置においては、充放電用のリセットトランジスタ66が増幅トランジスタ64の

ゲートに接続されており、フォトダイオードの電位のリセットをフォトダイオード選択トランジスタ63を介して行なうという特徴がある。この場合、フォトダイオード62a, 62bに増幅トランジスタ64が1つずつ接続されている場合と比較して、単位セル当たりのトランジスタの数が減るという利点がある。

また、本実施例においては、単位セル内には受光部を構成するフォトダイオードが2つあり、これら2つのフォトダイオードが、同じ1組の出力回路を共有しているという特徴がある。このため、本実施例のMOS型個体撮像装置をテレビジョンの撮像に適用した場合、テレビジョンの1水平ブランキング期間中に増幅トランジスタ64を用いて電荷信号を読み出す回数が1回であり、駆動しやすい。要するに、本実施例の特徴は、読み出し方向と共有方向とが異なっていることである。

ここで、図62のタイミングの先後関係を説明する。必須の順番は、次の3つある。

(1) 垂直アドレスの立ち上がり→リセットパルスの立ち下がり→クランプパルスの立ち下がり→フォトダイオード選択パルスの立ち上がり→フォトダイオード選択パルスの立ち下がり→サンプルホールドパルスの立ち下がり→垂直アドレスの立ち下がり

(2) サンプルホールドパルスの立ち上がり→フォトダイオード選択パルスの立ち上がり

(3) クランプパルスの立ち上がり→フォトダイオード選択

パルスの立ち上がり

なお、垂直アドレスの立ち上がり、サンプルホールドパルスの立ち上がり、クランプパルスの立ち上がり、リセットパルスの立ち上がりの前後関係は任意であるが、好ましくは、次の順番がよい。

垂直アドレスの立ち上がり→サンプルホールドパルスの立ち上がり→クランプパルスの立ち上がり→リセットパルスの立ち上がり

このように、図62の動作によれば、クランプノード41には、リセットされて信号がない時（つまり、フォトダイオード出力信号成分がなく、雑音成分のみのとき）と、信号がある時（つまり、フォトダイオード出力信号成分+雑音成分）との差の電圧が現れるため、増幅トランジスタ64の閾値バツキによる固定パターン雑音が補償される。すなわち、クランプトランジスタ30、クランプ容量31、サンプルホールドトランジスタ40、サンプルホールド容量34からなる回路がノイズキャンセラ回路として作用する。

なお、本実施例のノイズキャンセラ回路は、ソースフォロワ回路からなるインピーダンス変換回路26、28を介して垂直信号線8に接続されている。すなわち、垂直信号線8はトランジスタ26のゲートに接続されている。このトランジスタ26のゲート容量は非常に小さいので、事実上、セルの増幅トランジスタ64は垂直信号線のみを充電すれば良いことから、CRの時定数が短く、すぐに定常状態になる。そのため、リセットパルス、フォトダイオード選択パルスの印加

タイミングを早くすることができ、短時間でノイズキャンセル動作をさせることができる。

テレビジョン信号の場合、ノイズキャンセル動作はテレビジョン走査の水平ブランキング期間内に行う必要があり、本実施例のように、短時間で正確にノイズキャンセルできることは大きな長所である。さらに、ノイズキャンセル動作に含まれる“雑音”出力時と“信号+雑音”出力時とで、単位セルから見たノイズキャンセラ回路のインピーダンスが同じであるので、正確にノイズをキャンセルすることができる。

すなわち、“雑音成分”出力時と“信号成分+雑音成分”出力時とで、単位セルから見たノイズキャンセラ回路のインピーダンスがほぼ同一である。そのため、両出力時で雑音成分はほぼ同一となり、両者の差分をとると、正確に雑音出力を除去できて信号成分のみを取り出すことが可能となる。従って、正確にノイズをキャンセルすることができる。また、単位セルからノイズキャンセラ回路を見ると、インピーダンス的にはゲート容量しか見えず、その容量は非常に小さいので、短時間に確実にノイズをキャンセルすることができる。

次に、本実施例のMOS型固体撮像装置のデバイス構造を説明する。

図57の回路構成から分るように、クランプ容量32とサンプルホールド容量34が直接接続されて近接しているので、これらを同一面上に積層して形成することができ、単位セルを小型化できる。

具体的には、図24に示すように、シリコン基板72上に

第 1 の絶縁膜 7 4 を介して第 1 の電極 7 6 を形成することにより、サンプルホールド容量 3 4 を構成し、さらに第 1 の電極 7 6 上に第 2 の絶縁膜 7 8 を介して第 2 の電極 8 0 を形成することにより、クランプ容量 3 2 を構成する。

この図からも明らかなように、第 1 の電極 7 6 が共通電極となり、クランプ容量 3 2 とサンプルホールド容量 3 4 が積層形成されているので、個別に形成する場合の $1/2$ の面積で同じ容量値を得ることが可能となる。

本実施例においては、単位セル P 1 - 1 - 1、P 1 - 1 - 2、…や、垂直アドレス回路 5、水平アドレス回路 1 3 などの周辺回路は、 p^- 型基板上に p^+ 型不純物層を形成した半導体基板上に形成されている。

図 2 5 A、図 2 5 B は、このような半導体基板の断面図である。図に示すように、 p^- 型基板 8 1 上に p^+ 型不純物層 8 2 を形成した半導体基板にフォトダイオード 8 3 などのセル要素が形成されている。

半導体基板をこのような構成にすることにより、 p^- / p^+ 境界にある拡散電位により、 p^- 型基板 8 1 で発生した暗電流が p^+ 側へ流れ込むのを一部防止することができる。

電子の流れを詳しく解析した結果を簡単に述べると、 p^- 側で発生した電子にとって、 p^+ 不純物層 8 2 の厚さ L が p^+ と p^- の濃度の比相当倍、すなわち、 $L \cdot p^+ / p^-$ に見える。

すなわち、図 2 5 B に示すように、暗電流の発生源である p^- 基板 8 1 からフォトダイオード 8 3 までの距離が、 p^+

／ p^- 倍ほど、遠くなったように見えることになる。暗電流は、基板深部から流れ込むもの以外にフォトダイオード 83 近傍の空乏層内で発生するものがあり、この空乏層内で発生する暗電流は、基板深部から流れ込む暗電流とほぼ同じ程度ある。空乏層の厚さは約 $1\ \mu\text{m}$ 程度であり、基板深部から流れ込む暗電流は約 $100\ \mu\text{m}$ の深さからも流れてくる。この深さは p 型半導体内部での電子の拡散距離と呼ばれているものである。この厚さの差にも関わらず暗電流が同等なのは、単位体積あたりの暗電流の発生確率が空乏層内部の方が高いためである。ここで、空乏層で発生する暗電流は原理的に信号電流と分離することができないので、暗電流の低減は基板深部から流れ込む成分を減ずることによってなされる。

また、 p^- 型基板 71 上に p^+ 型不純物層 72 を形成した半導体基板にセルを形成するので、暗電流が発生することによる基板電位の変動を防止することができ、その結果、雑音除去回路（ノイズキャンセラ回路）を正常に動作させることができる。 p 型基板は厚いため、抵抗が低く、後述するように雑音除去回路を確実に動作させることができる。

また、素子温度が上昇すると基板深部からの成分の方が急激に増加するので、これが重要である。その目安は、基板深部からの成分が空乏層で発生した成分よりも十分小さいことであり、具体的には、基板深部からの暗電流が空乏層内部からのものに比べて約 1 桁下であればいい。すなわち、 p^+ / p^- を 10 に設定して基板深部からのものを約 $1 / 10$ にすればいい。

さらに、基板深部からの暗電流は、n型基板とp型ウェルとで構成される半導体基板ではほぼ全くないといってよいが、このような半導体基板と同じレベルにするためには p^+ / p^- を100に設定して基板深部からの暗電流を約1/100にする必要がある。

従来の実績のあるCCDでは、n型の埋め込みチャネルの不純物濃度が約 10^{16} cm^{-3} 程度であり、この埋め込みチャネルの拡散層を安定して製造するための埋め込みチャネルを囲むp型層（ここではp型基板）の不純物濃度は約 10^{15} cm^{-3} である。

p^+ 層の濃度は p^+ / p^- を10にする場合は約 10^{16} cm^{-3} 程度、 p^+ / p^- を100にする場合は約 10^{17} cm^{-3} 程度となり、n型の埋め込みチャネルの不純物濃度の約 10^{16} cm^{-3} と同程度又は1桁逆転してしまう。

このため、従来実績のあるCCDではこのような不純物濃度の p^+ 層を使うことは考えられなかった。また、 p^- 層の濃度を下げると基板のシート抵抗が高くなるという問題が出てくる。

しかしながら、増幅型のMOS撮像装置ではCCDの埋め込みチャネルがないため p^- 層の濃度を下げずに p^+ / p^- の値をある程度自由に設定できる。

そこで、p型ウェルの抵抗を下げ、n型基板とp型ウェルとで構成される半導体基板の構造を改善することによってもセルを構成することができる。

図26は、n型基板85上にシート抵抗の低い p^+ ウェル

86を用いた単位セルの断面図である。また、図27は、CCDの単位セルの断面図を示す。

CCDの単位セルのn型基板87、p型ウェル86、n型埋め込みチャネル89の不純物濃度は安定して製造を行うために、それぞれ約 10^{14} cm^{-3} 、約 10^{15} cm^{-3} 、約 10^{16} cm^{-3} 程度にしてある。

n型フォトダイオード90の不純物濃度はある程度自由に設定できるため、製造上の制約はあまりない。p型ウェル86のシート抵抗は上記の不純物濃度では約 $100 \text{ k}\Omega/\square$ 程度の値である。CCDは、前述のようにこのような高い値でも雑音が非常に小さい。

一方、増幅型のMOS撮像装置で雑音除去回路（ノイズキャンセラ回路）を使用する場合、このp型ウェルのシート抵抗は非常に重要である。何故ならば、リセットパルスによるp型ウェル86の電位の擾乱が収まる時間がこの装置を応用するシステムにマッチングしなければならないからである。

テレビジョン方式の場合、水平帰線期間が設けられ、この間は、画像信号を送らない。従って、この間に前述のリセットパルスによるp型ウェル86の電位の擾乱をあるレベルまで小さくする必要がある。従って、現行のテレビジョン方式であるNTSC方式では、雑音除去回路（ノイズキャンセラ回路）を動作させるに許される期間は、水平帰線期間である約 $11 [\mu\text{s}]$ の間である。この時間のあいだに、p型ウェル86の電位の擾乱が $0.1 [\text{mV}]$ 程度まで収まるようにする必要がある。

この0.1[mV]という非常に小さい値は、CCDの雑音電圧出力がこの程度であることから起因している。11[μs]という非常に短い時間で0.1[mV]という非常に小さい値に落ちつかせるには、詳しい解析によるとp型ウェル86のシート抵抗を1kΩ/□以下にしなければならない。これは従来のCCDの約1/100である。

そのためには、p型ウェル86の不純物濃度を約100倍にする必要があり、p型基板のところで既に説明したように、CCDでは適用不可能な濃度である。さらにハイビジョンテレビ方式では水平帰線期間が3.77[μs]であり、p型ウェル86のシート抵抗を300Ω/□以下にしなければならない。

他の変形例としては、高濃度のp⁺型サンドイッチ層を基板上に形成し、表面をそれより濃度の低いp型層にすることが考えられる。

図28は、p⁻型基板91とp型層93との間にp⁺型サンドイッチ層92を形成した半導体基板の構成を示す図である。また、図29は、n型基板95とp型層97との間にp⁺型サンドイッチ層96を形成した半導体基板の構成を示す図である。

このようなp⁺型サンドイッチ層は高加速度のメガボルトイオン打ち込み機により実現できる。

上記p型層には、単位セルの構成要素であるフォトダイオード83、トランジスタなどの他に、水平アドレス回路、垂直アドレス回路などの周辺回路も形成される。

図30は、フォトダイオード83の周囲を高濃度のp型ウェル103で囲み、n型基板101上の他の部分を他のp型ウェル102で形成することにより構成される半導体基板の構成を示す図である。

このような構成を採用することにより、フォトダイオード83への暗電流の漏れ込みを防止することができる。なお、半導体基板101は、p⁻型基板であってもよい。

さらに、セル周辺の水平アドレス回路や垂直アドレス回路の一部又は全部を形成するp型ウェルの濃度は回路設計の方から決められており、セルの最適値とは異なるため撮像領域を形成するp型ウェルとは別のp型層にすることも考えられる。

図63は、n型基板105上に撮像領域を構成するp型ウェル106を形成するとともに、周辺回路部を構成する他のp型ウェル107を別々に形成した半導体基板の構成を示す図である。

このような構成とすることにより、各構成要素に適したp型ウェルを形成することができる。なお、上記n型基板105は、p⁻型基板であっても良い。

図64は、n型基板105上に撮像領域を形成するp⁺型サンドイッチ層108及び濃度の低いp型層109を形成するとともに、周辺回路部に他のp型ウェル107を形成したものである。

このような構成とすることにより、各構成要素に適したp型ウェルを形成することができ、フォトダイオードへの暗電

流の漏れ込みを防止することができる。なお、上記 n 型基板 105 は、p⁻ 型基板であっても良い。

以上説明したように、本実施例によれば、垂直 (column) 方向に隣接する複数 (ここでは、2 つ) のフォトダイオードで 1 つの出力回路を共有する単位セルを用いているので、単位セルの面積を微細化することができる。出力回路を共有するフォトダイオードの数は 2 つに限られずに、3 つ以上でも良い。

また、出力回路 68 の変形例として、図 65 に示すように、垂直選択トランジスタ 66 の代わりに垂直選択容量 69 を設けるようにしてもよい。この構成では、単位セル当たりの構成トランジスタ数をさらに削減することができ、画素当たりの必要トランジスタ数を削減してセルの微細化に一層有利となる。

アドレス線 6-1 にハイレベルの電圧を印加すると、増幅トランジスタのゲート電圧が高電圧側にシフトする。隣接する単位画素の増幅トランジスタのゲート電圧は低いままであるので、垂直信号線 8-1 にはアドレスされて増幅トランジスタの信号が現れる。

また、単位セルの出力を、ノイズキャンセラ回路を介して出力する構成としているので、単位セルの増幅トランジスタの閾値バラツキに応じた固定パターン雑音を取り除くことができる。そして、この実施例では単位セルの出力を、高速動作可能な本発明によるノイズキャンセラ回路を介して出力する構成としているので、MOS センサを動画像用の撮像装置に

適用した場合でも、フレーム毎あるいはフィールド毎に限られた時間内に単位セルの増幅トランジスタの閾値バラツキに応じた固定パターン雑音を取り除く処理ができて、テレビジョン方式でも十分に利用可能な増幅型MOS固体撮像装置が得られるようになる。さらに、ノイズキャンセラ回路においては、クランプ容量 $32-1$, $32-2$, ... (以下、これらを 32 と総称する。他の添え字付きの部材についても同様)とサンプルホールド容量 34 が直接接続されて近接しているので、これらを同一面上に積層して形成することができ、単位セルを小型化できる。

さらに、ノイズキャンセラ回路はインピーダンス変換回路を備えており、単位セルの出力をこのインピーダンス変換回路を介して取り込むので、“雑音成分”出力時と“信号成分+雑音成分”出力時とで、単位セルから見たノイズキャンセラ回路のインピーダンスがほぼ同一である。そのため、両出力時で雑音成分はほぼ同一となり、両者の差分をとると、正確に雑音出力を除去できて信号成分のみを取り出すことが可能となる。従って、正確にノイズをキャンセルすることができる。また、単位セルからノイズキャンセラ回路を見ると、インピーダンス的にはゲート容量しか見えず、その容量は非常に小さいので、短時間に確実にノイズをキャンセルすることができる。

すなわち、本実施例に示したノイズキャンセラ回路においてはトランジスタ $26-1$ と $28-1$ 、 $26-2$ と $28-2$ 、 $26-3$ と $28-3$ 、...で構成されるインピーダンス変換回

路は、トランジスタ 28-1、28-2、28-3、…がインピーダンス変換回路の動作をオンオフするスイッチとしての役割を果たし、トランジスタ 26-1、26-2、26-3、…が垂直信号線 8-1、8-2、8-3、…からの出力信号の伝達をする役割を果たしている。そして、トランジスタ 26-1、26-2、26-3、…は半導体基板上に微細化して形成することで、ゲート容量を小さくすることができ、このゲート容量を小さくできる分、ノイズキャンセラ回路が動作する際の、CRの時定数を短くすることができ、リセットパルス、フォトダイオード選択パルスの印加タイミングを早くすることができて、短時間でノイズキャンセル動作をさせるのに役立ち、テレビジョン信号のようにノイズキャンセル動作をテレビジョン走査の水平ブランキング期間内に済ませる必要があるような場合にも、有効である。

また、本実施例に示したノイズキャンセラ回路は、IC（集積回路）化するに際して、単位セルを形成する半導体基板として、p-型不純物基体と、p-型不純物基体上に形成されたp+型不純物層とからなる基板を用いるようにすることにより、単位セルに侵入する暗電流を低減することができ、かつ、基板表面の電位を安定させることができるので、ノイズキャンセラ回路を確実に動作させて、確実な雑音除去をすることができる。

ゆえに、本実施例によれば、小形化可能であり、高速動作が可能で、しかも、雑音除去性能が確かな、信頼性の高いノイズキャンセラ回路が提供でき、従って、このノイズキャン

セラ回路を増幅型MOSセンサに組み込むことで、小形、高速で、しかも、雑音除去性能が確かな、信頼性の高い増幅型MOS固体撮像装置が得られるようになる。

第 2 6 実 施 例

次に、第26実施例を説明する。この実施例は、第25実施例におけるノイズキャンセラ回路部分を変形した実施例である。

図66は、本発明で用いられる第26実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。本実施例においては、単位セルP1-i-j付近の回路構成は第25実施例と同じである。

各垂直信号線8-1, 8-2, ...の他端は、それら対応に設けられるクランプ容量131-1, 131-2, ...、クランプトランジスタ132-1, 132-2, ...、水平選択トランジスタ12-1, 12-2, ...を介して信号出力端（水平信号線）15に接続される。

第0A1実施例のノイズキャンセラ回路と異なり、この実施例では、クランプ容量131-1, 131-2, ...は直接、それぞれの対応する垂直信号線8-1, 8-2, ...に接続される。また、各クランプ容量131-1, 131-2, ...と、これに対応する各サンプルホールドトランジスタ133-1, 133-2, ...との間にはそれぞれ対応するクランプトランジスタ132-1, 132-2, ...のドレインが接続される。

クランプトランジスタ132-1, 132-2, ...のソー

スは共通ソース端子 1 4 1 に接続され、ゲートは共通ゲート端子 1 4 2 に接続される。サンプルホールドトランジスタ 1 3 3 - 1, 1 3 3 - 2, ... と、水平選択トランジスタ 1 2 - 1, 1 2 - 2, ... との接続点はサンプルホールド容量 1 3 4 - 1, 1 3 4 - 2, ... を介して接地される。

次に、図 6 7 のタイミングチャートを参照して、このように構成された MOS 型固体撮像装置の動作について説明する。なお、負荷トランジスタ 9 の共通ドレイン端子 2 0、クランプトランジスタの共通ソース端子 1 4 1 は DC 駆動であるのでタイミングチャートでは省略した。

単位セルは、図 6 1 に示すものを適用して説明する。

水平アドレス線 6 - 1 にハイレベルのアドレスパルスを加えると、当該アドレス線 6 - 1 に接続されている単位セル P 1 - 1 - 1, P 1 - 1 - 2, ... の垂直選択トランジスタ 6 6 がオンとなり、増幅トランジスタ 6 2 と負荷トランジスタ 9 - 1, 9 - 2, ... でソースフォロワ回路が構成される。

サンプルホールドトランジスタ 1 3 3 - 1, 1 3 3 - 2, ... の共通ゲート 1 4 3 をハイレベルとしてサンプルホールドトランジスタ 1 3 3 - 1, 1 3 3 - 2, ... をオンする。この後、クランプトランジスタ 1 3 2 - 1, 1 3 2 - 2, ... の共通ゲート 1 4 2 をハイレベルとしてクランプトランジスタ 1 3 2 - 1, 1 3 2 - 2, ... をオンする。

次にリセット線 7 - 1 にハイレベルのリセットパルスを加えると、当該リセット線 7 - 1 に接続されている単位セル P 1 - 1 - 1, P 1 - 1 - 2, ... のリセットトランジスタ 6

6がオンとなり、出力回路68の入力端子の電荷がリセットされる。このため、出力回路68からはフォトダイオード62に信号電荷が無いときの増幅トランジスタ64の閾値バラツキに応じた雑音成分が出力される。

次にクランプトランジスタ132-1, 132-2, ...の共通ゲート142をローレベルとしてクランプトランジスタ132-1, 132-2, ...をオフする。

このため、垂直信号線8-1, 8-2, ...に現れている雑音成分はクランプ容量131-1, 131-2, ...に蓄積される。単位セルP1-1-1, P1-1-2, ...においては、フォトダイオード62aはリセット後、信号電荷の蓄積が行われており、次にこれを読み出す。そのためには、フォトダイオード選択線22-1にハイレベルの選択パルスを印加する。すると、出力回路68からはフォトダイオード62aの出力信号（すなわち、“信号電荷成分+雑音成分”）が出力される。

前述したように、クランプ容量131-1, 131-2, ...には既に“雑音成分”が蓄積されているので、クランプノード145には垂直信号線8-1, 8-2, ...の電圧変化分、すなわち、“信号成分+雑音成分”から“雑音成分”を差し引いた、固定パターン雑音の無い信号電圧のみが現れる。サンプルホールドトランジスタ133-1, 133-2, ...はオンされており、同じ信号電圧がサンプルホールド容量134-1, 134-2, ...端に現れている。

そして、サンプルホールドトランジスタ133-1, 13

3-2, ...の共通ゲート143をローレベルとしてサンプルホールドトランジスタ133-1, 133-2, ...をオフする。このため、クランプノードに現れている雑音の無い電圧がサンプルホールド容量134-1, 134-2, ...に蓄積される。

この後、水平選択トランジスタ12-1, 12-2, ...に水平アドレスパルスを順次印加することにより、サンプルホールド容量134-1, 134-2, ...に蓄積されている雑音の無いフォトダイオード62aの信号が信号出力端（水平信号線）15から読み出される。

次に水平アドレス線6-1にハイレベルのアドレスパルスを印加するときは、フォトダイオード選択線22-1の代わりにフォトダイオード選択線24-1にハイレベルの選択パルスを印加し、出力回路68からフォトダイオード62bに出力信号を出力させる。他の動作は上述したものと同一である。

以下、同様に、水平アドレス線6-2, 6-3, ...について上述の動作を繰り返すことにより、2次元状に配置されたすべてのセルの信号を取り出すことができる。

以上、本実施例のノイズキャンセラ回路は、第25実施例の構成で採用していたインピーダンス変換回路を廃止したものである。この構成によっても確実にノイズキャンセルが可能であり、固定パターン雑音を除去して信号成分のみを得ることができるようになる。また、回路はインピーダンス変換回路を廃止した分、簡単になり、回路がコンパクトになって、

一層の小形化に寄与する。

第 27 実 施 例

図 68 は、本発明で用いられる第 27 実施例に係わる増幅型 MOS センサを用いた撮像装置の回路構成図である。単位セル P1-i-j 付近の回路構成は第 25 実施例と同じである。

第 27 実施例は、第 25 実施例のインピーダンス変換回路を第 26 実施例のノイズキャンセラ回路に接続した例である。なお、クランプトランジスタ 132 の共通ソースは本実施例では DC（直流）駆動している。

第 26 実施例のノイズキャンセラ回路において、ノイズキャンセルの精度が問題になる場合に、本実施例のように、第 25 実施例のインピーダンス変換回路を入力段に設けて単位セルの出力をインピーダンス変換することにより、“雑音成分”のみの出力時と、“信号成分+雑音成分”の出力時とで、単位セルからみたノイズキャンセラ回路のインピーダンスをほぼ同一にして、いずれの状態での“雑音成分”もほぼ同一にし、精度の良いノイズキャンセルを行えるノイズキャンセラ回路とすることができる。

第 28 実 施 例

図 69 は、本発明で用いられる第 28 実施例に係わる増幅型 MOS センサを用いた撮像装置の回路構成図であり、ノイズキャンセラ回路の構成を変えたものである。この第 28 実

施例では垂直信号線 8-1, 8-2, ... に現れる電圧をスライストランジスタ 150 のゲート容量を介して電荷に変換し、電荷領域で引き算をすることにより雑音を抑圧する構成のノイズキャンセラ回路としたことが特徴である。

つまり、電圧領域でノイズがキャンセルされる第 25 実施例に対して、電荷領域でノイズキャンセルされる方式である。単位セル P 1-i-j 付近の回路構成は第 25 実施例と同じである。

第 28 実施例においては、ノイズキャンセラ回路は図 69 に示すように、スライストランジスタ 150-1, 150-2, ..., スライス容量 152-1, 152-2, ..., スライスリセットトランジスタ 156-1, 156-2, ..., スライス電荷転送容量 162-1, 162-2, ..., ドレインリセットトランジスタ 166-1, 166-2, ..., そして、水平選択トランジスタ 12-1, 12-2, ... とから構成されている。

スライストランジスタ 150-1, 150-2, ... は、垂直信号線 8-1, 8-2, ... 対応に 1 対 1 で設けられている。スライストランジスタ 150-1, 150-2, ... のゲート側は、垂直信号線 8-1, 8-2, ... のうち、それぞれの対応するものに接続されている。その接続端は、垂直信号線 8-1, 8-2, ... の 2 つある端部のうち、負荷トランジスタ 9-1, 9-2, ... の接続側とは逆の側の端部である。

スライストランジスタ 150-1, 150-2, ... のソース側にはスライス容量 152-1, 152-2, ... のうち、

それぞれのトランジスタの対応する一つのスライス容量の一端側がそれぞれ接続されており、また、スライス容量152-1, 152-2, ...の他端はスライスパルス供給端子154に接続されている。

スライストランジスタ150-1, 150-2, ...のドレイン側は、水平(row)選択トランジスタ12-1, 12-2, ...のうちの対応する一つのトランジスタのソース-ドレインを介して信号出力端(水平信号線)15に接続されている。水平選択トランジスタ12-1, 12-2, ...は水平アドレス回路13から供給される水平アドレスパルスにより駆動される。

スライストランジスタ150-1, 150-2, ...のソース電位をリセットするために、スライストランジスタのソースとスライス電源端子158との間にスライスリセットトランジスタ156-1, 156-2, ...が設けられ、このトランジスタ156-1, 156-2, ...のゲートにスライスリセット端子160が接続されている。つまり、スライストランジスタ150-1, 150-2, ...のソース側は、トランジスタ156-1, 156-2, ...のうちのそれぞれ対応する一つのトランジスタのソース-ドレインを介してスライス電源端子158に接続されている。そして、スライスリセットトランジスタ156-1, 156-2, ...のゲート側はスライスリセット端子160に接続され、このスライスリセット端子160より与えられるスライスリセットパルスのタイミングでスライスリセットトランジスタ156-1, 156

− 2, …はオンとなって、スライストランジスタ150−1, 150−2, …のソース電位はリセットされる。

各スライストランジスタ150−1, 150−2, …のドレインには、スライス電荷転送容量162−1, 162−2, …のうち、それぞれに対応する一つの片端が接続されている。そして、スライス電荷転送容量162−1, 162−2, …の別の端部は、接地されている。

また、各スライストランジスタ150−1, 150−2, …のドレイン電位をリセットするために、これらスライストランジスタ150−1, 150−2, …は、そのドレインと蓄積ドレイン電源端子164との間に、ドレインリセットトランジスタ166−1, 166−2, …のうちの対応するものが接続される。つまり、各スライストランジスタ150−1, 150−2, …のドレインは、ドレインリセットトランジスタ166−1, 166−2, …のうち、それぞれ自己に対応する一つのドレインリセットトランジスタにより、そのドレインリセットトランジスタのソース−ドレイン間を介して蓄積ドレイン電源端子164と接続される。そして、これらのトランジスタ166−1, 166−2, …のゲートはドレインリセット端子168に接続されている。

このように第28実施例のMOSセンサのノイズキャンセラ回路は、垂直信号線8−1, 8−2, …に現れる電圧をスライストランジスタ150−1, 150−2, …のゲート容量を介して電荷に変換し、電荷領域で引き算をすることにより、雑音を抑圧することが特徴である。この電荷領域でノイ

ズキャンセルする方式のノイズキャンセラ回路を図57に示した第0A1実施例と同様の単位セルP1-i-jに接続し、固体撮像装置を構成する。

次に、本実施例の駆動方法について説明する。

図70は本実施例の動作を示すタイミングチャートであり、図71はスライストランジスタ150-1, 150-2, ...のポテンシャル図を示している。ここで、スライストランジスタ150-1, 150-2, ...はPチャンネル型とする。

まず、1行目の水平アドレス線6-1にハイレベルの垂直アドレスパルスを印加する。すると、この行の各単位セルではそれぞれ、その単位セル所属の垂直選択トランジスタ66がオンし、その単位セル所属の増幅トランジスタ64と負荷トランジスタ9-1, 9-2, ...でソースフォロワ回路が構成される。

次いで、ノイズキャンセラ回路のスライスリセット端子160にスライスリセットパルス进行加し、スライスリセットトランジスタ156-1, 156-2, ...をオンにして、スライス容量152-1, 152-2, ...の電荷を初期化する。

スライスリセット端子160のスライスリセットパルスが消滅すると、スライスリセットトランジスタ156-1, 156-2, ...はオフとなり、スライス容量152-1, 152-2, ...が充電可能な状態になる。次に、スライスパルス供給端子154に第1のスライスパルスSP1进行加する。

なお、スライス容量152-1, 152-2, ...の初期化の前、または後にリセット線7-1にハイレベルのリセット

パルスを印加する。すると、当該リセット線 7-1 に接続されている単位セル P 1-1-1, P 1-1-2, ... のリセットトランジスタ 66 が、このリセットパルスを受けてオンとなり、出力回路 68 の入力端子の電荷がリセットされる。このため、出力回路 68 からはフォトダイオード 62 に信号電荷が無いときの増幅トランジスタ 64 の閾値バラツキに応じた雑音成分が出力される。図 70 のタイムチャートでは、スライス容量 152-1, 152-2, ... の初期化の後にこれを行い、増幅トランジスタ 64 の閾値バラツキに応じた雑音成分を出力させている。

スライスリセットトランジスタ 156-1, 156-2, ... がオフされ、スライスパルス供給端子 154 に第 1 のスライルパルス S P 1 を印加されることにより、各スライストランジスタ 150-1, 150-2, ... では、信号がないときの（つまり、雑音成分のみのときの）自己のゲート下のチャネル電位 V_{och} を越えて第 1 のスライス電荷をドレインに転送させる。このとき、ドレインリセット端子 168 にはドレインリセットパルスを印加させる。すると、ドレインリセットトランジスタ 166 はそのドレインリセットパルスの時間幅分、オンするので、ドレイン電位は、蓄積ドレイン電源端子 164 のその時間幅の間は電圧 V_{sdd} に固定されている。従って、この間、第 1 のスライス電荷はドレインリセットトランジスタ 166 を通って蓄積ドレイン電源端子 164 へ排出される。

ついで、フォトダイオード選択線 22-1 にハイレベルの

選択パルスを印加すると、単位セルの出力回路 68 からは、その単位セルのフォトダイオード 62a の出力信号（つまり、“信号電荷成分 + 雑音成分”）が出力される。

ついで、スライスパルス供給端子 154 に第 2 のスライスパルス SP2 を印加する。これにより、各スライストランジスタ 150-1, 150-2, ... では、信号電荷があるときの電圧（“信号電荷成分 + 雑音成分”があるときの電圧）が加わっている自己のゲート下のチャンネル電位 V_{och} を越えて、第 2 のスライス電荷がドレインに転送される。このとき、各ドレインリセットトランジスタ 166-1, 166-2, ... はオフしているので、第 2 のスライス電荷は自ドレインリセットトランジスタ 166-1, 166-2, ... のドレインに接続されているスライス電荷転送容量 162-1, 162-2, ... に転送される。

ついで水平アドレス回路 13 から水平選択パルスを水平選択トランジスタ 12-1, 12-2, ... に順次印加し、信号出力端（水平信号線）15 から、1 ライン分の信号を順次取り出す。

次いで、水平アドレス回路 13 から水平選択パルスを水平選択トランジスタ 12-1, 12-2, ... に順次印加する。これにより、水平選択トランジスタ 12-1, 12-2, ... のうち、水平選択パルスが与えられた水平選択トランジスタはオンとなり、スライス電荷転送容量 162-1, 152-2, ... の蓄積電荷対応の信号が信号出力端（水平信号線）15 に出力されることになる。このようにして、水平アドレス

回路 1 3 から水平選択パルスが水平選択トランジスタ 1 2 - 1, 1 2 - 2, ... に順次印加されることにより、スライス電荷転送容量 1 6 2 - 1, 1 5 2 - 2, ... に蓄積されている電荷対応の信号が順次、信号出力端（水平信号線） 1 5 に出力される結果、信号出力端 1 5 から 1 ライン分の信号を順次取り出すことができる。

なお、水平アドレス線 6 - 1 のハイレベルの垂直アドレスパルス前縁位置を P 1、後縁位置を P 2、リセット線 7 - 1 の信号の前縁位置を P 3、後縁位置を P 4、スライスリセット端子 1 6 0 に印加されるスライスリセットパルスの前縁位置を P 5、後縁位置を P 6、スライスパルス供給端子 1 5 4 に印加される第 1 のスライスパルス S P 1 と第 2 のスライスパルス S P 2 のうち、第 1 のスライスパルス S P 1 の前縁位置を P 7、後縁位置を P 8、第 2 のスライスパルス S P 2 の前縁位置を P 9、後縁位置を P 1 0、そして、ドレインリセット端子 1 6 8 に印加されるドレインリセットパルスの前縁位置を P 1 1、後縁位置を P 1 2 としたとき、これら各信号位置の時間的關係は、

$$P 1 < P 6 < P 7 < P 8 < P 3 < P 4 < P 9 < P 1 0 < P 2$$

$$\text{そして、} P 8 < P 1 1 < P 1 2 < P 9$$

とする。望ましくは $P 1 1 < P 1 2 < P 3 < P 4$ である。

P 1, P 5 の前後關係は問わず、また、P 3 と P 1 1 の位相關係、P 4 と P 1 2 の位相關係は問わない。

この動作を、次のライン、その次のラインと順次続けるこ

とにより、２次元状の全ての信号を読み出すことができる。

このデバイスでは、スライス容量１５２の値を C_{sl} とすると、最終的に信号出力端１５に読み出される電荷（第２のスライス電荷）は

$$C_{sl} \times (V_{sch} - V_{0ch})$$

となり、信号電荷があるときと、リセットされて信号電荷がないときの差に比例する電荷が現れるため、単位セル内の増幅トランジスタ６４の閾値ばらつきによる固定パターン雑音を抑圧されるという特徴がある。

このように、垂直信号線８－１，８－２，…に現れる電圧を電荷に変換し、電荷領域で引き算をする回路構成もノイズキャンセラ回路と呼ぶことができる。

この型の回路でのノイズキャンセルの作用は、図５７の第２５実施例とは異なる。第２５実施例ではクランプノード４１では電圧領域でノイズがキャンセルされている。一方、第２８実施例のタイプにおいては、スライストランジスタ１５０のソース端では、電圧領域でノイズはキャンセルされていない。そして、第２のスライスパルス SP_2 が印加されたとき、はじめてノイズがキャンセルされた電荷がドレインに転送される。すなわち、電荷領域でノイズキャンセルが行われている。このような方式によっても、精度良くノイズがキャンセルでき、信号成分のみを抽出することができるようになる。

以上説明したように、第２８実施例によれば、単位セルの出力をノイズキャンセラ回路を介して出力するようにしてい

るので、単位セルの増幅トランジスタの閾値バラツキに応じた固定パターン雑音を取り除くことができる。

さらに、本実施例では単位セルの出力をスライストランジスタのゲート容量を介してノイズキャンセラ回路に供給するようにしている。そのため、“雑音成分”の出力時であっても、また、“信号成分+雑音成分”の出力時であっても、単位セルから見たノイズキャンセラ回路のインピーダンスがほぼ同一であるため、両出力時で雑音成分はほぼ同一となり、両者の差分をとると正確に雑音出力を除去でき、信号成分のみを取り出すことができる。

すなわち、正確にノイズをキャンセルすることができ、信号成分のみを取り出すことができる。また、単位セルからノイズキャンセラ回路を見ると、インピーダンス的にはゲート容量しか見えず、その容量は非常に小さいので、短時間に確実にノイズをキャンセルすることができる。

なお、第2のスライスパルスSP2は、直前の第1のスライスパルスSP1の影響を受けることがある。そのため、第1及び第2のトランジスタの動作に対する第1、第2のスライスパルスの影響を同じにするために、第1のスライスパルスSP1の直前にダミースライスパルスを入れることが有効である。

また、第1のスライスパルスと第2のスライスパルスの振幅が同じであると、微妙な電圧条件では、微小信号領域で信号電荷が読み出せなくなったり、直線性が悪くなったりするので、第1のスライスパルスの振幅に比べ第2のスライスパ

ルスの振幅を大きくし、第2のスライスパルスで読み出す電荷にバイアス電荷をはかせる方が動作が安定する。さらに、第1のスライスパルスに比して、第2のスライスパルスの幅を広くする方法も有力である。

第 2 9 実 施 例

図72は、本発明で用いられる第29実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。単位セルP1-i-j付近の回路構成は第0A1実施例と同じである。

第29実施例は、図57に示した第25実施例からトランジスタ26-1、28-1、26-2、…およびトランジスタ28-2、26-3、28-3、…とで構成されるインピーダンス変換回路部分を省略した実施例である。第25実施例において設けたインピーダンス変換回路は、トランジスタ26のゲート容量が小さいので、ノイズキャンセラ回路が動作する際の、CRの時定数を短くすることができる。そのため、時定数を短くできる分、リセットパルス、フォトダイオード選択パルスの印加タイミングを早くすることができて、短時間でノイズキャンセル動作をさせるのに役立つ。これはテレビジョン信号のようにノイズキャンセル動作がテレビジョン走査の水平ブランキング期間内に行う必要があるような場合に有効である。しかし、そこまで高速動作を要求されない用途に対してはオーバースペックとなる。

従って、ノイズキャンセル動作にあてることのできる時間

にゆとりのある場合には、この第29実施例のように、インピーダンス変換回路を省略した構成でも十分な実用性がある。そして、インピーダンス変換回路を省略することにより、回路構成がより簡易で、その分、小形化を図ることができるようになる。

第 30 実 施 例

図73、図74は、本発明で用いられる第30実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。単位セルP1-i-j付近の回路構成は第25実施例と同じである。

本実施例は図66に示した第26実施例と共通する部分が多いが、異なる点は、“信号成分+雑音成分”出力時と“雑音成分”のみの出力時との単位セル側から見たノイズキャンセラのインピーダンスの違いを補正するための補正容量160-1, 160-2, ...を設けた点である。これらの補正容量はそれぞれC_{CMP}なる容量値を持つものとする。これらの補正容量160-1, 160-2, ...が、クランプ容量131-1, 131-2, ...の設置位置よりも撮像領域（単位セル）側であって、しかも、垂直信号線8-1, 8-2, ...に対して並列に、かつ、スイッチ162-1, 162-2, ...を介して接続されている。この点が第26実施例と異なる。

補正容量160-1, 160-2, ...とこれらに対応して設けられたスイッチ162-1, 162-2, ...は、図73の場合にはクランプ容量131と撮像領域の間に、また図7

4 の場合には撮像領域と負荷トランジスタ 9 との間に接続されている。

図 7 5 は、本実施例における動作タイミングを示す。スイッチ 1 6 2 はクランプトランジスタ 1 3 2 によるクランプが終了し、垂直信号線より信号が出力されている期間にオン状態にする。そうすると、サンプルホールド時に垂直信号線 8 - 1, 8 - 2, … に連なる容量は、サンプルホールド容量 1 3 4 を C_{SH} 、クランプ容量 1 3 1 - 1, 1 3 1 - 2, … の容量値を C_{CL} とすると、次のようになる。

$$C = C_{CMP} + C_{SH} \cdot C_{CL} / (C_{CL} + C_{SH})$$

従って、補正容量 C_{CMP} の大きさを、

$$2 \{ C_{CL} - C_{CL} \cdot C_{SH} / (C_{CL} + C_{SH}) \} > C_{CMP} > 0$$

の範囲で設定すると、補正容量が無い時に比べて、サンプルホールド時に垂直信号線に連なる容量は、クランプ容量 1 3 1 - 1, 1 3 1 - 2, … の容量 C_{CL} の大きさに近づく。そのため、この容量差によって生じる電圧の差分 V_{CL} は、より小さくなり、そのため雑音も小さくなる。

すなわち、セルから見たインピーダンスが、信号転送時と雑音転送時とで異ならないということと、サンプルホールド期間中の C を C_{CL} に近づけるということは結果的に同じことを指すことになる。

図 7 6 に垂直信号線 8 - 1, 8 - 2, … の電位とクランプノード 1 4 5 の電位の時間変化を示した。本実施例では、暗闇で信号が“零”となる場合のように、垂直信号線 8 - 1, 8 - 2, … の電位がクランプ時に戻る電位とサンプルホール

ド時に戻る電位とが同じ場合、サンプルホールド終了時点でのクランプノードの電位は、 ΔV_{CL} に近い値まで戻ることなく“零”になる。従って、暗時（暗闇時）であり、信号が“零”であるのにも拘らず、 ΔV_{CL} に相当する信号が現れてしまう等の不都合はない。このため、 ΔV_{CL} のばらつきに起因する雑音の発生を未然に防止することができる。

このように本実施例によれば、雑音除去回路付きMOS型固体撮像素子において、垂直信号線8に補正容量160-1, 160-2, ...を設けることにより、雑音が発生する原因であった雑音除去動作中の容量変化を抑制することができ、より一層の低雑音化に寄与することになる。すなわち、セルから見たインピーダンスが“信号成分+雑音成分”出力時と“雑音成分”出力時で同一になり、正確にノイズキャンセルができる。但し、リセット終了時が“雑音成分”出力時で、PD（フォトダイオード）選択後が“信号成分+雑音成分”出力時である。

本実施例においては、“雑音成分”出力時と“信号成分+雑音成分”出力時とで、単位セルから見たノイズキャンセラ回路のインピーダンスがほぼ同一である。そのため、両出力時で雑音成分はほぼ同一となり、両者の差分をとると、正確に雑音出力を除去できて信号成分のみを取り出すことが可能となる。従って、正確にノイズをキャンセルすることができる。

なお、第30実施例の変形例として、図57に示した第25実施例、図68に示した第27実施例、図72に示した第

29実施例のノイズキャンセラ回路において、補正用容量を接続してもよい。

第26実施例～第30実施例としては、第25実施例に対してノイズキャンセラ回路部分が異なる実施例を説明したが、次に第25～第30実施例に対して単位セルの構成が異なる他の実施例を第31実施例として説明する。

第 31 実 施 例

第31実施例は、第25～第30実施例に対して単位セルの構成が異なるものであるが、全体の構成は図57に示した第25実施例と同じであるので、ここでは図示を省略する。ただし、図57の単位セルP1の代わりに図77に示した単位セルP2を用いることが特徴である。

本実施例の単位セルP2の特徴は、フォトダイオード62a, 62bが、第25実施例では垂直方向であったのに対し、水平方向に隣合って配置された構成としたものである。そして、それぞれがフォトダイオード選択トランジスタ63a, 63bを介してリセットトランジスタ66のソースと、増幅トランジスタ64のゲートに接続され、1つの出力回路68を共有していることである。

次に、図78のタイミングチャートを参照して、動作について説明する。まず、水平ブランキング期間において、先ず、水平アドレス線6-1及びフォトダイオード選択線22-1をハイレベルにし、垂直選択トランジスタ65及びフォトダイオード選択トランジスタ63aをオンにする。

この結果、フォトダイオード62aとほぼ同等の電圧が増幅トランジスタ64のゲートに現れる。さらに、増幅トランジスタ64と負荷トランジスタ9-1でソースフォロウが形成され、増幅トランジスタ64のゲート電圧とほぼ等しい電圧が垂直信号線8-1に現れる。

次いで、垂直アドレスパルス6-1をロウレベルにし、垂直選択トランジスタ65をオフにする。この結果、ソースフォロウは動作しなくなるが、垂直信号線8-1の電位が直ちに変化することはない、リセット前の増幅トランジスタ64のゲート電圧とほぼ等しい電圧が保たれる。

次いで、リセット線7-1をハイレベルにし、リセットトランジスタ66をオンにし、増幅トランジスタ64のゲート及びフォトダイオード62aの電位を初期化する。

また、水平アドレス回路13から水平アドレスパルスを水平選択トランジスタ12-1のゲートに印加し、信号出力端15から、フォトダイオード63aの信号を取り出す。

次に、同一の水平ブランキング期間内において、上述と同様な動作において、フォトダイオード選択トランジスタ63aの代わりにフォトダイオード選択トランジスタ63bをオンする。この結果、信号出力端15から、フォトダイオード63bの信号を取り出す。

図示していないが、この水平ブランキング期間内において、同じ垂直アドレスの下で水平アドレスを順次変更して1行分の信号を順次取り出す。次の水平ブランキング期間内に次の垂直アドレスについて同様の動作を行い、順次、各行の信号

を取り出す。

このように、本実施例に係るMOS型個体撮像装置によれば、第0A1実施例の効果に加えて、ある1フレーム期間中には、垂直アドレス線がオン・オフするのは、ある1つの水平期間だけであるので、垂直アドレス線の制御が簡単であるという利点がある。また、これによって垂直アドレス回路とマルチプレクサ回路が簡単になるという効果もある。

第31実施例も第25実施例と同様にノイズキャンセラ回路部分を変形することができる。すなわち、図57～図76の説明は第31実施例にも等しく適用できる。また、第31実施例の単位セルに含まれる水平方向に隣接するフォトダイオードの数も2つに限らず、3つ以上でも良い。図65に示すように、出力回路は垂直選択トランジスタの代わりに垂直選択容量を用いても良い。

第 3 2 実 施 例

図79は第32実施例に係るMOS型固体撮像装置の構成を示す。単位セル $P3-i-j$ が縦、横に2次元マトリクス状に配列されている。

図80は、図79に示した単位セル $P3-1-1$ の構成を示す図である。ここでは、単位セル $P3-1-1$ の構成のみを示すが、他の単位セル $P3-1-2$ 、～についても同様の構成が採用されている。

同図に示すように、本実施例のMOS型固体撮像装置の単位セルは、4個のフォトダイオード62a～62d、4個の

フォトダイオード選択トランジスタ63a～63d、1つの出力回路68から構成されている。4個のフォトダイオードは2行2列のマトリクス状に配置されている。

フォトダイオード62a～62dは、それぞれ選択トランジスタ63a～63dを介して共通の出力回路68に接続されている。選択トランジスタ63a～63dは垂直アドレス回路5から水平方向に配設されているフォトダイオード選択線22-1, 24-1, 172-1, 174-1により独立してオンオフ制御される。

このように、4つのフォトダイオード62a～62dに対して共通の出力回路64を接続して単位セルP1-1-1を構成することにより、従来のMOS型固体撮像装置の単位セルと比較して、三つの出力回路を省略することができる。

このように、本実施例に係るMOS型個体撮像装置によれば、第25実施例、第26実施例を組み合わせた効果を得ることができる。

第0A8実施例も第25実施例と同様にノイズキャンセラ回路部分を変形することができる。すなわち、図57～図76の説明は第0A8実施例にも等しく適用できる。また、第32実施例の単位セルに含まれるフォトダイオードの数も2行2列に限らず、3つ以上のマトリクスでもよいし、正方形のマトリクスでなくても良い。図65に示すように、出力回路は垂直選択トランジスタの代わりに垂直選択容量を用いても良い。

さらに本発明は、上述した実施例に限定されず、種々変形

して実施可能である。例えば、単位セルの増幅トランジスタを閾値バラツキがないように製造できれば、固定パターン雑音は発生しないので、ノイズキャンセラ回路は省略することができる。あるいは、固定パターン雑音が発生しても、画質に影響が無ければ、同じくノイズキャンセラ回路は省略することができる。

なお、負荷トランジスタのゲートとソースは同一の電源ラインに接続されているが、別々の電源に接続してもよい。このようにすると、流れる電流を制御でき消費電力も低減できる効果が得られる。

また、各実施例のノイズキャンセラ回路においては、入力信号がないときに読み出す信号電流（雑音成分のみ）が小さい方が雑音が少ないので、蓄積ドレイン電源端子に印加されている電圧とビデオバイアス電圧とをほぼ等しくすることが好ましい。ビデオバイアス電圧とは、信号出力端 15 から信号を電流で読み出すときに信号出力端 15 がほぼ固定される電圧である。これを実現した変形例を図 45 に示す。信号出力端 15 にオペアンプ 176 が接続され、オペアンプ 176 の入出力端間に負荷抵抗 178 が接続される。これによると、信号電流が強制的に負荷抵抗 178 に流され、水平信号線 15 は仮想的にある電圧、すなわちビデオバイアス電圧に固定される。

さらに、単位セルは 2 次元マトリクス状に配列した実施例を説明したが、本発明は単位セルを 1 次元アレイ状に配列する撮像装置にも適用できることは言うまでもない。この場合、

単位セル内のフォトダイオードの配列は単位セルの配列とは無関係に、垂直方向、水平方向、両方向にマトリクス状に配列することが可能である。

以上、増幅型MOS型センサとノイズキャンセラの組み合わせにより、ノイズの無い画像信号を得ることができるようにした種々の具体例を説明した。

ところで、以上の増幅型MOS型センサでは単位セルに含まれるトランジスタは最低でも増幅トランジスタ、垂直選択トランジスタ、リセットトランジスタの3つが必要である。セルの微細化、省電力化を図るためにはセルを構成するトランジスタの個数を少しでも少なくする必要がある。なお、増幅型ではないMOSセンサでは、セルはフォトダイオードと1つのトランジスタにより構成されているが、増幅型に比べると感度が低い。

そこで、増幅型MOSセンサにおいて、より微細化することができる、また、省電力化を可能にするMOS型固体撮像装置（増幅型MOSセンサにによる固体撮像装置）の具体例を次に説明する。

第 33 実 施 例

図81および図82を参照して、本発明の第33実施例を説明する。図81は、本発明の第33実施例に係るMOS型固体撮像装置の構成を示す。単位セル $P8-i-j$ が縦、横に2次元マトリクス状に配列されている。図では、 3×3 しか示していないが、実際は数千個 \times 数千個ある。 i は水平

(row) 方向の変数、 j は垂直 (column) 方向の変数である。

本発明の固体撮像装置の応用分野としては、ビデオカメラ、電子スチルカメラ、デジタルカメラ、ファクシミリ、複写機、スキャナ等がある。

本実施例の基本セル $P8-i-j$ は、入射光を検出するフォトダイオード $62-i-j$ と、フォトダイオード $62-i-j$ のカソードがゲートに接続され、その検出信号を増幅する増幅トランジスタ $64-i-j$ と、フォトダイオード $62-i-j$ のカソード (増幅トランジスタ $64-i-j$ のゲート) に接続され、信号電荷をリセットするリセットトランジスタ $60-i-j$ と、増幅トランジスタ $64-i-j$ のドレインとゲートとの間に接続されるアドレス容量 $69-i-j$ とからなる。このように、本実施例では、従来例 (図1) で設けられていた垂直選択トランジスタ $3-i-j$ が省略され、代わりに同じ機能を果たすアドレス容量 $69-i-j$ が設けられている。

垂直アドレス回路5から水平方向に配線されている垂直アドレス線 $6-1$, $6-2$, ... は各行の単位セルの増幅トランジスタ $64-i-j$ のドレインとリセットトランジスタ 60 のドレインに接続され、信号を読み出す水平ラインを決めている。同様に、垂直アドレス回路5から水平方向に配線されているリセット線 $7-1$, $7-2$, ... は、各列の単位セルのリセットトランジスタ $66-i-j$ のゲートに接続されている。

各列の単位セルの増幅トランジスタ $64-i-j$ のソース

は列方向に配置された垂直信号線 8-1, 8-2, ... に接続され、垂直信号線 8-1, 8-2, ... の一端には負荷トランジスタ 9-1, 9-2, ... が設けられている。負荷トランジスタ 9-1, 9-2, ... のゲートとドレインは共通にドレイン電圧端子 20 に接続される。

垂直信号線 8-1, 8-2, ... の他端は、クランプ容量 131-1, 131-2, ...、サンプルホールドトランジスタ 133-1, 133-2, ...、水平選択トランジスタ 12-1, 12-2, ... を介して信号出力端（水平信号線）15 に接続される。クランプ容量 131-1, 131-2, ... と、サンプルホールドトランジスタ 133-1, 133-2, ... との接続点（クランプノード 145-1, 145-2, ...）にはクランプトランジスタ 132-1, 132-2, ... のドレインが接続される。クランプトランジスタ 132-1, 132-2, ... のソースは共通ソース端子 141 に接続され、ゲートは共通ゲート端子 142 に接続される。サンプルホールドトランジスタ 133-1, 133-2, ... と、水平選択トランジスタ 12-1, 12-2, ... との接続点はサンプルホールド容量 134-1, 134-2, ... を介して接地される。水平選択トランジスタ 12-1, 12-2, ... のゲートには水平アドレス回路 13 からアドレスパルスが供給される。

垂直アドレス回路 5 は、複数、ここでは 2 本の信号を纏めてシフトする回路であり、図 18、図 19、図 20 のいずれかの回路により実現される。図 18 の例では、入力信号 46 を多数の出力端から順次シフトして出力するアドレス回路 4

4の出力がマルチプレクサ48により2入力信号50と合成される。図19の例では、エンコード入力54をデコードするデコーダ52の出力がマルチプレクサ56により2入力信号58と合成される。図20の例では、2つのアドレス回路60a, 60bの出力を束ねて各行の制御信号線とする。

図82は、本実施例の動作を示すタイミングチャートである。水平ブランキング期間に垂直アドレス線6-1にハイレベルのアドレスパルスを印加すると、このハイレベルのアドレスパルスがこのラインに接続されている単位セルの増幅トランジスタ64のゲートにアドレス容量69を介して供給され、このゲート下のチャンネルの電位が、他のラインに接続されている単位セルの増幅トランジスタ64のゲート下のチャンネル電位より高くなり、オンする。したがって、垂直アドレス線6-1に接続されている単位セルの増幅トランジスタ64と負荷トランジスタ9でソースホロア回路が構成される。そして、増幅トランジスタ64のゲート電圧、即ちフォトダイオード64の電圧とほぼ同等の電圧が垂直信号線8に現れる。このように、アドレスされたラインの増幅トランジスタ64のゲート電位のみが垂直信号線8-1, 8-2, ...に現れ、他のラインの増幅トランジスタ64のゲート電位は現れない。したがって、垂直選択トランジスタを省略しても、垂直アドレスラインのアドレスが可能である。

クランプトランジスタ132-1, 132-2, ...の共通ゲート142にクランプパルスを印加し、クランプトランジスタ132-1, 132-2, ...をオンし、クランプノード

145-1, 145-2, ...をクランプ電源141と同じ電圧に固定する。

次いで、クランプトランジスタ132-1, 132-2, ...をオフした後、リセット線7-1にハイレベルのリセットパルスを加し、リセットトランジスタ66-1, 66-2, ...をオンしてフォトダイオード62の信号電荷をリセットする。すると、クランプノード145-1, 145-2, ...には、フォトダイオード62に信号電荷があるときとリセットされて信号電荷がないときの垂直信号線8-1, 8-2, ...の電圧の差がクランプ電源141に加算された電圧が現れる。

次いで、サンプルホールドトランジスタ133-1, 133-2, ...の共通ゲート143にサンプルホールドパルスを加し、サンプルホールドトランジスタ133-1, 133-2, ...をオンし、この信号をサンプルホールド容量134-1, 134-2, ...に伝達する。

その後、水平アドレス回路13から水平アドレスパルスを水平選択トランジスタ12-1, 12-2, ...に順次加し、水平信号線15から1ライン分の信号を順次取り出す。

この動作を次のライン、その次のラインと順次続けることにより、2次元状全ての信号を読み出すことができる。

一般的に、増幅型MOS型固体撮像装置においては、増幅トランジスタ64の閾値電圧のバラツキが信号に重畳するため、フォトダイオード62の電位が同じでも出力信号が同じとはならず、写した画像を再生すると増幅トランジスタ64の閾値バラツキに対応する2次元状の雑音（場所的に固定さ

れているという意味で、固定パターン雑音と称される)が発生する。しかしながら、上述したように、本実施例によれば、クランプノード145-1, 145-2, ...には、最終的には単位セルに信号電荷があるときとリセットされて信号電荷がないときの差の電圧が現れるため、増幅トランジスタ64の閾値ばらつきによる固定パターン雑音が抑圧される。即ち、クランプ容量131, クランプトランジスタ132, サンプルホールドトランジスタ133, 及びサンプルホールド容量134からなる回路がノイズキャンセラとして作用する。

次に、本実施例の構造を説明する。

本実施例においては、単位セルP8-1-1, P8-1-2, ...や、垂直アドレス回路5、水平アドレス回路13などの周辺回路は、 p^- 型基板上に p^+ 型不純物層を形成した半導体基板上に形成されている。

図25A、に示すように、 p^- 型基板81上に p^+ 型不純物層82を形成した半導体基板にフォトダイオード83などのセル要素が形成されている。

半導体基板をこのような構成にすることにより、 p^-/p^+ 境界にある拡散電位により、 p^- 型基板81で発生した暗電流が p^+ 側へ流れ込むのを一部防止することができる。

電子の流れを詳しく解析した結果を簡単に述べると、 p^- 側で発生した電子にとって p^+ 不純物層82の厚さ L が p^+ と p^- の濃度の比倍すなわち $L \cdot p^+ / p^-$ に見える。

すなわち、図25Bに示すように、暗電流の発生源である p^- 基板81からフォトダイオード83までの距離が、 p^+

／ p^- 倍遠くなったように見えることになる。暗電流は、基板深部から流れ込むもの以外にフォトダイオード83近傍の空乏層内で発生するものがあり、この空乏層内で発生する暗電流は、基板深部から流れ込む暗電流とほぼ同じ程度ある。空乏層の厚さは約 $1\ \mu\text{m}$ 程度であり、基板深部から流れ込む暗電流は約 $100\ \mu\text{m}$ の深さからも流れてくる。この深さは p 型半導体内部での電子の拡散距離と呼ばれているものである。この厚さの差にも関わらず暗電流が同等なのは、単位体積あたりの暗電流の発生確率が空乏層内部の方が高いためである。ここで、空乏層で発生する暗電流は原理的に信号電流と分離することができないので、暗電流の低減は基板深部から流れ込む成分を減ずることによってなされる。

また、 p^- 型基板71上に p^+ 型不純物層72を形成した半導体基板にセルを形成するので、暗電流が発生することによる基板電位の変動を防止することができ、 p 型基板は厚いため、抵抗が低く、後述するように、雑音除去回路を確実に動作させることができる。

また、素子温度が上昇すると基板深部からの成分の方が急激に増加するので、これが重要である。その目安は、基板深部からの成分が空乏層で発生した成分よりも十分小さいことであり、具体的には、基板深部からの暗電流が空乏層内部からのものに比べて約1桁下であればいい。すなわち、 p^+ / p^- を10に設定して基板深部からのものを約 $1 / 10$ にすればいい。

さらに、基板深部からの暗電流は、 n 型基板と p 型ウェル

とで構成される半導体基板ではほぼ全くないといってよいが、このような半導体基板と同じレベルにするためには p^+ / p^- を 100 に設定して基板深部からの暗電流を約 1 / 100 にする必要がある。

従来の実績のある CCD では、n 型の埋め込みチャネルの不純物濃度が約 10^{16} cm^{-3} 程度であり、この埋め込みチャネルの拡散層を安定して製造するための埋め込みチャネルを囲む p 型層（ここでは p 型基板）の不純物濃度は約 10^{15} cm^{-3} である。

p^+ 層の濃度は p^+ / p^- を 10 にする場合は約 10^{16} cm^{-3} 程度、 p^+ / p^- を 100 にする場合は約 10^{17} cm^{-3} 程度となり、n 型の埋め込みチャネルの不純物濃度の約 10^{16} cm^{-3} と同程度又は 1 桁逆転してしまう。

このため、実績のある従来の CCD では、このような不純物濃度の p^+ 層を使うことは考えられなかった。また、 p^- 層の濃度を下げると基板のシート抵抗が高くなるという問題が出てくる。

しかしながら、増幅型の MOS 撮像装置では CCD の埋め込みチャネルがないため p^- 層の濃度を下げずに p^+ / p^- の値をある程度自由に設定できる。

そこで、p 型ウェルの抵抗を下げ、n 型基板と p 型ウェルとで構成される半導体基板の構造を改善することによってもセルを構成することができる。

図 26 は、n 型基板 85 上にシート抵抗の低い p^+ ウェル 86 を用いた単位セルの断面図である。また、図 27 は、C

CCDの単位セルの断面図を示す。

CCDの単位セルのn型基板87、p型ウェル86、n型埋め込みチャネル89の不純物濃度は安定して製造を行うために、それぞれ約 10^{14} cm^{-3} 、約 10^{15} cm^{-3} 、約 10^{16} cm^{-3} 程度にしてある。

n型フォトダイオード90の不純物濃度はある程度自由に設定できるため製造上の制約はあまりない。p型ウェル86のシート抵抗は上記の不純物濃度では約 $100 \text{ k}\Omega/\square$ 程度の値である。CCDは、前述のようにこのような高い値でも雑音が非常に小さい。

一方、増幅型のMOS撮像装置で雑音除去回路を使用する場合、このp型ウェルのシート抵抗は非常に重要である。何故ならば、リセットパルスによるp型ウェル86の電位の擾乱が収まる時間がこの装置を応用するシステムにマッチングしなければならないからである。

現行のテレビ方式であるNTSC方式では、雑音除去回路を動作させるのは水平帰線期間である約 $11 [\mu\text{s}]$ の間である。この時間のあいだにp型ウェル86の電位の擾乱が $0.1 [\text{mV}]$ 程度まで収まる必要がある。

この $0.1 [\text{mV}]$ という非常に小さい値は、CCDの雑音電圧出力がこの程度であることから起因している。 $11 [\mu\text{s}]$ という非常に短い時間で $0.1 [\text{mV}]$ という非常に小さい値に落ちつかせるには、詳しい解析によるとp型ウェル86のシート抵抗を $1 \text{ k}\Omega/\square$ 以下にしなければならない。これは従来のCCDの約 $1/100$ である。

そのためには、p型ウェル86の不純物濃度を約100倍にする必要があり、p型基板のところで前述したように、CCDでは不可能な濃度である。さらにハイビジョンテレビ方式では水平帰線期間が3.77 [μ s]であり、p型ウェル86のシート抵抗を300 Ω /□以下にしなければならない。

他の変形例としては、高濃度のp⁺型サンドイッチ層を基板上に形成し、表面をそれより濃度の低いp型層にすることが考えられる。

図28は、p⁻型基板91とp型層93との間にp⁺型サンドイッチ層92を形成した半導体基板の構成を示す図である。また、図29は、n型基板95とp型層97との間にp⁺型サンドイッチ層96を形成した半導体基板の構成を示す図である。

このようなp⁺型サンドイッチ層は高加速のメガボルトイオン打ち込み機により実現できる。

上記p型層には、単位セルの構成要素であるフォトダイオード83、トランジスタなどの他に、水平アドレス回路、垂直アドレス回路などの周辺回路も形成される。

図30は、フォトダイオード83の周囲を高濃度のp型ウェル103で囲み、n型基板101上の他の部分を他のp型ウェル102で形成することにより構成される半導体基板の構成を示す図である。

このような構成を採用することにより、フォトダイオード83への暗電流の漏れ込みを防止することができる。なお、半導体基板101は、p⁻型基板であってもよい。

さらに、セル周辺の水平アドレス回路や垂直アドレス回路の一部又は全部を形成するp型ウェルの濃度は回路設計の方から決められており、セルの最適値とは異なるため撮像領域を形成するp型ウェルとは別のp型層にすることも考えられる。

図63は、n型基板105上に撮像領域を構成するp型ウェル106を形成するとともに、周辺回路部を構成する他のp型ウェル107を別々に形成した半導体基板の構成を示す図である。

このような構成とすることにより、各構成要素に適したp型ウェルを形成することができる。なお、上記n型基板105は、p⁻型基板であっても良い。

図64は、n型基板105上に撮像領域を形成するp⁺型サンドイッチ層108及び濃度の低いp型層109を形成するとともに、周辺回路部に他のp型ウェル107を形成したものである。

このような構成とすることにより、各構成要素に適したp型ウェルを形成することができ、フォトダイオードへの暗電流の漏れ込みを防止することができる。なお、上記n型基板105は、p⁻型基板であっても良い。

以上説明したように、本実施例によれば、増幅トランジスタ64のソースを垂直アドレス線6に直接接続し、さらに垂直選択トランジスタの代わりに、垂直アドレス線6と増幅トランジスタ64のゲートとの間にアドレス容量69を挿入することにより、アドレスされた増幅トランジスタ64をオン

させ、そのゲート電位のみを垂直信号線 8 に取り出すことができる。つまり、垂直選択トランジスタがなくとも垂直アドレス線をアドレスすることができ、これによりセルの微細化をはかることが可能となる。

さらに、単位セルの出力をノイズキャンセルを介して出力しているので、単位セルの増幅トランジスタの閾値バラツキに応じた固定パターン雑音を抑えることができる。

また、単位セルを形成する半導体基板として、p - 型不純物基体と、p - 型不純物基体上に形成された p + 型不純物層とからなる基板を用いることにより、単位セルに進入する暗電流を低減することができ、かつ、基板表面の電位を安定させることができるので、雑音除去回路を確実に動作させることができる。

次に、第 3 3 実施例において、ノイズキャンセラ回路部分を変形した実施例を説明する。

第 3 4 実 施 例

図 8 3 および図 8 4 を参照して、本発明の第 3 4 実施例を説明する。図 8 3 は、本発明の第 3 4 実施例に係わる増幅型 MOS センサを用いた撮像装置の回路構成図である。単位セル P 8 - i - j 付近の回路構成は第 3 3 実施例と同じである。

垂直信号線 8 - 1, 8 - 2, ... の他端は、MOS トランジスタ 2 6 - 1, 2 6 - 2, ... のゲートに接続される。MOS トランジスタ 2 6 - 1, 2 6 - 2, ... のソースは MOS トランジスタ 2 8 - 1, 2 8 - 2, ... のドレインに接続され、M

MOSトランジスタ26-1, 26-2, …、28-1, 28-2, …はソースフォロウ回路として動作する。MOSトランジスタ28-1, 28-2, …のゲートは共通ゲート端子36に接続される。

MOSトランジスタ26-1, 26-2, …とMOSトランジスタ28-1, 28-2, …との接続点がサンプルホールドトランジスタ30-1, 30-2, …を介してクランプ容量32-1, 32-2, …の一端に接続される。クランプ容量32-1, 32-2, …の他端にはサンプルホールド容量34-1, 34-2, …とクランプトランジスタ40-1, 40-2, …が並列に接続されている。サンプルホールド容量34-1, 34-2, …の他端は接地されている。クランプ容量32-1, 32-2, …の他端は水平選択トランジスタ12-1, 12-2, …を介して信号出力端（水平信号線）15にも接続される。

次に、本実施例の構造を説明する。

図83の回路構成から分るように、クランプ容量32とサンプルホールド容量34が直接接続されて近接しているので、これらを同一面上に積層して形成することができ、単位セルを小型化できる。

具体的には、図24に示すように、シリコン基板72上に第1の絶縁膜74を介して第1の電極76を形成することにより、サンプルホールド容量34を構成し、さらに第1の電極76上に第2の絶縁膜78を介して第2の電極80を形成することにより、クランプ容量32を構成する。

この図からも明らかなように、第 1 の電極 7 6 が共通電極となり、クランプ容量 3 2 とサンプルホールド容量 3 4 が積層形成されているので、個別に形成する場合の $1/2$ の面積で同じ容量値を得ることが可能となる。

次に、図 8 4 のタイミングチャートを参照して、このように構成された MOS 型固体撮像装置の動作について説明する。なお、負荷トランジスタ 9 の共通ドレイン端子 2 0、インピーダンス変換回路のトランジスタ 2 8 の共通ゲート端子 3 6、クランプトランジスタ 4 0 の共通ソース端子 3 8 は DC 駆動であるので、タイミングチャートから省略している。

水平ブランキング期間において、垂直アドレス線 6 - 1 にハイレベルのアドレスパルスを印加すると、当該垂直アドレス線 6 - 1 に接続されている単位セル P 8 - 1 - 1, P 8 - 1 - 2, ... の増幅トランジスタ 6 4 がオンとなり、増幅トランジスタ 6 4 と負荷トランジスタ 9 - 1, 9 - 2, ... でソースフォロワ回路が構成される。

サンプルホールドトランジスタ 3 0 - 1, 3 0 - 2, ... の共通ゲート 3 7 をハイレベルとしてサンプルホールドトランジスタ 3 0 - 1, 3 0 - 2, ... をオンする。この後、クランプトランジスタ 4 0 - 1, 4 0 - 2, ... の共通ゲート 4 2 をハイレベルとしてクランプトランジスタ 4 0 - 1, 4 0 - 2, ... をオンする。

次に、クランプトランジスタ 4 0 - 1, 4 0 - 2, ... の共通ゲート 4 2 をローレベルとしてクランプトランジスタ 4 0 - 1, 4 0 - 2, ... をオフする。このため、垂直信号線 8 -

1, 8-2, ...に現れている信号プラス雑音成分はクランプ容量32-1, 32-2, ...に蓄積される。

この後、リセット線7-1にハイレベルのリセットパルスを印加すると、当該リセット線7-1に接続されている単位セルP8-1-1, P8-1-2, ...のリセットトランジスタ66がオンとなり、出力回路68の入力端子の電荷がリセットされる。すると、信号成分がリセットされた雑音成分のみが垂直信号線8-1, 8-2, ...に現れる。

前述したように、クランプ容量32-1, 32-2, ...には信号プラス雑音成分が蓄積されているので、クランプノード41-1, 41-2, ...には垂直信号線8-1, 8-2, ...の電圧変化分、すなわち信号成分プラス雑音成分から雑音成分を差し引いた、固定パターン雑音のない信号電圧のみが現れる。

そして、サンプルホールドトランジスタ30-1, 30-2, ...の共通ゲート37をローレベルとしてサンプルホールドトランジスタ30-1, 30-2, ...をオフする。このため、クランプノード41-1, 41-2, ...に現れている雑音のない電圧がサンプルホールド容量34-1, 34-2, ...に蓄積される。

この後、水平選択トランジスタ12-1, 12-2, ...に水平アドレスパルスを順次印加することにより、サンプルホールド容量34-1, 34-2, ...に蓄積されている雑音のないフォトダイオード62の信号が出力端子（水平信号線）15から読み出される。

以下、同様に、垂直アドレス線6-2, 6-3, ...について上述の動作を繰り返すことにより、2次元状に配置された全てのセルの信号を取り出すことが出来る。

ここで、図84のタイミングの先後関係を説明する。必須の順番は、次の2つある。

(1) サンプルホールドパルスの立ち上がり→クランプパルスの立ち下がり→1番目の垂直アドレスパルスの立ち下がり→リセットパルスの立ち下がり→2番目の垂直アドレスパルスの立ち上がり→サンプルホールドパルスの立ち下がり→2番目の垂直アドレスパルスの立ち下がり

(2) クランプパルスの立ち下がり→リセットパルスの立ち上がり→リセットパルスの立ち下がり

なお、1番目の垂直アドレスパルスの立ち上がり、サンプルホールドパルスの立ち上がり、クランプパルスの立ち上がりの前後関係は任意であるが、好ましくは上述した順番がよい。また、第1番目の垂直アドレスパルスの立ち下がりとりセットパルスの立ち上がりの前後関係も任意であるが、好ましくは上述した順番がよい。

このように、図84の動作によれば、クランプノード41には、信号（プラス雑音）がある時と、増幅トランジスタのゲートがリセットされて信号がない時の差の電圧が現れるため、増幅トランジスタ64の閾値バラツキによる固定パターン雑音が補償される。すなわち、クランプトランジスタ30、クランプ容量31、サンプルホールドトランジスタ40、サンプルホールド容量34からなる回路がノイズキャンセラと

して作用する。

なお、本実施例のノイズキャンセラは、ソースフォロワ回路からなるインピーダンス変換回路 26、28 を介して垂直信号線 8 に接続されている。すなわち、垂直信号線はトランジスタ 26 のゲートに接続されている。このゲート容量は非常に小さいので、セルの増幅トランジスタ 64 は垂直信号線 8-1, 8-2, ... のみを充電するので、CR の時定数が短く、すぐに定常状態になる。そのため、リセットパルスの印加タイミングを早くすることができ、短時間でノイズキャンセル動作をさせることができる。テレビジョン信号の場合、ノイズキャンセル動作は水平ブランキング期間内に行う必要があり、短時間で正確にノイズキャンセルできることは大きな長所である。さらに、ノイズキャンセル動作に含まれる信号プラス雑音出力時と雑音出力時とで、単位セルから見たノイズキャンセラのインピーダンスが同じであるので、正確にノイズをキャンセルすることができる。

すなわち、“雑音成分”出力時と“信号成分+雑音成分”出力時とで、単位セルから見たノイズキャンセラ回路のインピーダンスがほぼ同一である。そのため、両出力時で雑音成分はほぼ同一となり、両者の差分をとると、正確に雑音出力を除去できて信号成分のみを取り出すことが可能となる。従って、正確にノイズをキャンセルすることができる。また、単位セルからノイズキャンセラ回路を見ると、インピーダンス的にはゲート容量しか見えず、その容量は非常に小さいので、短時間に確実にノイズをキャンセルすることができる。

以上説明したように、本実施例によれば、ノイズキャンセラにおいては、クランプ容量 $32-1$ ， $32-2$ ，…とサンプルホールド容量 34 が直接接続されて近接しているので、これらを同一面上に積層して形成することができ、容量を小型化できる。さらに、単位セルからノイズキャンセラを見ると、インピーダンス的にはゲート容量しか見えず、その容量は非常に小さいので、短時間に確実にノイズをキャンセルすることができる。

第 35 実施例

図85は、本発明の第35実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。単位セル $P8-i-j$ 付近の回路構成は第33実施例と同じである。

垂直信号線 $8-1$ ， $8-2$ ，…に直列に分離トランジスタ $202-1$ ， $202-2$ ，…を接続し、分離トランジスタ $202-1$ ， $202-2$ ，…と水平選択トランジスタ $12-1$ ， $12-2$ ，…の間に増幅容量 $206-1$ ， $206-2$ ，…が設けられている。すなわち、本実施例では、水平選択トランジスタの前にはノイズキャンセラは設けられていない。代わりに、増幅率を調整するための増幅容量が設けられている。

第 36 実施例

図86は、本発明の第36実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。単位セル $P8-i-j$ 付近の回路構成は第33実施例と同じである。

第 3 6 実施例は、第 3 3 実施例のノイズキャンセラ回路に第 3 4 実施例のインピーダンス変換回路を接続した例である。なお、クランプトランジスタ 1 3 2 の共通ソースは本実施例では D C 駆動している。

第 3 7 実 施 例

図 8 7 および図 8 8 を参照して、本発明の第 3 7 実施例を説明する。図 8 7 は本発明の第 3 7 実施例に係わる増幅型 M O S センサを用いた撮像装置の回路構成図である。単位セル P 8 - i - j 付近の回路構成は第 3 3 実施例と同じである。

負荷トランジスタ 9 - 1, 9 - 2, ... とは反対側の垂直信号線 8 - 1, 8 - 2, ... の端部は、スライストランジスタ 1 5 0 - 1, 1 5 0 - 2, ... のゲートにそれぞれ接続されている。スライストランジスタ 1 5 0 - 1, 1 5 0 - 2, ... のソースにはスライス容量 1 5 2 - 1, 1 5 2 - 2, ... の一端が接続されており、スライス容量 1 5 2 - 1, 1 5 2 - 2, ... の他端はスライスパルス供給端子 1 5 4 に接続されている。スライストランジスタ 1 5 0 - 1, 1 5 0 - 2, ... のソース電位をリセットするために、スライストランジスタのソースとスライス電源端子 1 5 8 との間にスライスリセットトランジスタ 1 5 6 - 1, 1 5 6 - 2, ... が設けられ、このトランジスタ 1 5 6 - 1, 1 5 6 - 2, ... のゲートにスライスリセット端子 1 6 0 が接続されている。

スライストランジスタ 1 5 0 - 1, 1 5 0 - 2, ... のドレインには、スライス電荷転送容量 1 6 2 - 1, 1 6 2 - 2,

…が接続されている。また、スライストランジスタ150-1, 150-2, …のドレイン電位をリセットするために、そのドレインと蓄積ドレイン電源端子164との間にドレインリセットトランジスタ166-1, 166-2, …が設けられ、このトランジスタ166-1, 166-2, …のゲートにドレインリセット端子168が接続されている。さらに、スライストランジスタ150-1, 150-2, …のドレインは、水平アドレス回路13から供給される水平アドレスパルスにより駆動される水平選択トランジスタ12-1, 12-2, …を介して信号出力端15に接続されている。

このように第37実施例のMOSセンサは、図81に示した第33実施例に対して、単位セルP8-i-jの構成は同じであるが、ノイズキャンセラの部分の構成が異なり、第37実施例のノイズキャンセラは、垂直信号線8-1, 8-2, …に現れる電圧をスライストランジスタ150のゲート容量を介して電荷に変換し、電荷領域で引き算をすることにより雑音を抑圧することが特徴である。

次に、本実施例の駆動方法について説明する。図88は本実施例の動作を示すタイミングチャートであり、図48にスライストランジスタ150-1, 150-2, …のポテンシャル図を示す。

まず、1行目の垂直アドレス線6-1にハイレベルの垂直アドレスパルスを印加すると、この行の単位セルの垂直選択トランジスタ66のみオンし、この行の増幅トランジスタ64と負荷トランジスタ9-1, 9-2, …でソースフォロワ

回路が構成される。

次いで、スライスリセット端子160にスライスリセットパルスを印加し、スライスリセットトランジスタ156-1, 156-2, ...をオンし、スライス容量152-1, 152-2, ...の電荷を初期化する。

さらに、スライスリセットトランジスタ156をオフする。このとき、アドレスした1行目のフォトダイオードの信号電荷に対応する信号電圧が垂直信号線8-1, 8-2, ...に現れる。

スライスパルス供給端子154に第1のスライスパルスSP1を印加する。これにより、信号がある時（つまり“信号成分+雑音成分”の出力時）のスライストランジスタ150のゲート下のチャンネル電位 V_{sch} を越えて、第1のスライス電荷がドレインに転送される。このとき、ドレインリセット端子168にはドレインリセットパルスが印加され、ドレインリセットトランジスタ166はオンするので、ドレイン電位は蓄積ドレイン電源端子164の電圧 V_{sdd} に固定されている。従って、第1のスライス電荷はドレインリセットトランジスタ166を通して蓄積ドレイン電源端子164へ排出される。

次いで、リセット線7-1にリセットパルスを印加すると、セルのフォトダイオードがリセットされる垂直信号線8-1, 8-2, ...には信号のない雑音成分のみが出力される。スライスパルス供給端子154に第2のスライスパルスSP2を印加する。これにより、信号電荷がないときの電圧がかかっ

ているスライストランジスタ150のゲート下のチャンネル電位 V_{0ch} を越えて、第2のスライス電荷がドレインに転送される。このとき、ドレインリセットトランジスタ166はオフしているので、第2のスライス電荷はドレインに接続されているスライス電荷転送容量162に転送される。

次いで、水平アドレス回路13から水平選択パルスを水平選択トランジスタ12-1, 12-2, ...に順次印加し、水平信号線15から1ライン分の信号を順次取り出す。この動作を、次のライン、その次のラインと順次続けることにより、2次元状の全ての信号を読み出すことができる。

このデバイスでは、スライス容量152の値を C_{sl} とすると、最終的に水平信号線15に読み出される電荷（第2のスライス電荷）は

$$C_{sl} \times (V_{sch} - V_{0ch})$$

となり、信号があるときとリセットされ信号がないときの差に比例する電荷が現れるため、単位セル内の増幅トランジスタ64の閾値ばらつきによる固定パターン雑音が抑圧されるという特徴がある。このように、垂直信号線8に現れる電圧を電荷に変換し、電荷領域で引き算をする回路構成もノイズキャンセラと呼ぶことができる。

この型のノイズキャンセラの方法は、例えば図81の第33実施例とは異なる。第33の実施例では、クランプノード145では、電圧領域でノイズがなくなっており、電圧領域でノイズキャンセルをしている。一方、この型では、スライストランジスタ150のソース端では、電圧領域ではノイズ

はキャンセルされていないが、第34のスライスパルスSP2が印加されたとき、はじめてノイズがキャンセルされた電荷がドレインに転送される。すなわち、電荷領域では、ノイズがキャンセルされている。

以上説明したように、第37実施例によれば、単位セルの出力をノイズキャンセルを介して出力しているので、単位セルの増幅トランジスタの閾値バラツキに応じた固定パターン雑音を取り除くことができる。

さらに、単位セルの出力をスライストランジスタのゲート容量を介してノイズキャンセラに供給しているので、雑音出力時と信号プラス雑音出力時とで、単位セルから見たノイズキャンセラのインピーダンスがほぼ同一であるため、両出力時で、雑音成分はほぼ同一となり、両者の差分をとると、正確に雑音出力を除去でき、信号成分のみ取り出すことが可能となり、正確にノイズをキャンセルすることができる。また、単位セルからノイズキャンセラを見ると、インピーダンス的にはゲート容量しか見えず、その容量は非常に小さいので、短時間に確実にノイズをキャンセルすることができる。

なお、第2のスライスパルスSP2は直前の第1のスライスパルスSP1の影響を受けることがある。そのため、第1及び第2のトランジスタの動作に対する第1、第2のスライスパルスの影響を同じにするために、第1のスライスパルスSP1の直前にダミースライスパルスを入れることが有効である。また、第1のスライスパルスと第2のスライスパルスの振幅が同じであると、微妙な電圧条件では、微小信号領域

で信号電荷が読み出せなくなったり直線性が悪くなったりするので、第1のスライスパルスの振幅に比べ第2のスライスパルスの振幅を大きくし第2のスライスパルスで読み出す電荷にバイアス電荷をはかせる方が動作が安定する。さらに、第1のスライスパルスに比して、第2のスライスパルスの幅を広くする方法も有力である。

第 38 実 施 例

図89を参照して、本発明の第38実施例を説明する。図89は、本発明の第38実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。単位セルP8-i-j付近の回路構成は第33実施例と同じである。

第38実施例は図83に示した第34実施例からソースフォロワトランジスタからなるインピーダンス変換回路を省略した実施例である。

第 39 実 施 例

図90、図91および図92を参照して、本発明の第39実施例を説明する。図90、図91は、本発明の第39実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。単位セルP8-i-j付近の回路構成は第33実施例と同じである。

本実施例は図81に示した第33実施例と共通する部分が多いが、異なる点は、“信号成分+雑音成分”出力時と“雑音成分”のみの出力時との単位セル側から見たノイズキャン

セラのインピーダンスの違いを補正するための容量 C_{CMP} 160-1, 160-2, ... が、クランプ容量 131-1, 131-2, ... より撮像領域（単位セル）側に、垂直信号線 8-1, 8-2, ... に対して並列に、スイッチ 162-1, 162-2, ... を介して接続されていることである。補正容量 160 とスイッチ 162 は、図 90 の場合にはクランプ容量 131 と撮像領域の間に、また図 91 の場合には撮像領域と負荷トランジスタ 9 との間に接続されている。

図 92 は、本実施例における動作タイミングを示す。スイッチ 162 はクランプトランジスタ 132 によるクランプが終了し、垂直信号線にフォトダイオードのリセット後の雑音のみが出力されている期間にオン状態にする。そうすると、サンプルホールド時に垂直信号線 8 に連なる容量は、サンプルホールド容量 134 を C_{SH} 、クランプ容量 131 を C_{CL} とすると、次のようになる。

$$C = C_{CMP} + C_{SH} \cdot C_{CL} / (C_{CL} + C_{SH})$$

補正容量 C_{CMP} の大きさを、

$$2 \{ C_{CL} - C_{CL} \cdot C_{SH} / (C_{CL} + C_{SH}) \} > C_{CMP} > 0$$

の範囲で設定すると、補正容量が無い時に比べて、サンプルホールド時に垂直信号線に連なる容量は、クランプ容量 131 の容量 C_{CL} の大きさに近づく。そのため、差分 V_{CL} はより小さくなり、そのため雑音も小さくなる。

図 55 に垂直信号線 8 の電位とクランプノード 145 の電位の時間変化を示した。本実施例では、信号が 0 の暗時の場合のように垂直信号線 8 の電位がクランプ時に戻る電位とサ

ンプルホールド時に戻る電位が同じ場合、サンプルホールド終了時点でのクランプノードの電位は、 ΔV_{CL} に近い値まで戻ることなく0になる。従って、暗時であり信号が0であるのにも拘らず ΔV_{CL} に相当する信号が現れてしまう等の不都合はない。このため、 ΔV_{CL} のばらつきに起因する雑音の発生を未然に防止することができる。

このように本実施例によれば、雑音除去回路付きMOS型固体撮像素子において、垂直信号線8に補正容量160を設けることにより、雑音が発生する原因であった雑音除去動作中の容量変化を抑制することができ、より一層の雑音低下に寄与することが可能となる。すなわち、セルから見たインピーダンスがフォトダイオード選択後の信号プラスノイズ出力時と、リセット終了後のノイズ出力時で同一になり、正確にノイズキャンセルができる。

なお、第39実施例の変形例として、図83に示した第34実施例、図85に示した第35実施例、図86に示した第36実施例、図87に示した第37実施例、図89に示した第38実施例のノイズキャンセラにおいて、補正用容量を接続してもよい。

第34実施例～第39実施例としては、第33実施例に対してノイズキャンセラ回路部分が異なる実施例を説明したが、次に、第33～第39実施例に対して単位セルの構成が異なる他の実施例を説明する。

第 40 実施例

図 93 を用いて第 40 実施例を説明する。図 93 は第 40 実施例における増幅型 MOS センサを用いた固体撮像装置の全体を示す回路図である。本実施例の単位セル $P9-i-j$ は、第 33 実施例の単位セルからアドレス容量 69 を省略したものである。

本実施例では、増幅トランジスタ 64 のドレインが垂直アドレス回路 5 によりアドレスされたとき、増幅トランジスタ 64 のゲート下のチャネルの電位を変動させるために、ショートチャネル効果を利用する。即ち、増幅トランジスタ 64 のドレインの電位が高くなったとき、ドレインからゲート下のチャネルに空乏層が伸びて、閾値電圧が負の方向に変化することを利用する。アドレスされたラインの単位セルのフォトダイオード 62 の出力信号だけが垂直信号線 8 に現れる原理は第 33 実施例の場合と全く同じである。

このように、本実施例によれば、垂直選択トランジスタは勿論のこと、アドレス容量がなくとも垂直アドレス線をアドレスすることができ、これにより第 33 実施例よりも素子数を減らすことができ、セルの微細化をはかることができる。

第 40 実施例も第 33 実施例と同様に、ノイズキャンセラ部分を変形することができる。すなわち、図 81 ~ 図 92、および図 55 の説明は第 40 実施例にも等しく適用できる。

第 41 実施例

図 94 を用いて、第 41 実施例を説明する。図 94 は、本

実施例における増幅型MOSセンサを用いた構成の固体撮像装置の全体を示す回路図である。本実施例の単位セル $P10-i-j$ は、垂直選択トランジスタをセルの外に出して、1垂直アドレス線に1つだけにしたものである。すなわち、単位セル $P10-i-j$ はフォトダイオード $62-i-j$ と、フォトダイオード $62-i-j$ の検出信号を増幅する増幅トランジスタ $64-i-j$ と、フォトダイオード $62-i-j$ の信号電荷をリセットするリセットトランジスタ $66-i-j$ からなる。

垂直アドレス回路5から水平方向に配線されている垂直アドレス線 $6-1, 6-2, \dots$ は垂直選択トランジスタ $302-1, 302-2, \dots$ のゲートに接続され、垂直選択トランジスタ $302-1, 302-2, \dots$ のソースは各単位セルの増幅トランジスタ 64 のソースとリセットトランジスタ 66 のソースに接続される。垂直選択トランジスタ $302-1, 302-2, \dots$ のドレインは共通にドレイン端子 304 に接続される。

本実施例によれば、垂直アドレス回路5によりアドレスされた1垂直アドレス線は垂直選択トランジスタ 302 がオンするので、共通ドレイン電源 304 のレベル（ハイレベル）となるが、アドレスされていない垂直アドレス線は電氣的に浮遊している。そのため、アドレスされていない垂直アドレス線に接続される単位セルの増幅トランジスタ 64 は動作せず、アドレスされた垂直アドレス線に接続される単位セルのフォトダイオード 62 の検出信号のみが垂直信号線8に現れ

る。動作タイミングは図82に示した第33実施例と同じである。

第41実施例も第33実施例と同様にノイズキャンセラ部分を変形することができる。すなわち、図81～図92、および図55の説明は第41実施例にも等しく適用できる。

第 4 2 実 施 例

図95は第42実施例を説明するための図であって、増幅型MOSセンサを用いた固体撮像装置の全体を示す回路図である。本実施例の単位セルP11-i-jは、図81に示した第33実施例の基本セルから、リセットトランジスタ66とリセット線7を省略したものである。すなわち、単位セルP11-i-jはフォトダイオード62-i-jと、フォトダイオード62-i-jの検出信号を増幅する増幅トランジスタ64-i-jからなる。

垂直アドレス回路5から水平方向に配線されている垂直アドレス線6-1, 6-2, ...は増幅トランジスタ64のドレインに接続されるとともに、アドレス容量69を介して増幅トランジスタ64のゲートに接続される。

本実施例の動作タイミングチャートを図96に示す。垂直アドレス線6-1, 6-2, ...に印加されるアドレスパルスの途中に負の信号電荷排出パルスPdが挿入されている以外は、図82に示した第33実施例のタイミングチャートと同じである。

ここで、図96のタイミングの先後関係を説明する。必須

の順番は以下の通りである。

垂直アドレスパルスの1回目の立ち上がり→クランプパルスの立ち下がり→信号電荷排出パルスの立ち上がり→信号電荷排出パルスの立ち下がり→サンプルホールドパルスの立ち下がり→垂直アドレスパルスの2回目の立ち下がり

なお、垂直アドレスパルスの1回目の立ち上がり、サンプルホールドパルスの立ち上がり、クランプパルスの立ち上がりの前後関係は任意であるが、好ましくは上述した順番がよい。

本実施例の基本セルの断面構造と信号電荷の排出の様子を図97に示す。基本的な動作は第33実施例と同様であり、アドレス容量69を備えたことにより、垂直選択トランジスタがなくとも垂直アドレス線のアドレスが可能になる。そして、信号の読み出しが終わった後に垂直アドレス線6-1, 6-2, ...に負の信号電荷排出パルス P_d を印加し、結合容量を介してフォトダイオード62の電位を負の方向にバイアスし、内部の信号電荷をp型基板に排出する。これにより、信号電荷のリセットが可能となる。また、雑音除去回路の動作は第33実施例と何等変わるものではない。

このように、本実施例によれば、基本セルをフォトダイオード62、増幅トランジスタ64及びアドレス容量69で構成することができ、単位セルの大幅な微細化をはかることができる。

第42実施例も第33実施例と同様にノイズキャンセラ部分を変形することができる。すなわち、図81～図92、お

よび図55の説明は第42実施例にも等しく適用できる。

第 4 3 実 施 例

図98は第43実施例を説明するための図であって、増幅型MOSセンサを用いた固体撮像装置の全体を示す回路図である。本実施例の単位セルP12-i-jは、図81に示した第33実施例のセル構成においてフォトダイオード62と増幅トランジスタ64のゲートとの間に転送トランジスタ306を付加したものである。転送トランジスタ306の共通ゲート308は垂直アドレス回路5に接続される。

第 4 4 実 施 例

図99は第44実施例を説明するための図であって、増幅型MOSセンサを用いた固体撮像装置の全体を示す回路図である。本実施例の単位セルP13-i-jは、図93の第40実施例のセル構成においてフォトダイオード62と増幅トランジスタ64のゲートとの間に転送トランジスタ306を付加したものである。

第 4 5 実 施 例)

図100は第45実施例を説明するための図であって、増幅型MOSセンサを用いた固体撮像装置の全体を示す回路図である。本実施例の単位セルP14-i-jは、図94の第41実施例のセル構成においてフォトダイオード62と増幅トランジスタ64のゲートとの間に転送トランジスタ306

を付加したものである。

第 46 実 施 例

図 101 は第 46 実施例の増幅型 MOS センサを用いた固体撮像装置の全体を示す回路図である。本実施例の単位セル $P15-i-j$ は、図 95 の第 42 実施例のセル構成においてフォトダイオード 62 と増幅トランジスタ 64 のゲートとの間に転送トランジスタ 306 を付加したものである。

図 102 は、本実施例の動作を示すタイミングチャートである。水平ブランキング期間に垂直アドレス線 6-1 にハイレベルのアドレスパルスを印加すると、このハイレベルのアドレスパルスがこのラインに接続されている単位セルの増幅トランジスタ 64 のゲートにアドレス容量 69 を介して供給され、このゲート下のチャネルの電位が、他のラインに接続されている単位セルの増幅トランジスタ 64 のゲート下のチャネル電位より高くなり、オンする。したがって、垂直アドレス線 6-1 に接続されている単位セルの増幅トランジスタ 64 と負荷トランジスタ 9 でソースホロア回路が構成される。そして、増幅トランジスタ 64 のゲート電圧、即ちフォトダイオード 64 の電圧とほぼ同等の電圧が垂直信号線 8 に現れる。

このように、アドレスされたラインの増幅トランジスタ 64 のゲート電位のみが垂直信号線 8-1, 8-2, ... に現れ、他のラインの増幅トランジスタ 64 のゲート電位は現れない。したがって、垂直選択トランジスタを省略しても、垂直アド

レスラインのアドレスが可能である。

この後、垂直アドレス線6-1に振幅の大きい負の電荷排出パルスCDを印加して、フォトダイオード62の電荷をリセットする。そして、サンプルホールドトランジスタ133-1, 133-2, ...の共通ゲート143にハイレベルのサンプルホールドパルスを印加した後、クランプトランジスタ132-1, 132-2, ...の共通ゲート142にクランプパルスを印加し、クランプトランジスタ132-1, 132-2, ...をオンし、クランプノード145-1, 145-2, ...をクランプ電源141と同じ電圧に固定する。

次いで、クランプトランジスタ132-1, 132-2, ...をオフした後、電荷転送ライン308-1にハイレベルの転送パルスを印加し、電荷転送トランジスタ306-1, 306-2, ...をオンする。すると、クランプノード145-1, 145-2, ...には、フォトダイオード62に信号電荷があるときとリセットされて信号電荷がないときの垂直信号線8-1, 8-2, ...の電圧の差がクランプ電源141に加算された電圧が現れる。この後、サンプルホールドパルスの印加を終了する。

そして、水平アドレス回路13から水平アドレスパルスを水平選択トランジスタ12-1, 12-2, ...に順次印加し、水平信号線15から1ライン分の信号を順次取り出す。

ここで、図96のタイミングの先後関係を説明する。必須の順番は以下の通りである。

垂直アドレスパルスの1回目の立ち上がり→垂直アドレス

パルスの1回目の立ち下がり→垂直アドレスパルスの2回目の立ち上がり→クランプパルスの立ち下がり→電荷転送パルスの立ち上がり→電荷転送パルスの立ち下がり→サンプルホールドパルスの立ち下がり→垂直アドレスパルスの2回目の立ち下がり

なお、垂直アドレスパルスの2回目の立ち上がり、サンプルホールドパルスの立ち上がり、クランプパルスの立ち上がり、クランプパルスの立ち下がりの前後関係は任意であるが、好ましくは上述した順番がよい。

このような第43実施例～第46実施例の構成であれば、フォトダイオード62と増幅トランジスタ64とを分離することにより、電荷を検出する容量値を小さくし感度を上げることができる。また、転送トランジスタ306をオフしておいて、先ず信号電荷がないときの雑音成分に相当する電圧を垂直信号線8に出力し、続いて転送トランジスタ306をオンして信号電荷があるときの信号成分プラス雑音成分に相当する電圧を出力することも可能である。このように、最初にリセットすることは、リセット動作によって生じるランダム雑音も同時に除去することができる利点もある。

第43実施例～第46実施例も第33実施例と同様にノイズキャンセラ部分を変形することができる。すなわち、図81～図92、および図55の説明は第43実施例～第46実施例にも等しく適用できる。

本発明は上述した実施例に限定されず、種々変形して実施可能である。例えば、単位セルの増幅トランジスタを閾値バ

ラツキがないように製造できれば、固定パターン雑音は発生しないので、ノイズキャンセラは省略することができる。あるいは、固定パターン雑音が発生しても、画質に影響が無ければ、同じくノイズキャンセラは省略することができる。

各実施例のノイズキャンセラにおいては、入力信号がないときに読み出す信号電流（雑音成分のみ）が小さい方が雑音が少ないので、蓄積ドレイン電源端子に印加されている電圧とビデオバイアス電圧とをほぼ等しくすることが好ましい。ビデオバイアス電圧とは、水平信号線15から信号を電流で読み出すときに水平信号線15がほぼ固定される電圧である。これを実現した変形例を図95に示す。出力信号線15にオペアンプ176が接続され、オペアンプ176の入出力端間に負荷抵抗178が接続される。これによると、信号電流が強制的に負荷抵抗178に流れ、水平信号線15は仮想的にある電圧、すなわちビデオバイアス電圧に固定される。

さらに、単位セルは2次元マトリクス状に配列した実施例を説明したが、本発明は単位セルを1次元アレイ状に配列する構成の撮像装置にも適用できることは言うまでもない。つまり、単位セルを $m \times n$ の2次元マトリクス状に配列したエリアセンサとしての構成のほか、単位セルを一行に並べた1次元配列のラインセンサとしての構成にして利用することも容易にできる。

第 47 実 施 例

MOSセンサにおけるマトリクス配列の受光部分であるM

OSセルマトリクスを、ランダムアクセスしようとする場合、セル部を含めた周辺回路の構成は図103のようになる。

図103において、MOSセンサは、 $m \times n$ 個のフォトダイオードをマトリックス状に配列した $m \times n$ 画素構成のMOSセンサであり、フォトダイオード $m \times n$ 個をマトリックス状に配列した受光部（入力部）Iと、この受光部Iを構成する各フォトダイオードから順に信号を読み出すための読み出し制御部CONTおよびノイズキャンセラ回路部NCを備えた処理部III、この処理部IIIで読み出された信号を出力する出力部から構成される。

読み出し制御部CONTは垂直アドレス回路5と水平アドレス回路13とから構成され、垂直アドレス回路5は、垂直アドレスバッファBVA及び垂直デコーダ回路DVに置き換えられ、水平アドレス回路13は水平アドレスバッファBHA及び水平デコーダ回路DHに置き換えられる。そして、垂直アドレスバッファBVAにはアドレス信号A1～Aiが入力され、水平アドレスバッファBHAにはアドレス信号Ai～Anが入力され、これらのアドレスにより特定のセルが選択される。垂直デコーダ回路DV及び水平デコーダ回路DHはアドレスバッファBVA、BHAを経由して入力されたアドレス信号により特定のラインを選択する。

アドレスバッファBVA、BHA及びデコーダ回路DV、DHの具体的な構成の一例を図104に示す。説明を容易にするため、アドレス信号A1、A2、A3のみを用いた場合の例を示した。アドレス信号A1、A2、A3に対してそれぞれ

対応するインバータ INV1, INV2, INV3を通して反転された信号が元の信号と平行して縦の線で配置されている。これに対して三つずつ異なる信号が選ばれ、その3信号が入力される NOR 回路 NOR1, NOR2, NOR3が配置される。NOR 回路 NOR1, NOR2, NOR3はその3入力信号の NOR 論理をとり、全ての入力信号が L レベルであるもののみ H レベルの信号を出力し特定のラインを選択する。

垂直ラインを選択するアドレス信号と水平ラインを選択するアドレス信号は、別のアドレス端子から入力することも可能であるが、マルチプレクサ、アドレス信号を行アドレス信号（垂直方向のアドレス信号）として取り込むための RAS 信号及び、アドレス信号を列アドレス信号（水平方向のアドレス信号）として取り込むための CAS 信号を用い、同一のアドレス端子から入力することも可能である。

産業上の利用可能性

以上のように本発明によれば、ノイズキャンセルができて綺麗な画像信号を得ることができ、しかも、単一電源で駆動可能な増幅型の MOS 型固体撮像装置を提供できるようになる。また、単位セルを微細化でき、ひいては全体のサイズを小型化できる増幅型の MOS 型固体撮像装置を提供できるようになる。そして、さらにはこの増幅型の MOS 型固体撮像装置を使用することで、小型で省電力、高画質となる MOS 型固体撮像装置応用システムを提供できるようになる。

請 求 の 範 囲

1. 被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、

前記所定位置に導かれた光学像を画素単位で前記光学像の光量に対応した電気信号に光電変換するセンサを備えた画像処理手段と、

この画像処理手段の出力を所定形態に加工して出力する信号加工部と、

を有し、前記センサが、

前記所定位置に配置された光電変換素子と、

この光電変換素子と接続された増幅MOSトランジスタを含み、第1タイミングで前記光電変換素子の出力を増幅して出力し、第2タイミングで前記光電変換素子の出力と無関係なノイズを出力する出力回路と、

この出力回路の出力と接続され、前記第1及び第2タイミングにおける前記出力回路からみたインピーダンスが等しく、前記第1及び第2タイミングにおける前記出力回路の出力の差分を得る雑音除去回路と

を有することを特徴とする画像システム。

2. 被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、

前記所定位置に導かれた光学像を画素単位で前記光学像の光量に対応した電気信号に光電変換するセンサを備えた画像処理手段と、

2 1 3

この画像処理手段の出力を所定形態に加工して出力する信号加工部と

を有し、前記センサが、

前記所定位置に配置された光電変換素子と、

この光電変換素子と接続された増幅MOSトランジスタを含み、第1タイミングで前記光電変換素子の出力を増幅して出力し、第2タイミングで前記光電変換素子の出力と無関係なノイズを出力する出力回路と、

前記出力回路に接続された信号線と、

一端が前記信号線に接続されたクランプ容量と、このクランプ容量の他端と所定電位との間に接続されたサンプルホールド容量と、前記クランプ容量と前記サンプルホールド容量の直列容量の2倍未満の容量を前記信号線と所定電位との間に選択的に印加するインピーダンス補正回路とを有し、前記第1及び第2タイミングにおける前記出力回路の出力の差分を得る雑音除去回路と

を有することを特徴とする画像システム。

3. 被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、

前記所定位置に導かれた光学像を画素単位で前記光学像の光量に対応した電気信号に光電変換するセンサを備えた画像処理手段と、

この画像処理手段の出力を所定形態に加工して出力する信号加工部と

を有し、前記センサが、

前記所定位置に配置された光電変換素子と、

この光電変換素子と接続された増幅MOSトランジスタを含み、第1タイミングで前記光電変換素子の出力を増幅して出力し、第2タイミングで前記光電変換素子の出力と無関係なノイズを出力する出力回路と、

この出力回路の出力と接続された信号線と、

この信号線に入力が接続されたソースフォロア回路と、

このソースフォロア回路の出力に一端が接続されたクランプ容量と、

このクランプ容量の他端と第1所定電位の間に接続されたサンプルホールド容量と、

前記クランプ容量の他端と第2所定電位の間に接続され、選択的に前記サンプルホールド容量をクランプするクランプトランジスタと

を有することを特徴とする画像システム。

4. 被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、

前記所定位置に導かれた光学像を画素単位で前記光学像の光量に対応した電気信号に光電変換するセンサを備えた画像処理手段と、

この画像処理手段の出力を所定形態に加工して出力する信号加工部と

を有し、前記センサが、

前記所定位置に配置された光電変換素子と、

この光電変換素子と接続された増幅MOSトランジスタを

含み、第1タイミングで前記光電変換素子の出力を増幅して出力し、第2タイミングで前記光電変換素子の出力と無関係なノイズを出力する出力回路と、

この出力回路の出力と接続された信号線と、

この信号線に一端が接続されたクランプ容量と、

このクランプ容量の他端と第1所定電位の間に接続されたサンプルホールド容量と、

前記クランプ容量の他端と第2所定電位の間に接続され、所定のタイミングで前記サンプルホールド容量をクランプするクランプトランジスタと

を有することを特徴とする画像システム。

5. 被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、

前記所定位置に導かれた光学像を画素単位で前記光学像の光量に対応した電気信号に光電変換するセンサを備えた画像処理手段と、

この画像処理手段の出力を所定形態に加工して出力する信号加工部と

を有し、前記センサが、

第1タイミングで雑音及び前記光量に対応した電圧を出力し、第2タイミングで前記雑音に対応した電圧を出力する画素と、

この画素の出力が供給される第1ノードと、電荷を蓄積する第2ノードと、

この第2ノードから前記第1ノードの電位に従って制御され

た所定量の電荷が転送される第3ノードとを有する3端子素子を含み、前記第1及び第2タイミングにおける前記画素の出力の差分を得る雑音除去回路と

を有することを特徴とする画像システム。

6. 被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、

前記所定位置に導かれた光学像を画素単位で前記光学像の光量に対応した電気信号に光電変換するセンサを備えた画像処理手段と、

この画像処理手段の出力を所定形態に加工して出力する信号加工部と

を有し、前記センサが、

第1タイミングで雑音及び前記光量に対応した電圧を出力し、第2タイミングで前記雑音に対応した電圧を出力する画素と、

前記第1タイミングにおける前記画素の出力電圧に応じた電荷量と前記第2タイミングにおける前記画素の出力電圧に応じた電荷量との差を出力する雑音除去回路と、

を有することを特徴とする画像システム。

7. 被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、

前記所定位置に導かれた光学像を画素単位で前記光学像の光量に対応した電気信号に光電変換するセンサを備えた画像処理手段と、

この画像処理手段の出力を所定形態に加工して出力する信

号加工部と

を有し、前記センサが、

第 1 タイミングで雑音及び前記光量に対応した第 1 電気信号を出力し、第 2 タイミングで前記雑音に対応した第 2 電気信号を出力する画素と、

同一の入力インピーダンスで前記第 1 及び第 2 電気信号を入力し、前記第 1 及び第 2 電気信号の差分を出力する雑音除去回路と

を有することを特徴とする画像システム。

8. 被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、

前記所定位置に導かれた光学像を画素単位で前記光学像の光量に対応した電気信号に光電変換するセンサを備えた画像処理手段と、

この画像処理手段の出力を所定形態に加工して出力する信号加工部と

を有し、前記画像処理手段の出力のダイナミックレンジが 70 dB 以上であることを特徴とする画像システム。

9. 前記センサの出力はアナログ信号であり、前記画像処理手段は前記センサの出力をデジタル信号に変換するアナログーデジタル変換回路と、前記センサの動作を制御するタイミング信号を前記センサに供給するタイミング信号発生回路とをさらに有することを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の画像システム。

10. 前記タイミング信号の電源レベルが前記センサに供

給される電源レベルと同一であることを特徴とする請求項9記載の画像システム。

11. 前記センサの出力が電圧信号であり、前記画像処理手段は、

前記センサの出力が供給される電圧－電流変換回路と、
この電圧－電流変換回路の出力が供給される電流－電圧変換回路と、

この電流－電圧変換回路の出力を所望感度に対応した利得で増幅する増幅回路と、

この増幅回路の出力をクランプするクランプ回路と
をさらに有することを特徴とする請求項1乃至8のいずれか1項に記載の画像システム。

12. 前記センサの出力が電圧信号であり、前記画像処理手段は、

前記センサの出力が供給される電圧－電流変換回路と、
この電圧－電流変換回路の出力が供給される電流－電圧変換回路と、

この電流－電圧変換回路の出力を所望感度に対応した利得で増幅する増幅回路と、

この増幅回路の出力をクランプして前記アナログ－デジタル変換回路に供給するクランプ回路と

をさらに有することを特徴とする請求項9記載の画像システム。

13. 前記信号加工部は前記画像処理手段の出力に対して所定のプロセス処理を施すプロセス回路と、このプロセス回

路の出力を複合映像信号に変換するエンコーダ回路とを有することを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の画像システム。

14. 前記光学系は、

前記光学像を集光するレンズと、

前記画像処理手段に対する入射光量を調整する絞り調整手段と、

前記レンズと前記画像処理手段との距離を調整するフォーカス調整手段と、

前記画素上に設けられた色フィルタと

を有することを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の画像システム。

15. 前記画像処理手段が前記光学像の波長に応じて複数設けられており、

前記光学系は、

前記光学像を集光するレンズと、

前記画像処理手段に対する入射光量を調整する絞り調整手段と、

前記レンズと複数の前記画像処理手段との距離を調整するフォーカス調整手段と、

前記レンズにより集光された光学像を波長により複数の分光し、この分光された光学像を複数の前記画像処理手段に供給する分光手段と

を有することを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の画像システム。

16. 前記信号加工部は前記画像処理手段の出力を所定形態で記憶する記憶手段を備えていることを特徴とする請求項1乃至8のいずれか1項に記載の画像システム。

17. 前記信号加工部は前記画像処理手段の出力を所定形態で表示する画像モニタを備えていることを特徴とする請求項1乃至8のいずれか1項に記載の画像システム。

18. 前記信号加工部は前記画像処理手段の出力を所定形態で印刷する印刷手段を備えていることを特徴とする請求項1乃至8のいずれか1項に記載の画像システム。

19. 前記信号加工部の出力が供給されるインターフェイス回路と、

このインタフェイス回路の出力が供給される信号バスと、
この信号バスに接続された情報処理装置と

をさらに備えたことを特徴とする請求項1乃至8のいずれか1項に記載の画像システム。

20. 前記アナログーデジタル変換回路の出力を記憶するフレームメモリと、

このフレームメモリに記憶された信号を圧縮する圧縮装置と

をさらに有することを特徴とする請求項9記載の画像システム。

21. 前記圧縮装置の出力を記憶する記憶手段をさらに有することを特徴とする請求項20記載の画像システム。

22. 前記画像圧縮装置の出力が供給されるインターフェイス回路と、

このインターフェース回路の出力が供給される信号バスとをさらに有することを特徴とする請求項20記載の画像システム。

23. 前記被写体に光を照射する光源をさらに有し、
前記信号加工部は前記画像処理手段の出力に従って前記被写体に対応する画像を印刷する印刷装置を含み、

前記光学像は前記光源からの光による前記被写体からの反射光であることを特徴とする請求項1乃至8のいずれか1項に記載の画像システム。

24. 前記被写体と前記光源を相対的に移動させる移動装置をさらに有することを特徴とする請求項23記載の画像システム。

25. 前記被写体に光を照射する光源をさらに有し、
前記信号加工部は前記画像処理手段の出力を電話回線に送信する為の信号変換を行うモデムを含み、

前記光学像は前記光源からの光による前記被写体からの反射光であることを特徴とする請求項1乃至8のいずれか1項に記載の画像システム。

26. 前記被写体と前記光源を相対的に移動させる移動装置をさらに有することを特徴とする請求項25記載の画像システム。

27. 前記被写体に光を照射する光源と、
前記被写体と前記光源を相対的に移動させる移動手段と、
前記被写体と前記光源との位置関係を検出する位置検出手段と、

をさらに有し、

前記信号加工部は前記位置検出手段の出力を用いて前記画像処理手段の出力を加工し、

前記光学像は前記光源からの光による前記被写体からの反射光であることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の画像システム。

28. 前記画像処理手段において前記画素は所定方向に 1 次元に配列されており、

前記光学系は、移動手段により移動可能に配置されたレンズと、このレンズより前記センサ側に距離を置いて配置され、前記レンズからの光を前記所定方向に 2 分して前記センサに供給する 1 対のセパレータレンズを含み、

前記信号加工部は、2 分された前記セパレータレンズからの光の焦点位置間の距離を検出し、この検出結果に基づいて前記移動手段を駆動する信号を出力することを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の画像システム。

29. 前記被写体に光を照射する光源をさらに有し、

前記被写体は前記光源と前記センサの間に配置され映像が撮影されたフィルムであることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の画像システム。

30. 光電変換素子と、

この光電変換素子と接続された増幅 MOS トランジスタを含み、第 1 タイミングで前記光電変換素子の出力を増幅して出力し、第 2 タイミングで前記光電変換素子の出力と無関係なノイズを出力する出力回路と、

この出力回路の出力と接続され、前記第 1 及び第 2 タイミングにおける前記出力回路からみたインピーダンスが等しく、前記第 1 及び第 2 タイミングにおける前記出力回路の出力の差分を得る雑音除去回路と

を有する固体撮像装置。

31. 前記出力回路と前記雑音除去回路を接続する信号線をさらに有することを特徴とする請求項 30 記載の固体撮像装置。

32. 前記雑音除去回路は、

一端が前記信号線に接続されたクランプ容量と、

このクランプ容量の他端とクランプ電位との間に接続され選択的に導通するクランプトランジスタと、

前記クランプ容量の他端と所定電位との間に接続されたサンプルホールド容量と、

前記信号線と所定電位の間に接続されたインピーダンス補正回路と

を有することを特徴とする請求項 31 記載の固体撮像装置。

33. 前記インピーダンス補正回路は、

前記クランプトランジスタが非導通の際に選択的に導通するスイッチ素子と、

このスイッチ素子と直列接続され、前記クランプ容量と前記サンプルホールド容量の直列容量に等しい容量を有する補正容量と

を有することを特徴とする請求項 32 記載の固体撮像装置。

34. 前記雑音除去回路は、前記信号線に接続されたイン

ピーダンス変換回路を有し、前記出力回路からみたインピーダンスはこのインピーダンス変換回路の入力インピーダンスであることを特徴とする請求項 3 1 記載の固体撮像装置。

3 5. 前記インピーダンス変換回路は、

ゲートが前記信号線に接続され、ソースが所定電位に接続された入力 MOS トランジスタと、

この第 2 MOS トランジスタのドレインと電源電位との間に接続された負荷と

を有することを特徴とする請求項 3 4 記載の固体撮像装置。

3 6. 前記雑音除去回路は、ゲートが前記信号線に接続されたスライストランジスタを有し、前記出力回路からみたインピーダンスはこのスライストランジスタのゲート容量であることを特徴とする請求項 3 1 記載の固体撮像装置。

3 7. 前記雑音除去回路は、

前記スライストランジスタのソースとスライスパルス供給端子との間に接続されたスライス容量と、

前記スライストランジスタのドレインと所定電位との間に接続され、前記差分を充電するスライス電荷転送容量と

をさらに有することを特徴とする請求項 3 6 記載の固体撮像装置。

3 8. 光電変換素子と、

この光電変換素子と接続された増幅 MOS トランジスタを含み、第 1 タイミングで前記光電変換素子の出力を増幅して出力し、第 2 タイミングで前記光電変換素子の出力と無関係なノイズを出力する出力回路と、

前記出力回路に接続された信号線と、

一端が前記信号線に接続されたクランプ容量と、このクランプ容量の他端と所定電位との間に接続されたサンプルホールド容量と、前記クランプ容量と前記サンプルホールド容量の直列容量前記クランプ容量との差の2倍未満の容量を前記信号線と所定電位との間に選択的に印加するインピーダンス補正回路と

を有し、前記第1及び第2タイミングにおける前記出力回路の出力の差分を得る雑音除去回路と

を有する固体撮像装置。

39. 光電変換素子と、

この光電変換素子と接続された増幅MOSトランジスタを含み、第1タイミングで前記光電変換素子の出力を増幅して出力し、第2タイミングで前記光電変換素子の出力と無関係なノイズを出力する出力回路と、

この出力回路の出力と接続された信号線と、

この信号線に入力接続されたソースフォロア回路と、

このソースフォロア回路の出力に一端が接続されたクランプ容量と、

このクランプ容量の他端と第1所定電位の間に接続されたサンプルホールド容量と、

前記クランプ容量の他端と第2所定電位の間に接続され、選択的に前記サンプルホールド容量をクランプするクランプトランジスタと

を有する固体撮像装置。

40. 前記クランプ容量と前記サンプルホールド容量とが同一基板上で平面的に重なって形成されていることを特徴とする請求項39記載の固体撮像装置。

41. 光電変換素子と、

この光電変換素子と接続された増幅MOSトランジスタを含み、第1タイミングで前記光電変換素子の出力を増幅して出力し、第2タイミングで前記光電変換素子の出力と無関係なノイズを出力する出力回路と、

この出力回路の出力と接続された信号線と、

この信号線に一端が接続されたクランプ容量と、

このクランプ容量の他端と第1所定電位の間に接続されたサンプルホールド容量と、

前記クランプ容量の他端と第2所定電位の間に接続され、所定のタイミングで前記サンプルホールド容量をクランプするクランプトランジスタと

を有する固体撮像装置。

42. 第1タイミングで雑音及び入射光に応じた電圧を出力し、第2タイミングで前記雑音に応じた電圧を出力する画素と、

この画素の出力が供給される第1ノードと、電荷を蓄積する第2ノードと、

この第2ノードから前記第1ノードの電位に従って制御された所定量の電荷が転送される第3ノードとを有する3端子素子を含み、前記第1及び第2タイミングにおける前記画素の出力の差分を得る雑音除去回路と

を有する固体撮像装置。

43. 前記3端子素子は、前記第1ノードをゲート、前記第2ノードをソース、前記第3ノードをドレインとするMOSトランジスタであることを特徴とする請求項42記載の固体撮像装置。

44. 第1タイミングで雑音及び入射光に応じた電圧を出力し、第2タイミングで前記雑音に応じた電圧を出力する画素と、

前記第1タイミングにおける前記画素の出力電圧に応じた電荷量と前記第2タイミングにおける前記画素の出力電圧に応じた電荷量との差を出力する雑音除去回路と

を有する固体撮像装置。

45. 第1タイミングで雑音及び入射光に応じた第1電気信号を出力し、第2タイミングで前記雑音に応じた第2電気信号を出力する画素と、

同一の入力インピーダンスで前記第1及び第2電気信号を入力し、前記第1及び第2電気信号の差分を出力する雑音除去回路と

を有する固体撮像装置。

46. 複数の水平選択線と、

前記水平選択線と交差する複数の垂直信号線と、

前記水平選択線と前記垂直信号線の各交差位置に設けられ、前記水平選択線の電位に応じて選択的に活性化され、この活性化期間中の第1タイミングで雑音及び入射光に応じた第1電気信号を対応する前記垂直信号線に出力し、前記活性化期

間中の第2タイミングで前記雑音に応じた第2電気信号を対応する前記垂直信号線に出力する複数の画素と、

前記複数の垂直信号線の各一端に設けられ、同一の入力インピーダンスで前記第1及び第2電気信号を入力し、前記第1及び第2電気信号の差分を出力する複数の雑音除去回路とを有する固体撮像装置。

47. 複数の水平選択線と、

前記水平選択線と交差する複数の垂直信号線と、

前記水平選択線と前記垂直信号線の各交差位置に設けられ、前記水平選択線の電位に応じて選択的に活性化され、この活性化期間中の第1タイミングで雑音及び入射光に応じた第1電気信号を対応する前記垂直信号線に出力し、前記活性化期間中の第2タイミングで前記雑音に応じた第2電気信号を対応する前記垂直信号線に出力する複数の画素と、

前記複数の垂直信号線の各一端に接続された第1ノードと、電荷を蓄積する第2ノードと、この第2ノードから前記第1ノードの電位に従って制御された所定量の電荷が転送される第3ノードとを有する3端子素子を含み、前記第1及び第2タイミングにおける前記画素の出力の差分を得る複数の雑音除去回路と

を有する固体撮像装置。

48. (電荷領域のエリアセンサ)

複数の水平選択線と、

前記水平選択線と交差する複数の垂直信号線と、

前記水平選択線と前記垂直信号線の各交差位置に設けられ、

前記水平選択線の電位に応じて選択的に活性化され、この活性化期間中の第1タイミングで雑音及び入射光に応じた第1電圧を対応する前記垂直信号線に出力し、前記活性化期間中の第2タイミングで前記雑音に応じた第2電圧を対応する前記垂直信号線に出力する複数の画素と、

前記複数の垂直信号線の各一端に設けられ、前記第1電圧に応じた電荷量と前記第2電圧に応じた電荷量との差を出力する複数の雑音除去回路と

を有する固体撮像装置。

49. 複数の水平選択線と、

前記水平選択線と交差する複数の垂直信号線と、

前記水平選択線と前記垂直信号線の各交差位置に設けられ、前記水平選択線の電位に応じて選択的に活性化され、この活性化期間中の第1タイミングで雑音及び入射光に応じた第1電気信号を対応する前記垂直信号線に出力し、前記活性化期間中の第2タイミングで前記雑音に応じた第2電気信号を対応する前記垂直信号線に出力する複数の画素と、

前記複数の垂直信号線の各一端と接続された複数のクランプ容量と、この複数のクランプ容量の各他端と第1所定電位の間に接続された複数のサンプルホールド容量と、前記複数のクランプ容量の各他端と第2所定電位の間に接続され所定のタイミングで対応する前記サンプルホールド容量をクランプする複数のクランプトランジスタとを備えた複数の雑音除去回路と

を有する固体撮像装置。

50. 前記複数の水平選択線を選択的に順次活性化する第1シフトレジスタと、

出力端子と、

一端が前記複数の雑音除去回路の各出力に接続され、他端が前記出力端子に共通接続された複数のスイッチング素子と、

前記複数のスイッチング素子を選択的に導通させる制御信号を順次出力する第2シフトレジスタと

をさらに有することを特徴とする請求項46乃至49のいずれか1項記載の固体撮像装置。

51. 出力端子と、

一端が前記複数の雑音除去回路の各出力に接続され、他端が前記出力端子に共通接続された複数のスイッチング素子と、

アドレス信号を入力するアドレス端子と、

前記アドレス信号をデコードし、この結果に従って前記複数の水平選択線を選択的に活性化するとともに、前記複数のスイッチング素子を選択的に導通させる制御信号を出力するアドレスデコーダと

をさらに有することを特徴とする請求項46乃至49のいずれか1項記載の固体撮像装置。

52. 前記第1及び第2シフトレジスタを駆動するタイミング信号を生成するタイミングジェネレータと、

前記出力端子に入力が結合されたアナログ・デジタル変換回路と

をさらに有することを特徴とする請求項50記載の固体撮像装置。

53. 前記出力端子に入力が結合されたアナログ・デジタル変換回路をさらに有することを特徴とする請求項51記載の固体撮像装置。

54. 前記出力端子の信号を増幅して前記アナログ・デジタル変換回路の入力に供給するアナログ増幅回路をさらに有することを特徴とする請求項53記載の固体撮像装置。

55. (クレーム52にアンプ付加)

前記出力端子の信号を増幅して前記アナログ・デジタル変換回路の入力に供給するアナログ増幅回路をさらに有することを特徴とする請求項52記載の固体撮像装置。

56. 複数の垂直信号線と、

この複数の垂直信号線に対応して各々設けられ、第1タイミングで雑音及び入射光に応じた第1電気信号に対応する前記垂直信号線に出力し、第2タイミングで前記雑音に応じた第2電気信号に対応する前記垂直信号線に出力する複数の画素と、

前記複数の垂直信号線の各一端に設けられ、同一の入力インピーダンスで前記第1及び第2電気信号を入力し、前記第1及び第2電気信号の差分を出力する複数の雑音除去回路とを有する固体撮像装置。

57. 複数の垂直信号線と、

この複数の垂直信号線に対応して各々設けられ、第1タイミングで雑音及び入射光に応じた第1電気信号に対応する前記垂直信号線に出力し、第2タイミングで前記雑音に応じた第2電気信号に対応する前記垂直信号線に出力する複数の画

素と、

前記複数の垂直信号線の各一端に接続された第1ノードと、電荷を蓄積する第2ノードと、この第2ノードから前記第1ノードの電位に従って制御された所定量の電荷が転送される第3ノードとを有する3端子素子を含み、前記第1及び第2タイミングにおける前記画素の出力の差分を得る複数の雑音除去回路と

を有する固体撮像装置。

58. 複数の垂直信号線と、

この複数の垂直信号線に対応して各々設けられ、第1タイミングで雑音及び入射光に応じた第1電圧に対応する前記垂直信号線に出力し、第2タイミングで前記雑音に応じた第2電圧に対応する前記垂直信号線に出力する複数の画素と、

前記複数の垂直信号線の各一端に設けられ、前記第1電圧に応じた電荷量と前記第2電圧に応じた電荷量との差を出力する複数の雑音除去回路と

を有する固体撮像装置。

59. 複数の垂直信号線と、

この複数の垂直信号線に対応して各々設けられ、第1タイミングで雑音及び入射光に応じた第1電気信号に対応する前記垂直信号線に出力し、第2タイミングで前記雑音に応じた第2電気信号に対応する前記垂直信号線に出力する複数の画素と、

前記複数の垂直信号線の各一端と接続された複数のクランプ容量と、この複数のクランプ容量の各他端と第1所定電位

の間に接続された複数のサンプルホールド容量と、前記複数のクランプ容量の各他端と第2所定電位の間に接続され所定のタイミングで対応する前記サンプルホールド容量をクランプする複数のクランプトランジスタと

を備えた複数の雑音除去回路と

を有する固体撮像装置。

60. 複数の水平選択線と、

この水平選択線と交差する垂直信号線と、

前記水平選択線と前記垂直信号線の各交差位置に設けられ、前記水平選択線の電位に応じて選択的に活性化され、この活性化期間中の第1タイミングで雑音及び入射光に応じた第1電気信号を前記垂直信号線に出力し、前記活性化期間中の第2タイミングで前記雑音に応じた第2電気信号を前記垂直信号線に出力する複数の画素と、

前記垂直信号線の一端に設けられ、同一の入力インピーダンスで前記第1及び第2電気信号を入力し、前記第1及び第2電気信号の差分を出力する雑音除去回路と

を有する固体撮像装置。

61. 複数の水平選択線と、

この水平選択線と交差する垂直信号線と、

前記水平選択線と前記垂直信号線の各交差位置に設けられ、前記水平選択線の電位に応じて選択的に活性化され、この活性化期間中の第1タイミングで雑音及び入射光に応じた第1電気信号を前記垂直信号線に出力し、前記活性化期間中の第2タイミングで前記雑音に応じた第2電気信号を前記垂直信

号線に出力する複数の画素と、

前記垂直信号線の一端に接続された第 1 ノードと、電荷を蓄積する第 2 ノードと、この第 2 ノードから前記第 1 ノードの電位に従って制御された所定量の電荷が転送される第 3 ノードとを有する 3 端子素子を含み、前記第 1 及び第 2 タイミングにおける前記画素の出力の差分を得る雑音除去回路とを有する固体撮像装置。

6 2. 複数の水平選択線と、

前記水平選択線と交差する垂直信号線と、

前記水平選択線と前記垂直信号線の各交差位置に設けられ、前記水平選択線の電位に応じて選択的に活性化され、この活性化期間中の第 1 タイミングで雑音及び入射光に応じた第 1 電圧を前記垂直信号線に出力し、前記活性化期間中の第 2 タイミングで前記雑音に応じた第 2 電圧を前記垂直信号線に出力する複数の画素と、

前記垂直信号線の一端に設けられ、前記第 1 電圧に応じた電荷量と前記第 2 電圧に応じた電荷量との差を出力する雑音除去回路と

を有する固体撮像装置。

6 3. 複数の水平選択線と、

前記水平選択線と交差する垂直信号線と、

前記水平選択線と前記垂直信号線の各交差位置に設けられ、前記水平選択線の電位に応じて選択的に活性化され、この活性化期間中の第 1 タイミングで雑音及び入射光に応じた第 1 電気信号を前記垂直信号線に出力し、前記活性化期間中の第

2 タイミングで前記雑音に応じた第2電気信号を前記垂直信号線に出力する複数の画素と、

前記垂直信号線の一端と接続されたクランプ容量と、このクランプ容量の他端と第1所定電位の間に接続されたサンプルホールド容量と、前記クランプ容量の他端と第2所定電位の間に接続され所定のタイミングで前記サンプルホールド容量をクランプするクランプトランジスタとを備えた雑音除去回路と

を有する固体撮像装置。

64. 半導体基板と、

この半導体基板表面に形成された請求項46乃至63のいずれか1項に記載の固体撮像装置と、

この固体撮像装置上に形成され、前記複数の画素に対応する複数の開口を有する遮光膜と

を有する半導体集積回路。

65. 前記開口上に選択的に形成された色フィルタをさらに有することを特徴とする請求項64記載の半導体集積回路。

66. 前記開口上に形成されたマイクロレンズをさらに有することを特徴とする請求項64記載の半導体集積回路。

67. MOSトランジスタのゲートに第1電圧を印加するステップと、

前記MOSトランジスタのソースに一端が接続されたコンデンサに充電された電荷をリセットするステップと、

前記コンデンサの他端に第1パルスを印加し、所定電荷を前記MOSトランジスタのソースからドレインを介して放電

するステップと、

前記MOSトランジスタのゲートに第2電圧を印加するステップと、

前記コンデンサの他端に前記第1パルスと振幅の等しい第2パルスを印加し、

前記第1電圧と第2電圧の差分に相当する電荷を前記MOSトランジスタのソー

スからドレインに転送するステップと

を有する差分信号出力方法。

68. 第1コンデンサの一端に第1電圧を印可すると共に、前記第1コンデンサの他端にクランプ電圧を印可するステップと、

前記第1コンデンサの一端に第2電圧を印可することにより前記第1コンデンサの他端に前記第1電圧と第2電圧の差分を前記第1コンデンサの他端に一端が直接接続された第2コンデンサに充電するステップと

を有する差分出力方法。

69.

前記第1コンデンサの一端はインピーダンス変換回路の出力端子に接続され、

前記第1及び第2電圧はこのインピーダンス変換回路の出力であることを特徴とする請求項68記載の差分出力方法。

70. 前記第1及び第2電圧は、一方が固体撮像素子の画素に入射された入射光に対応する出力電圧と前記画素から生

じる固定パタンノイズ電圧の和であり、他方が前記固定パタンノイズであることを特徴とする請求項67乃至69のいずれか1項記載の差分出力方法。

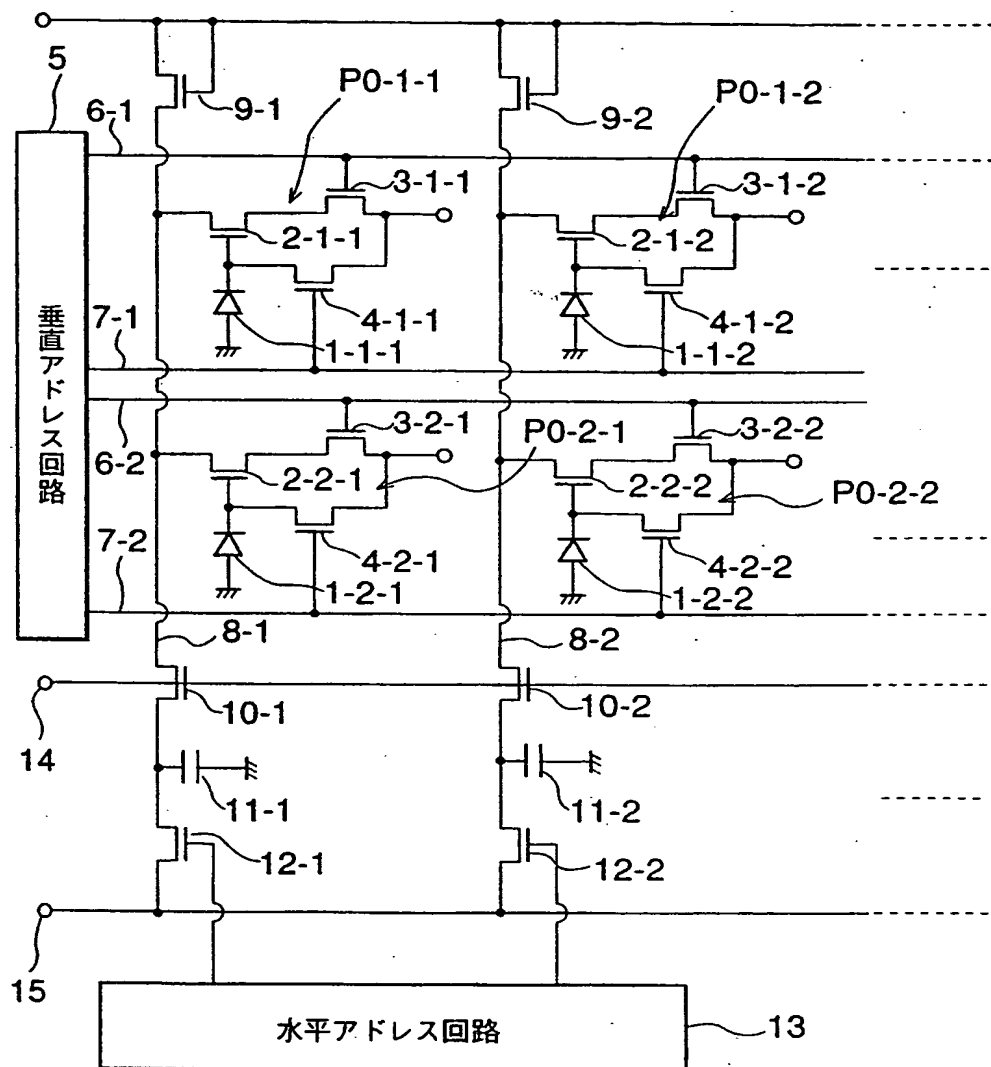


FIG. 1

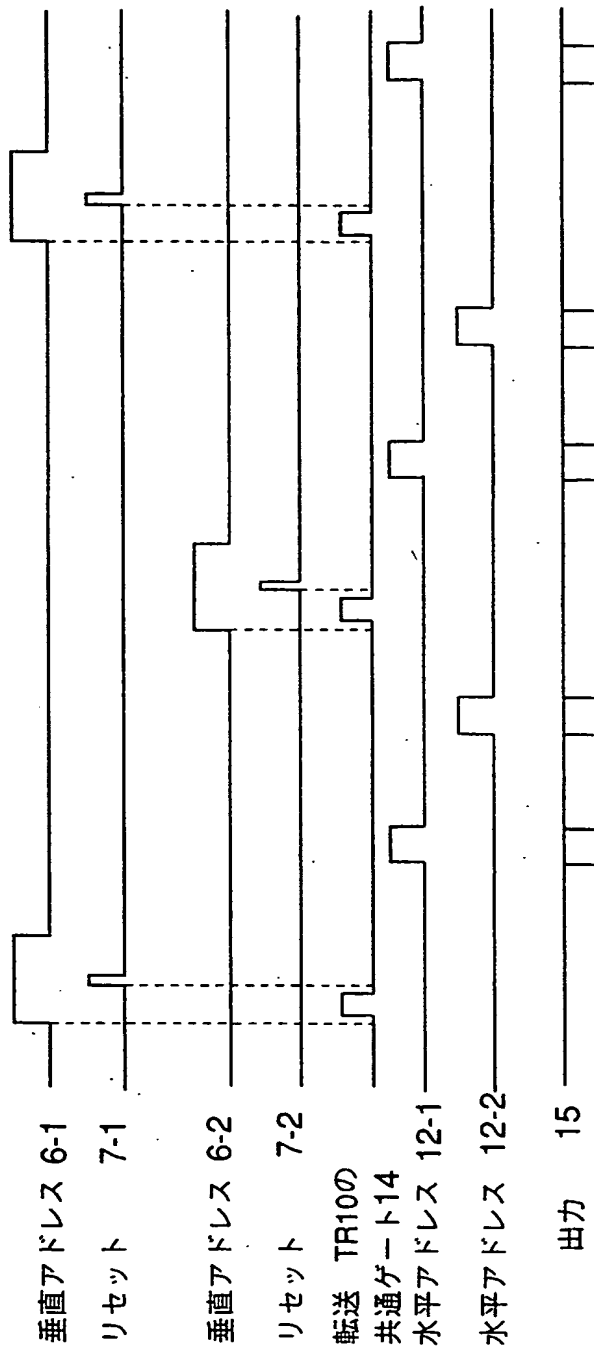


FIG. 2

3 / 90

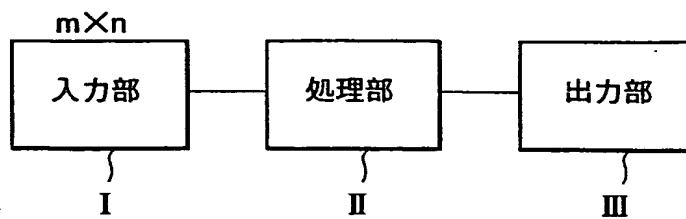


FIG.3

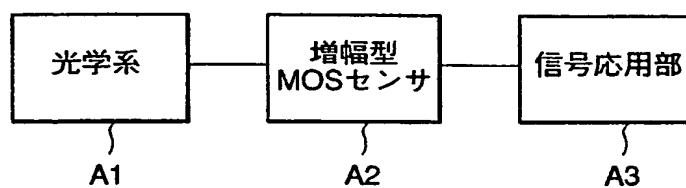


FIG.4

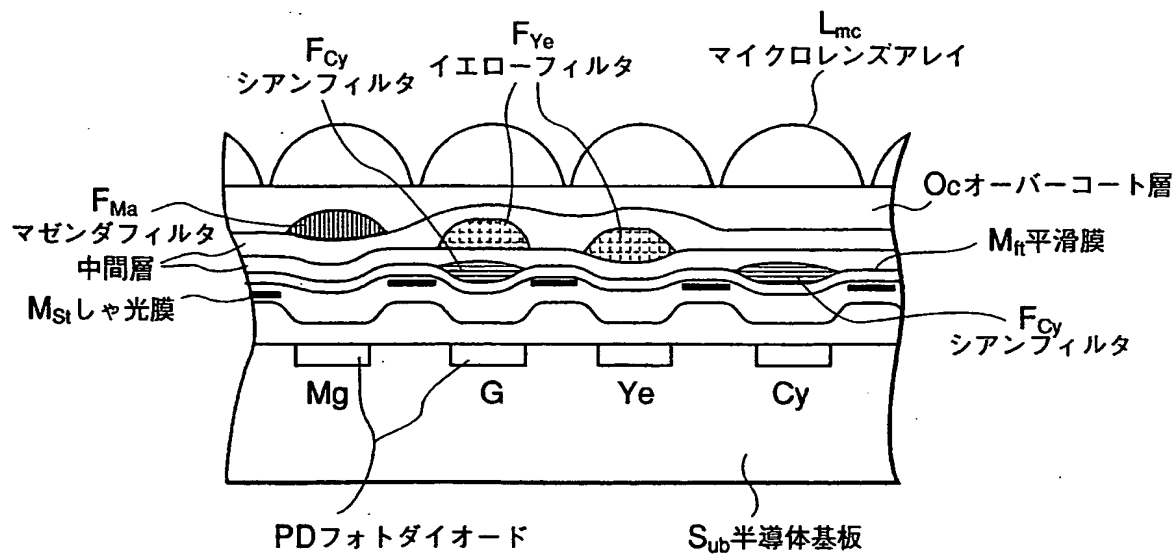


FIG.6

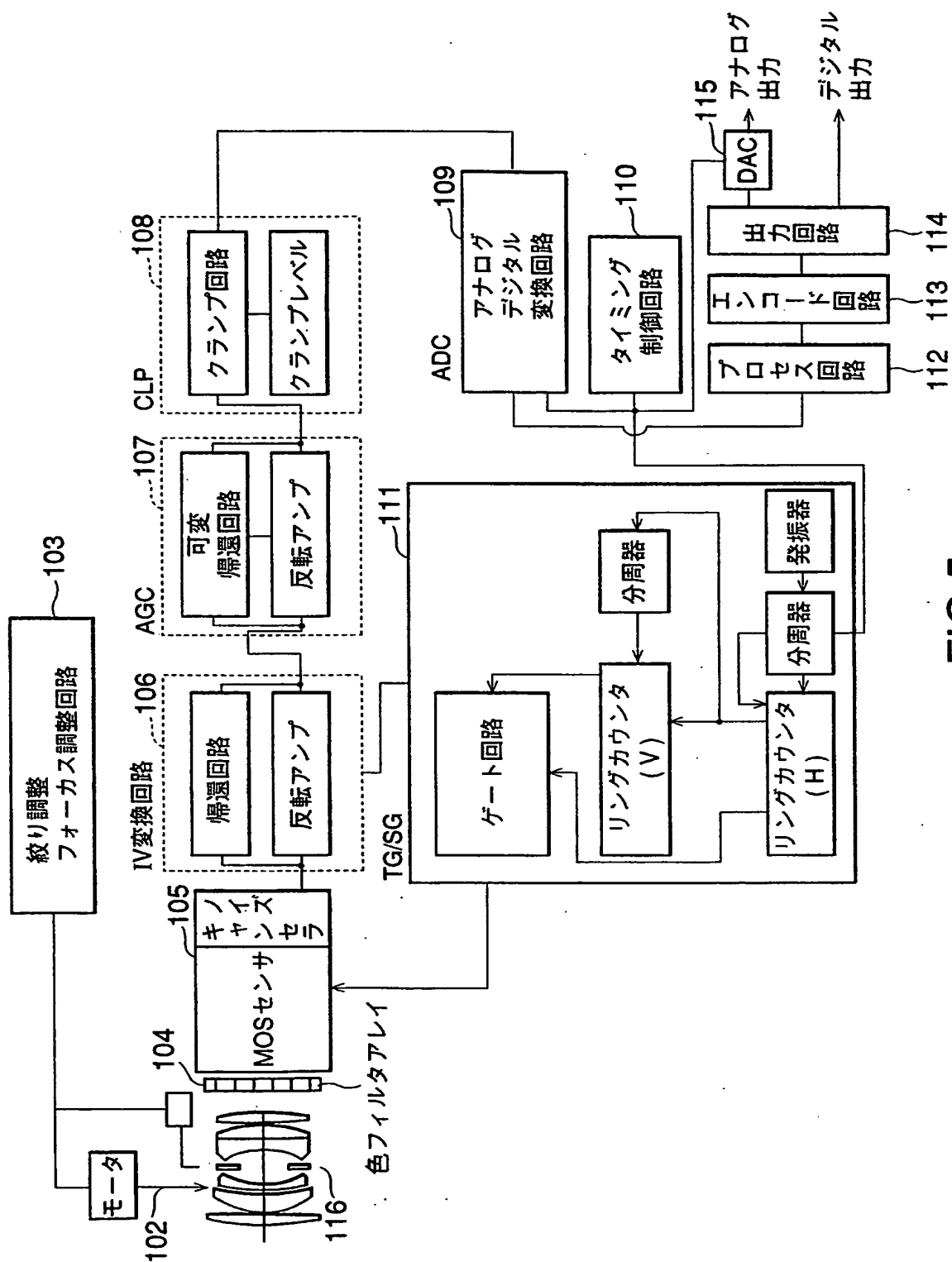


FIG. 5

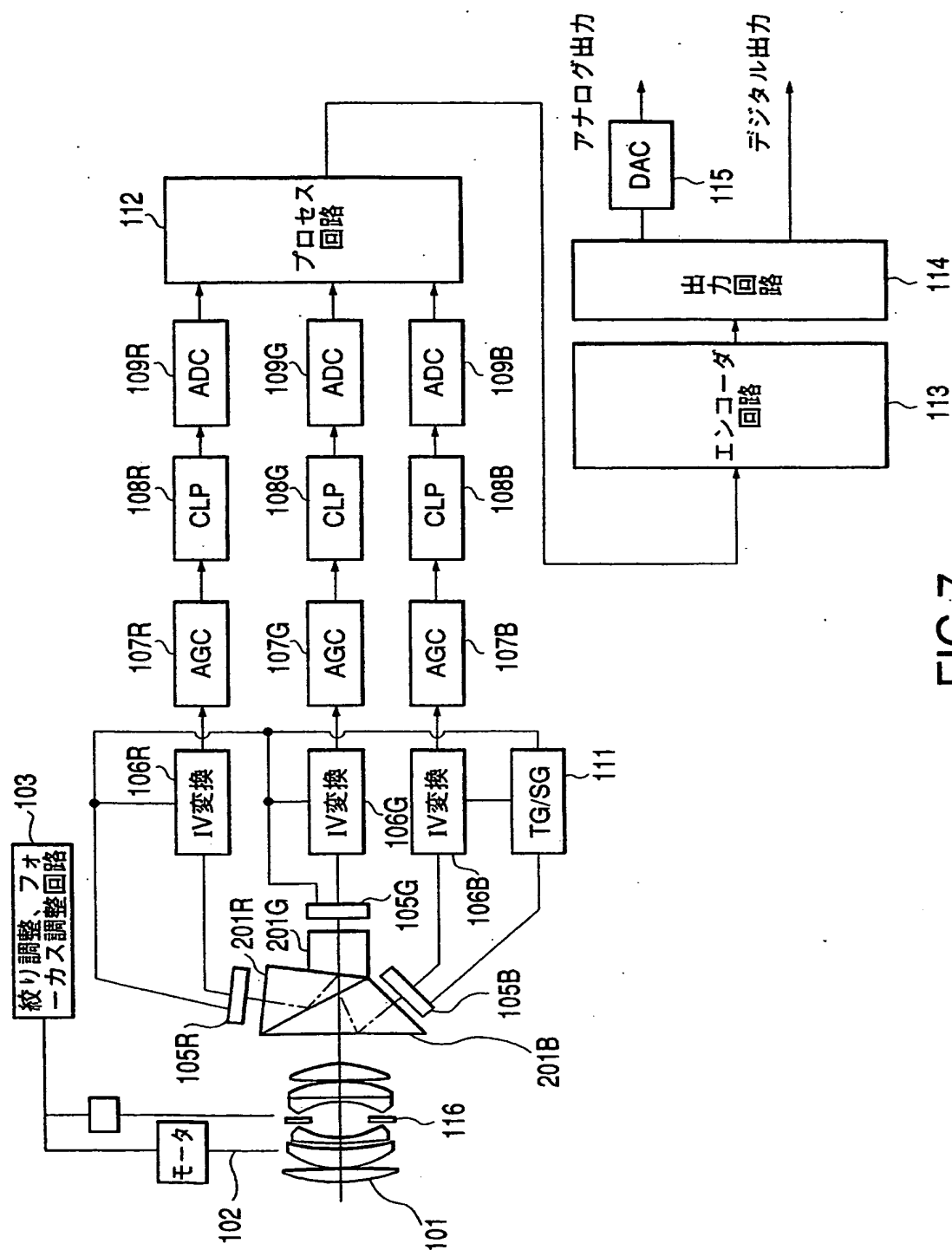


FIG. 7

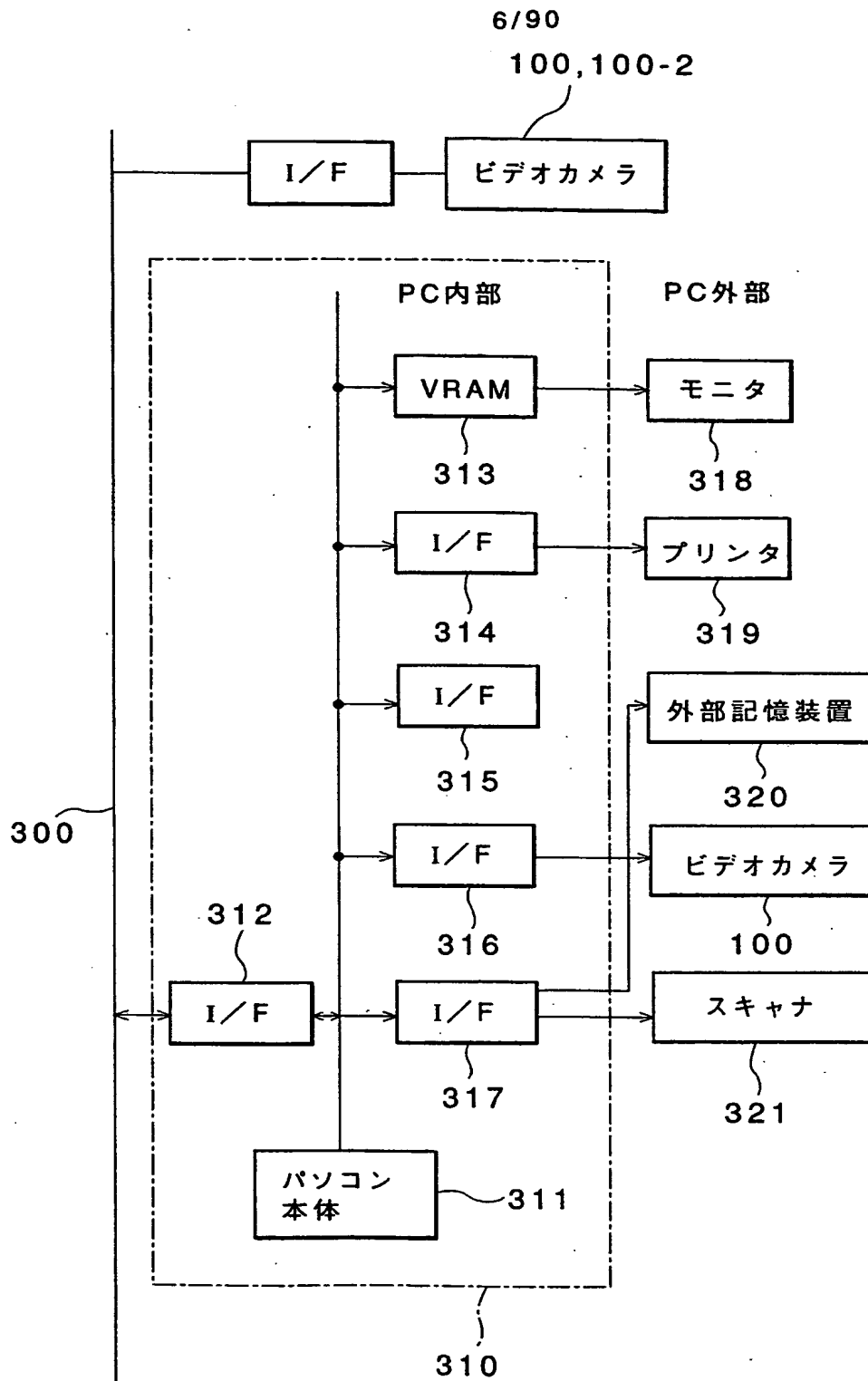


FIG. 8

7/90

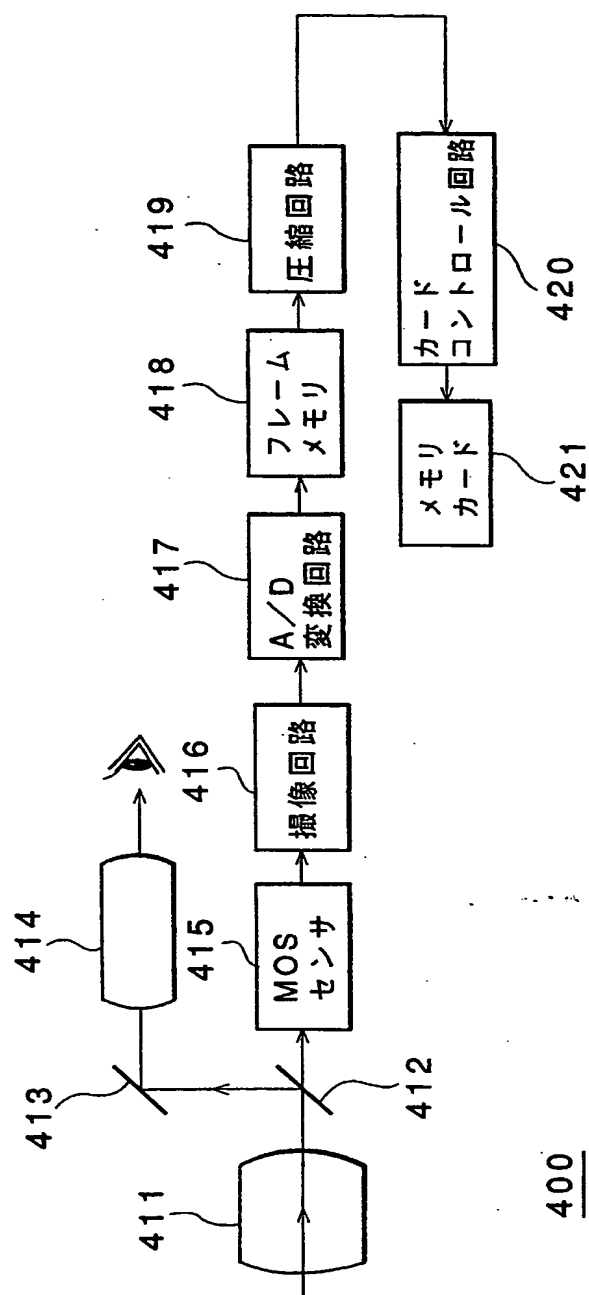


FIG. 9

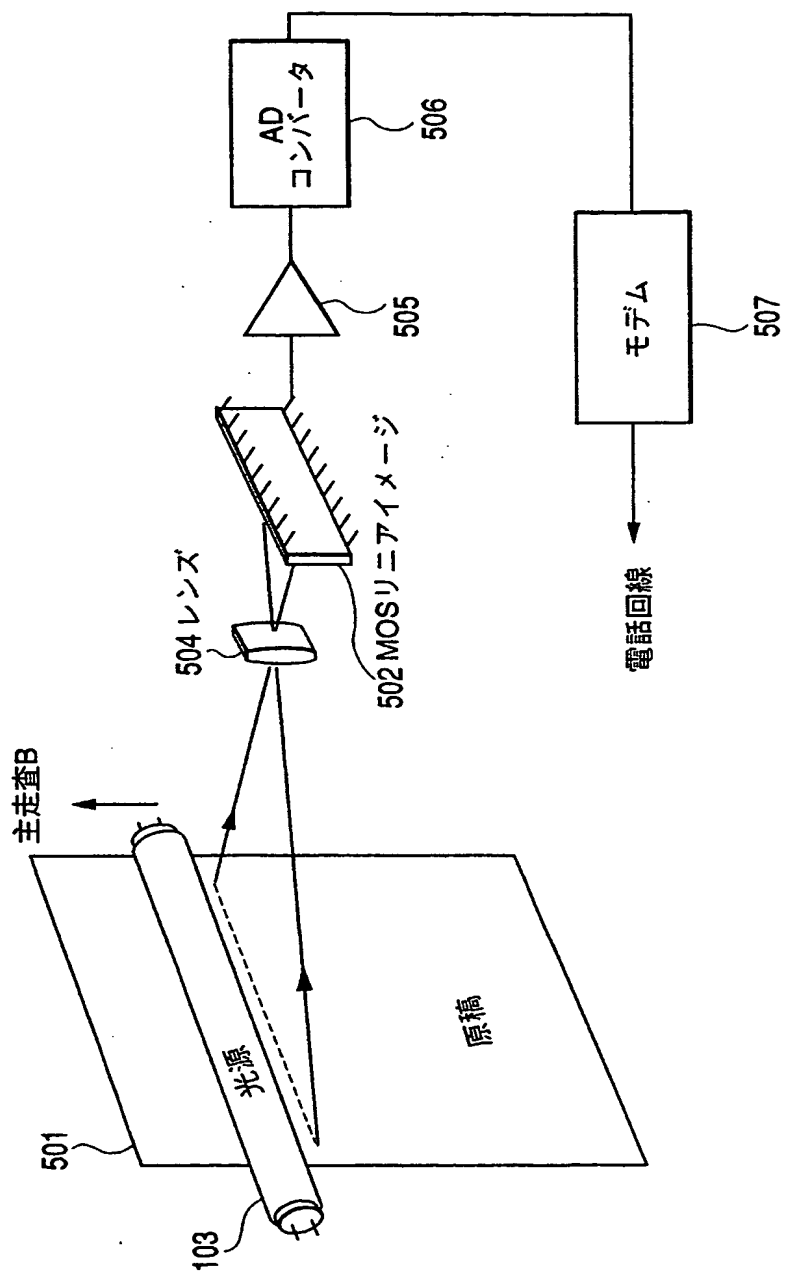


FIG.10

9/90

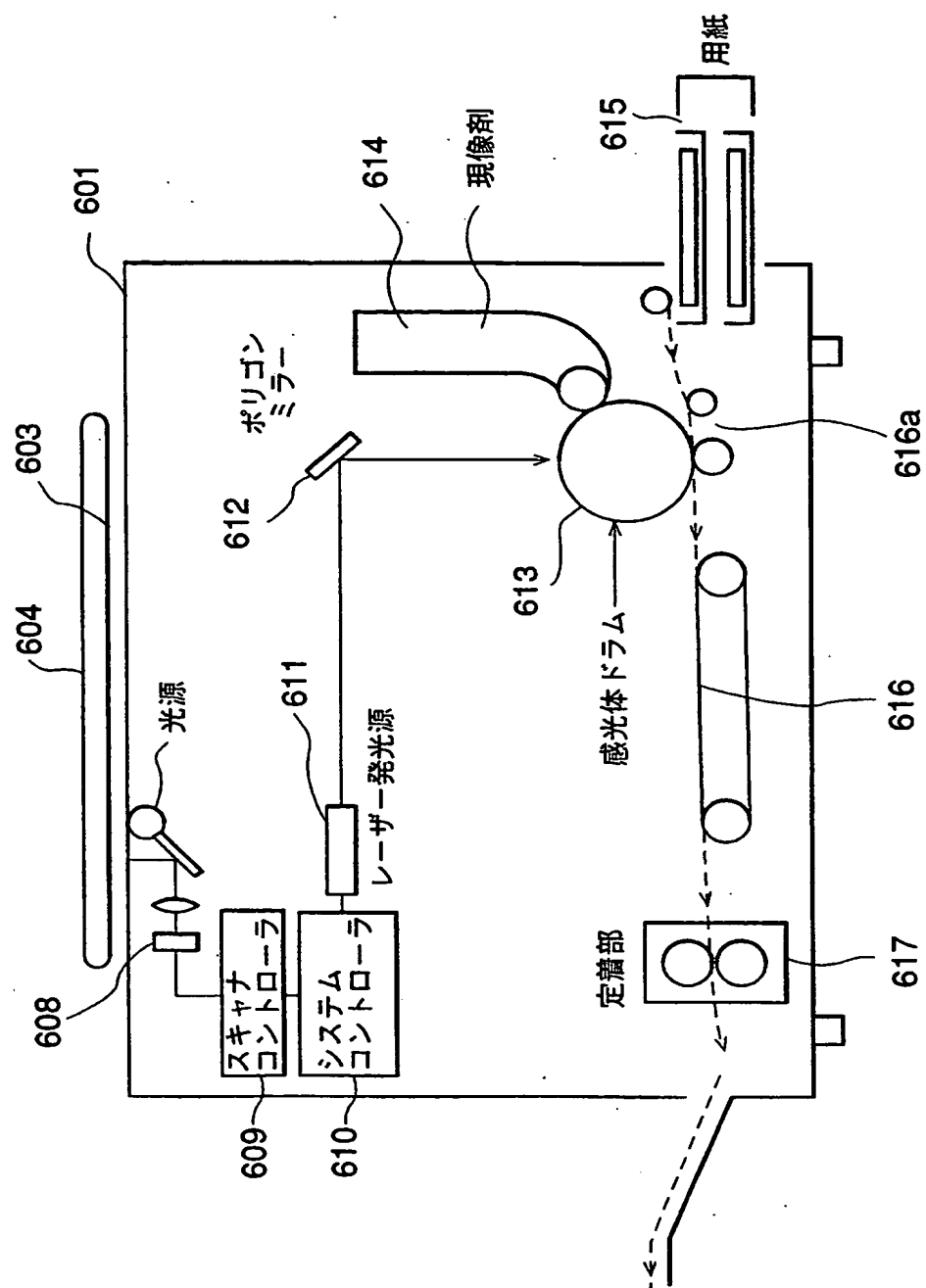
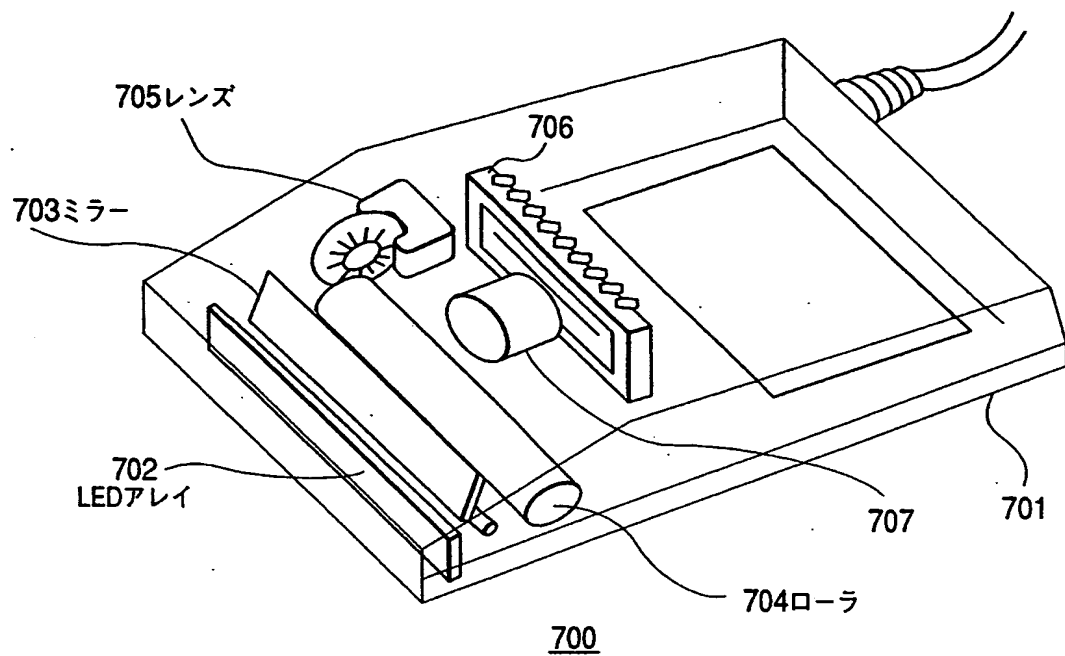


FIG.11

10 / 90



700
FIG. 12

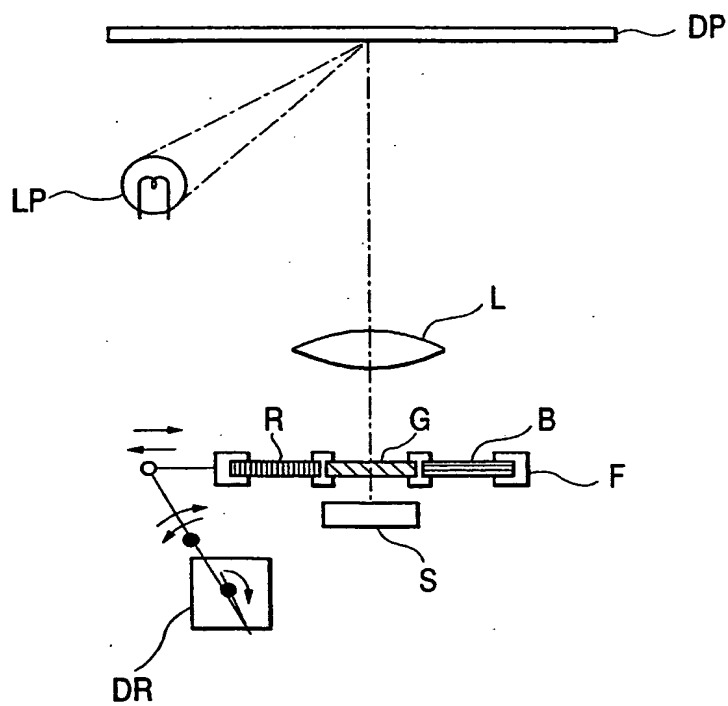


FIG. 13

11/90

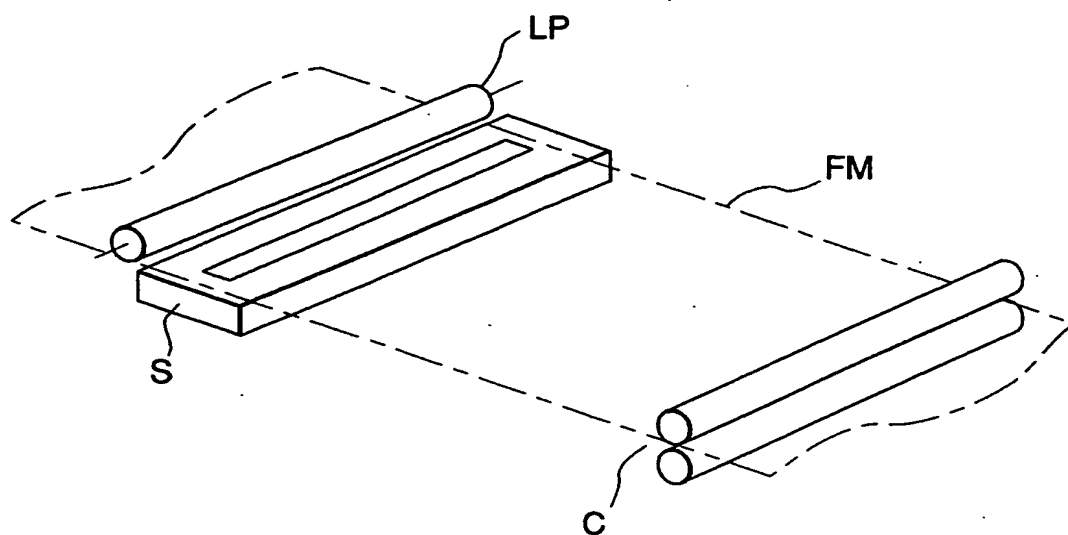


FIG. 14

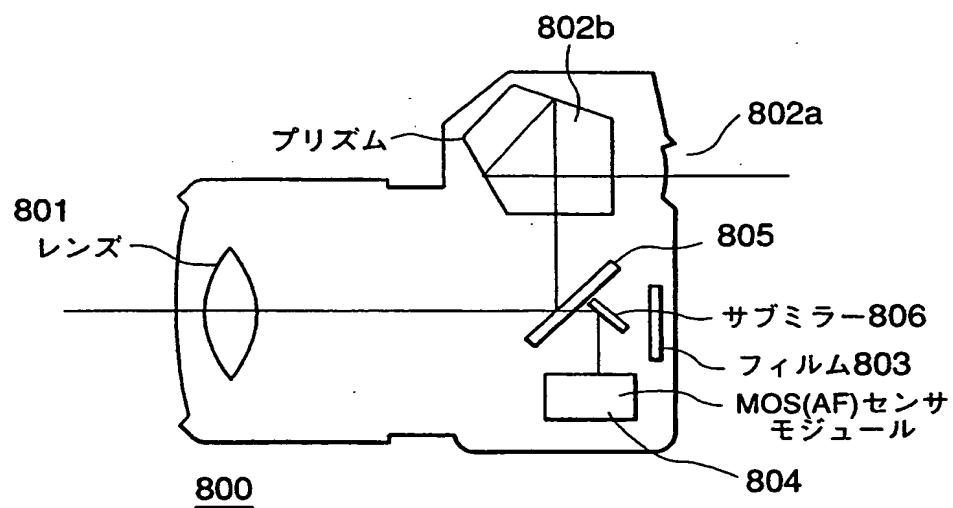
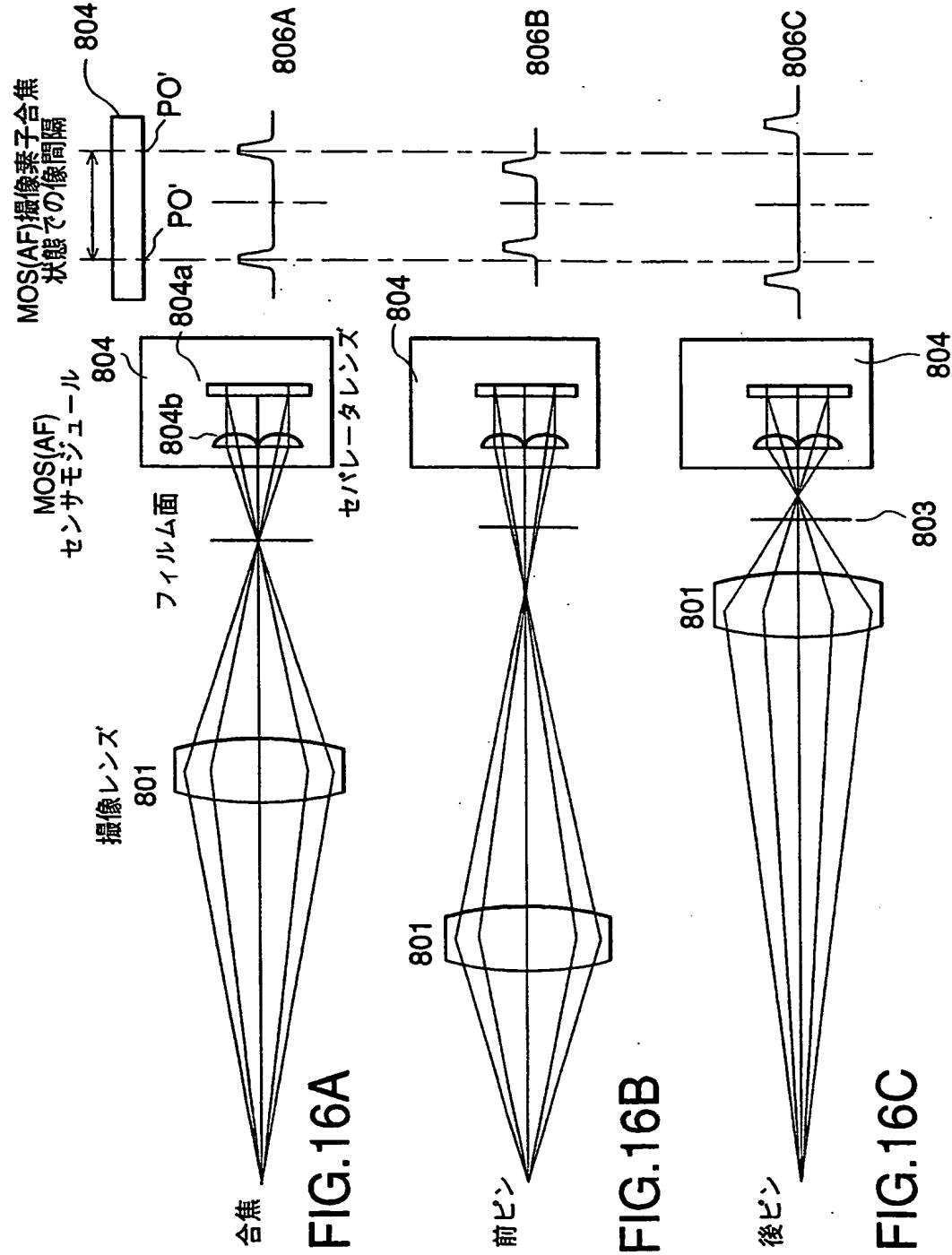


FIG. 15

12/90



13/90

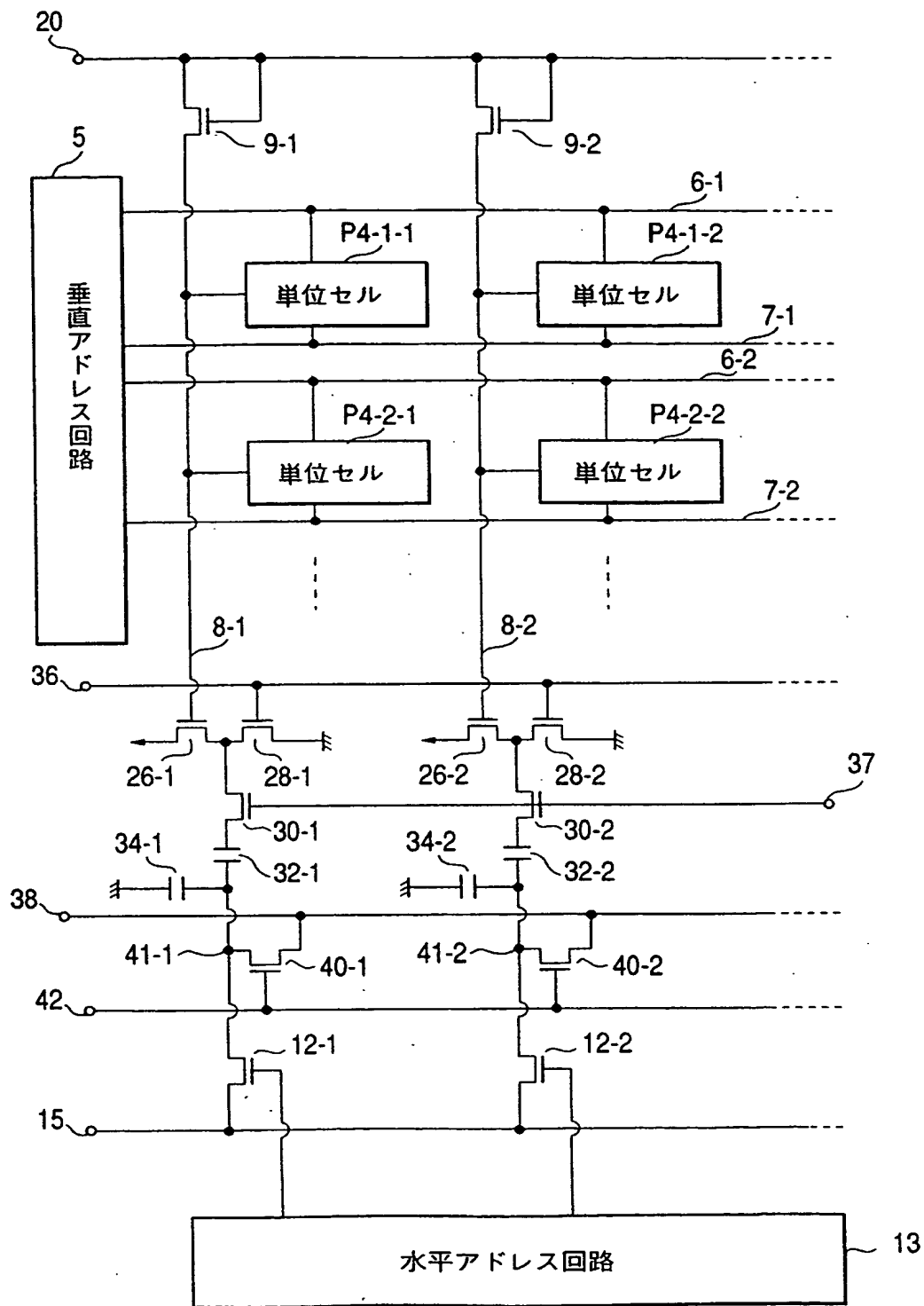


FIG.17

14 / 90

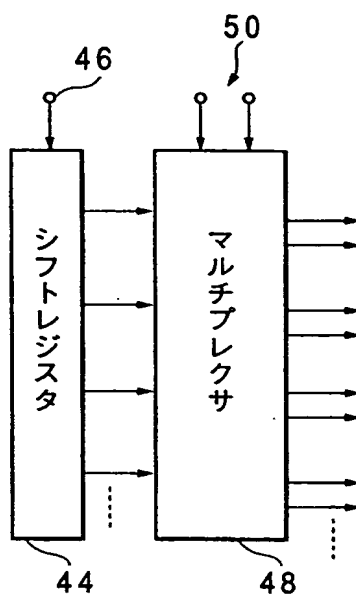


FIG.18

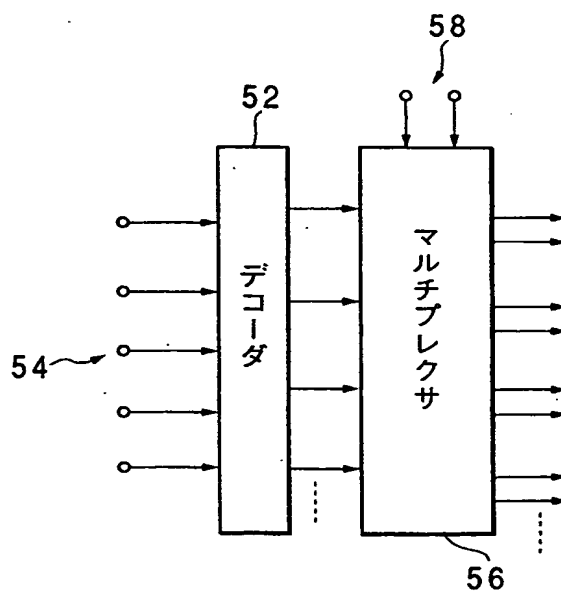


FIG.19

15 / 90

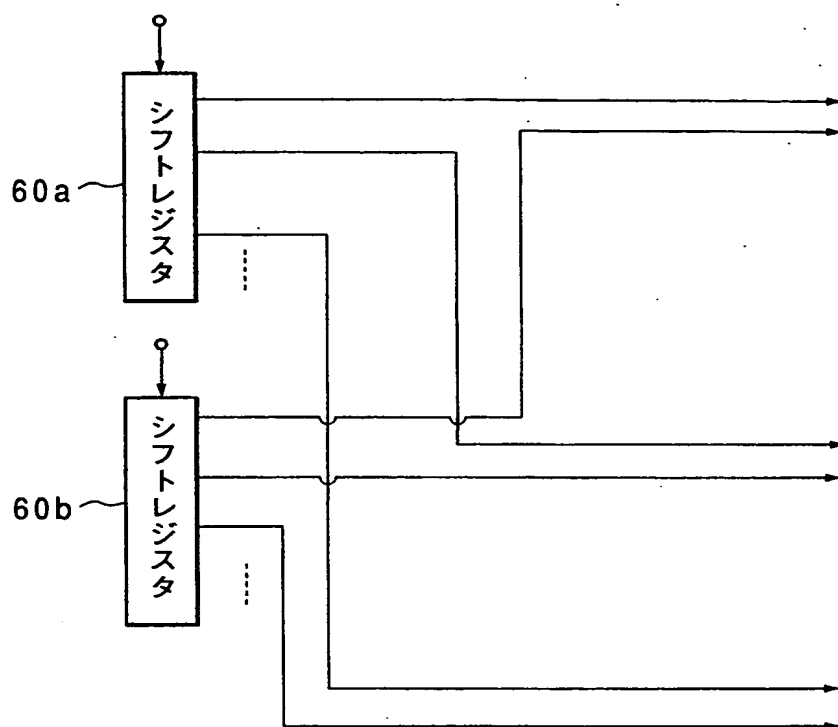


FIG.20

16/90

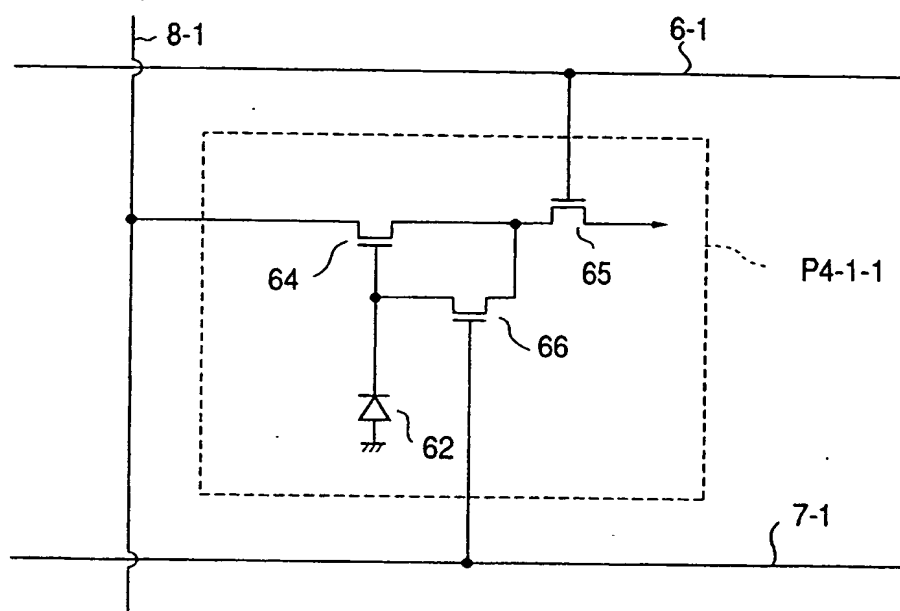


FIG.21

17/90

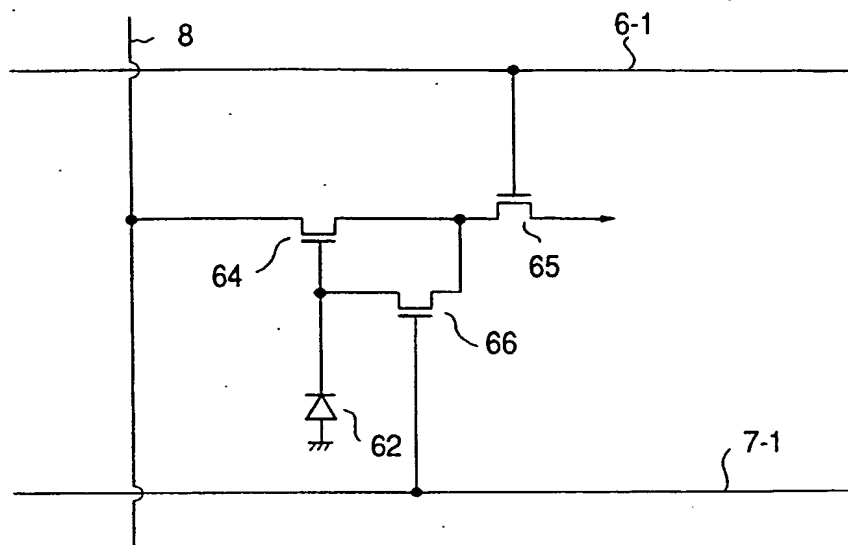


FIG.22A

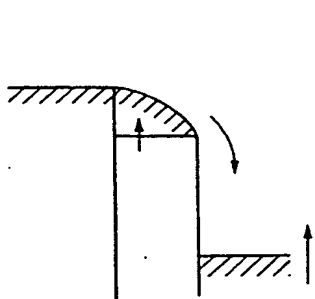


FIG.22B

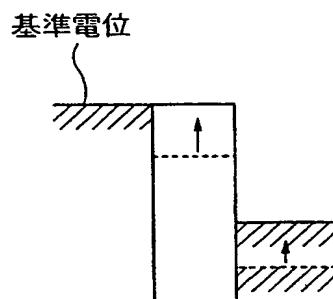


FIG.22C

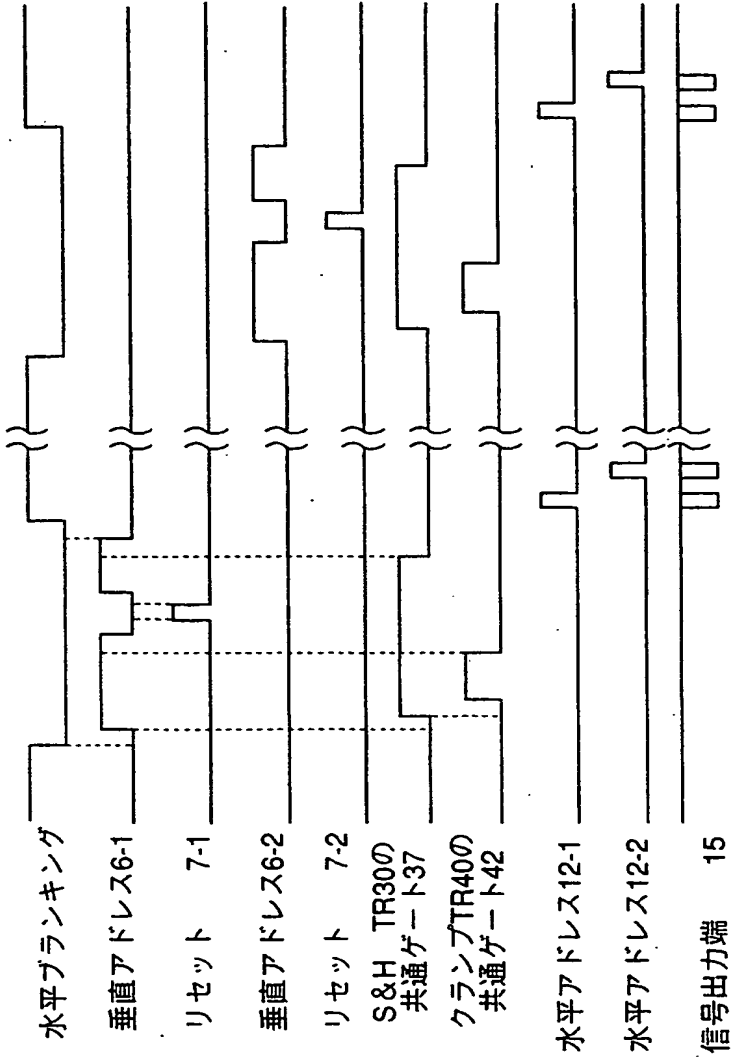


FIG.23

19/90

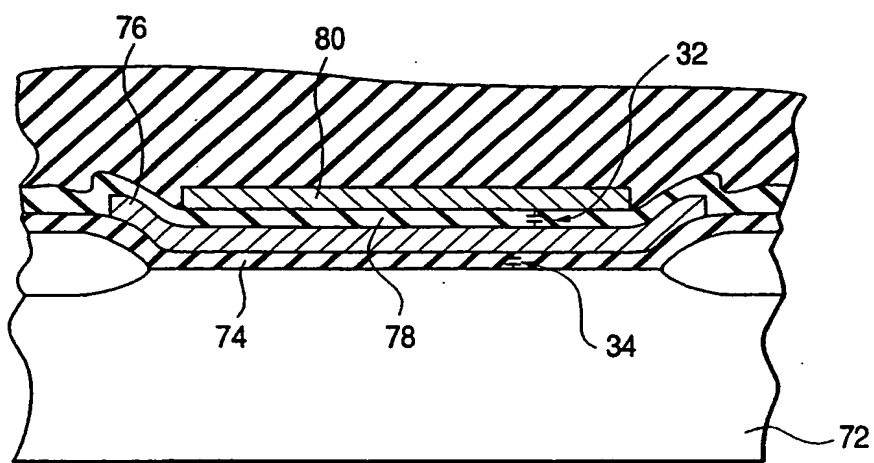


FIG.24

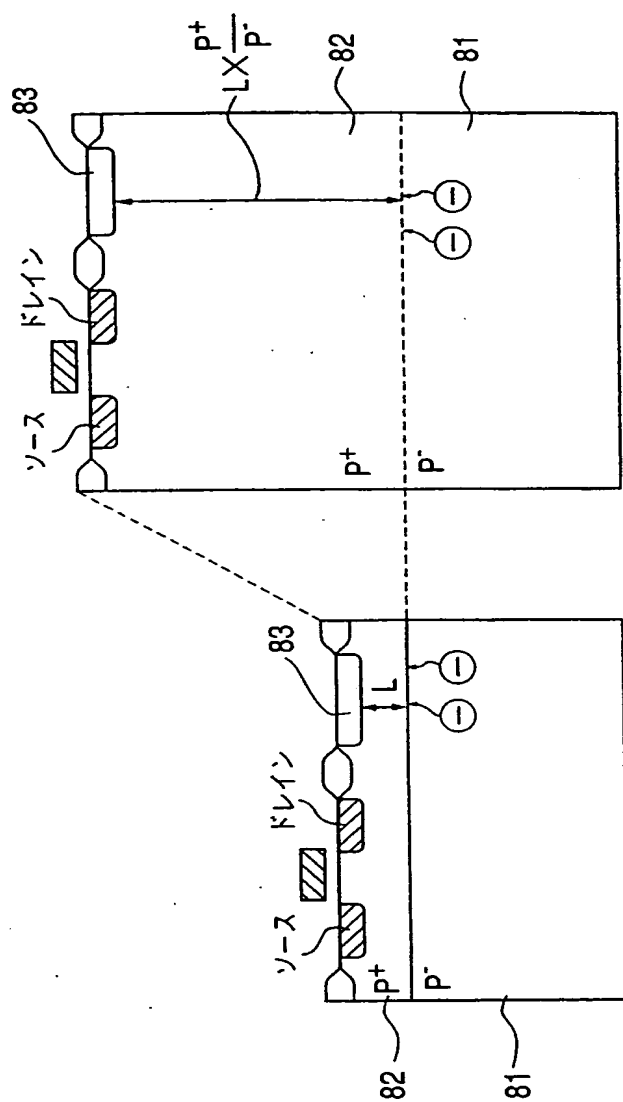


FIG. 25B

FIG. 25A

21/90

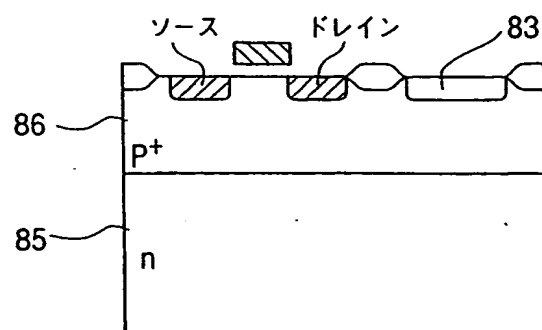


FIG. 26

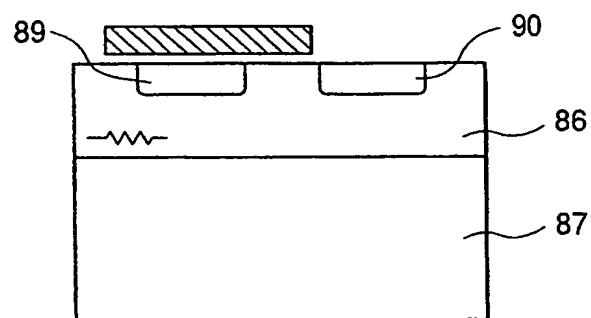


FIG. 27

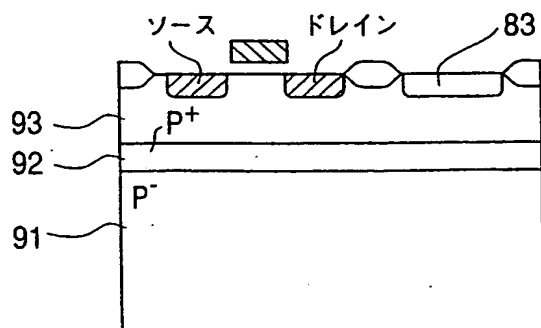


FIG. 28

22/90

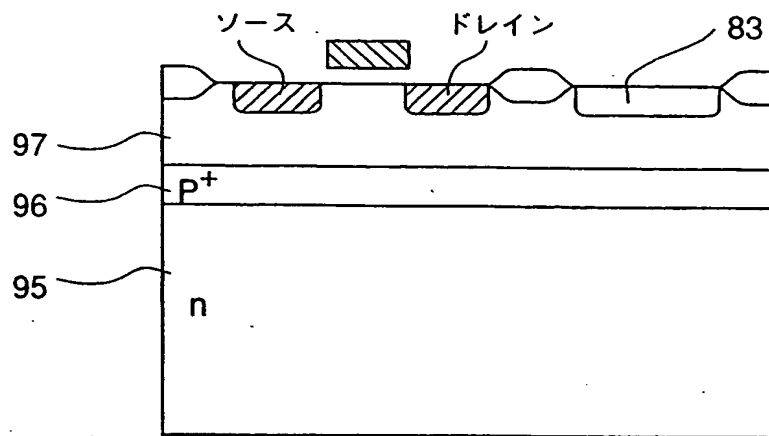


FIG.29

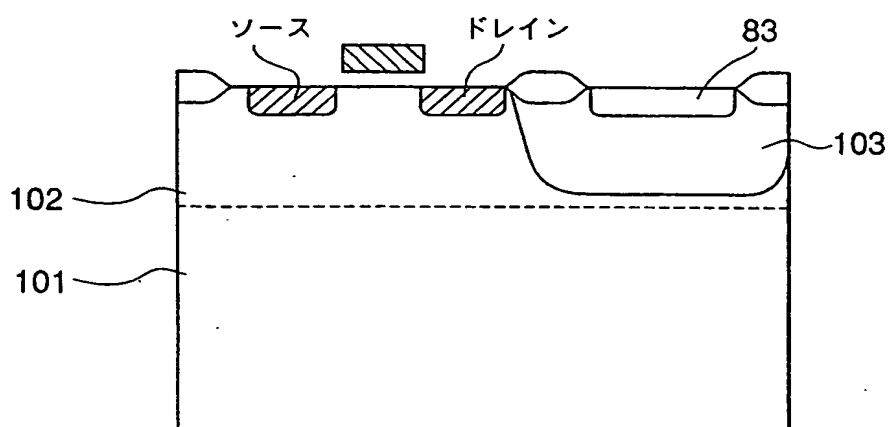


FIG.30

23/90

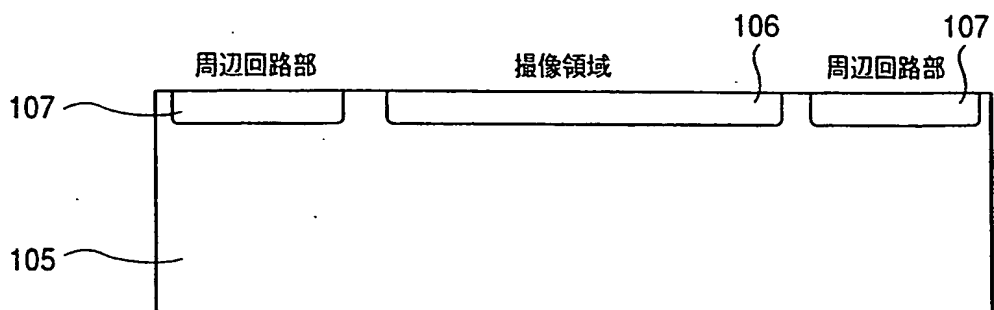


FIG.31

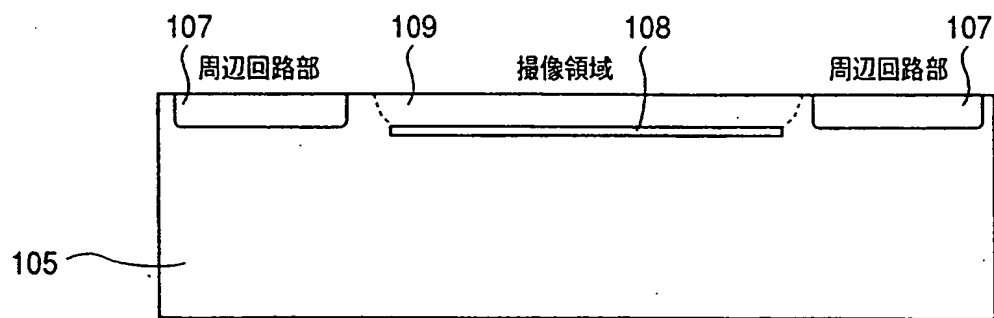


FIG.32

24/90

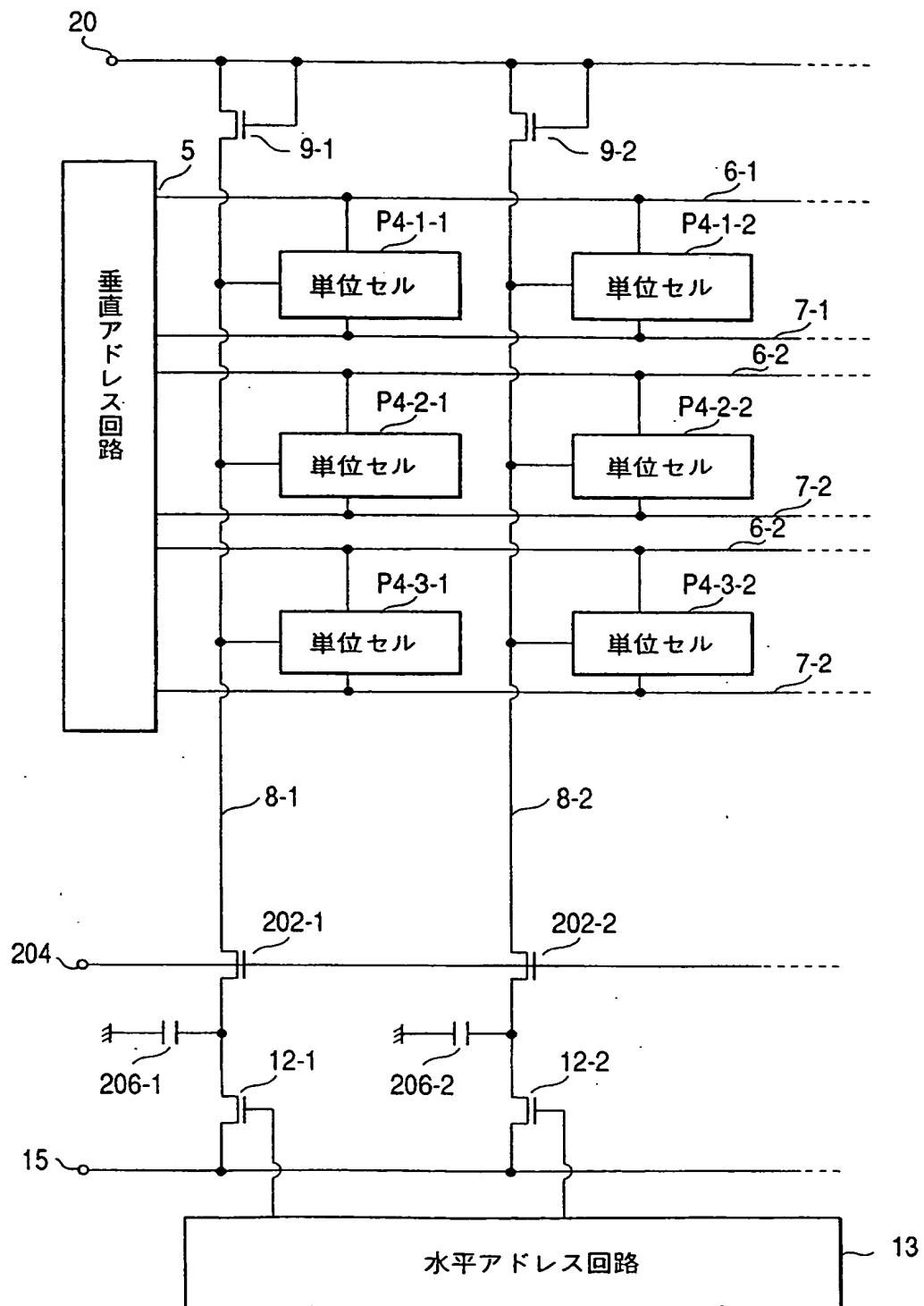


FIG.33

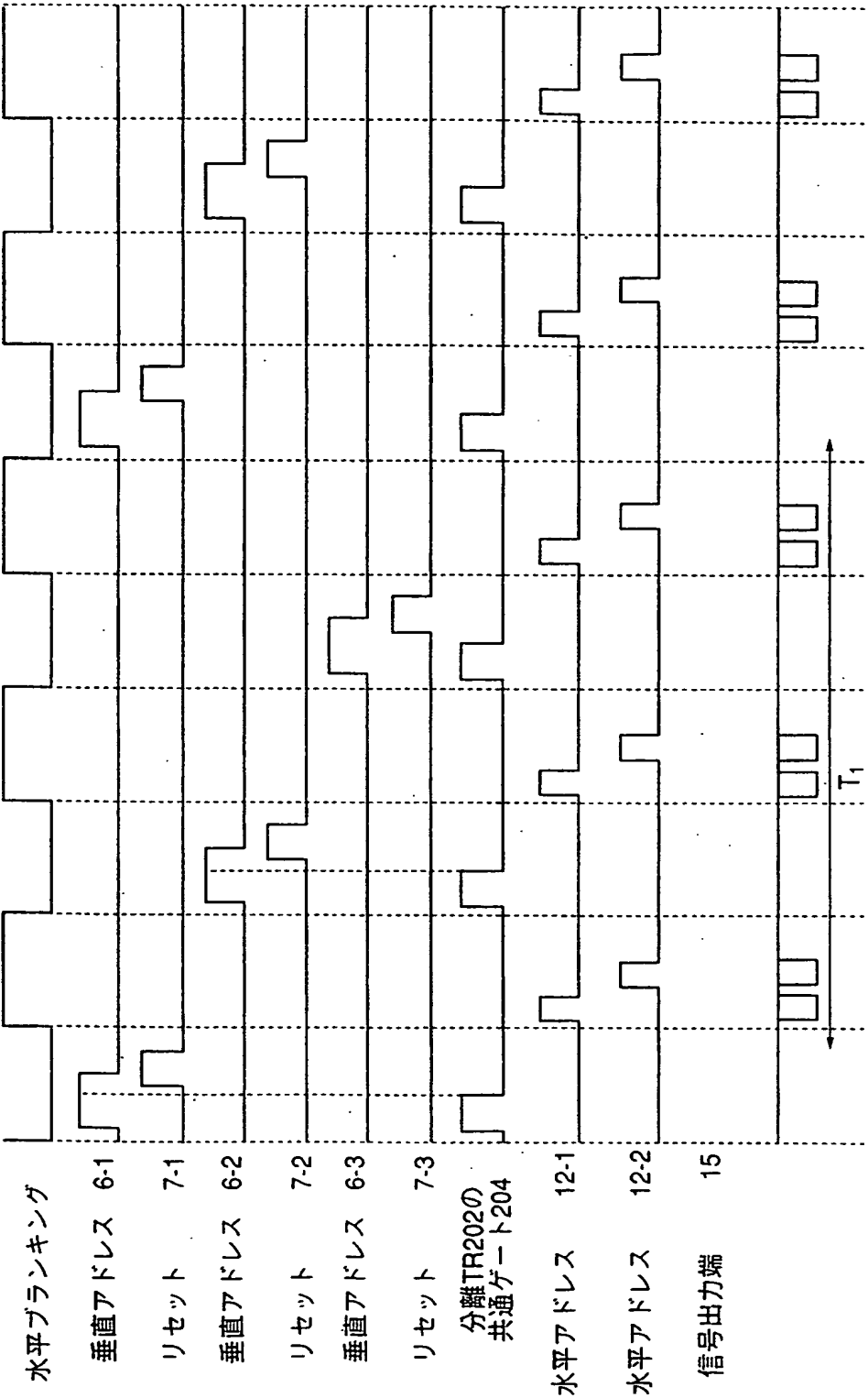


FIG.34

26/90

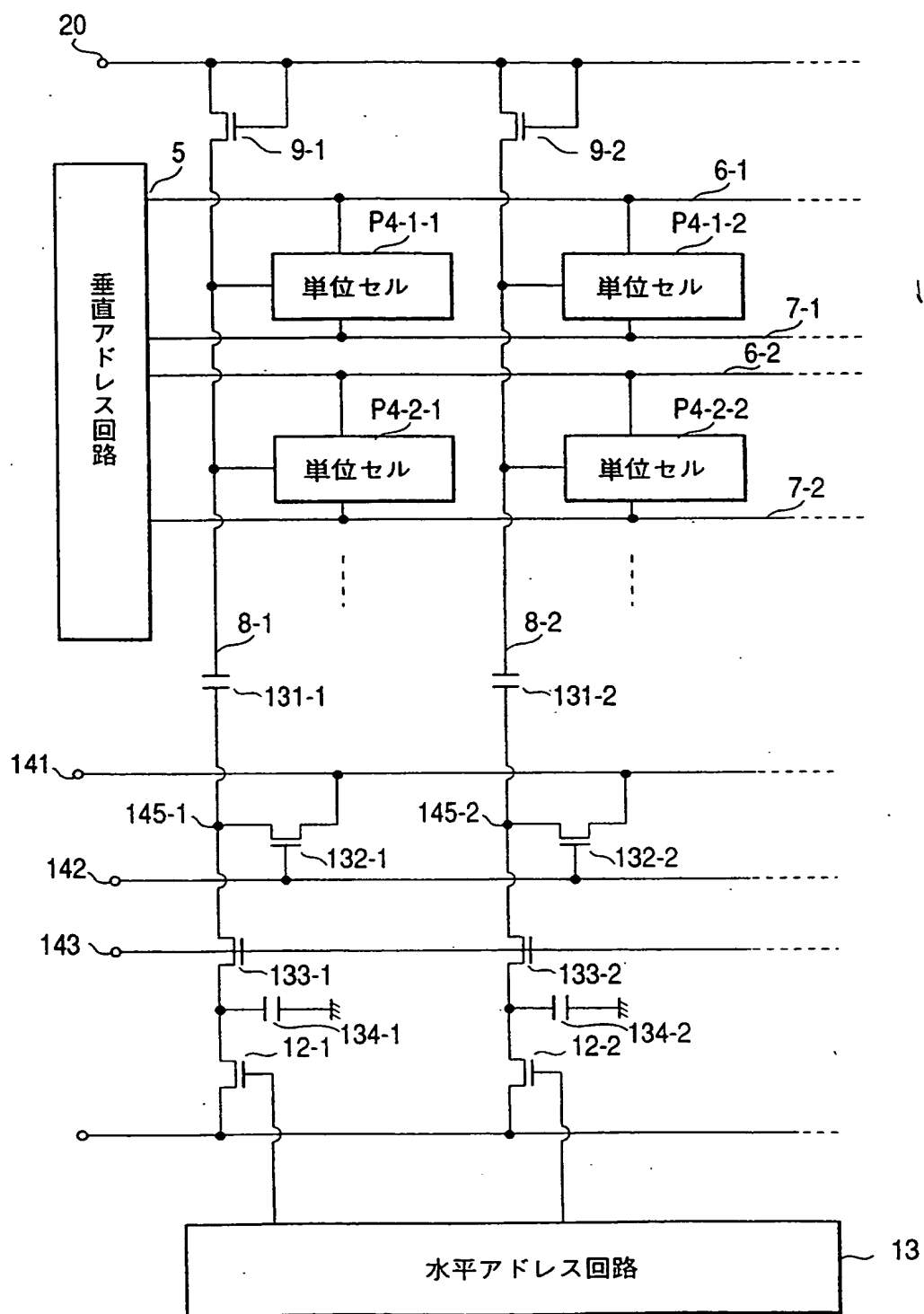


FIG.35

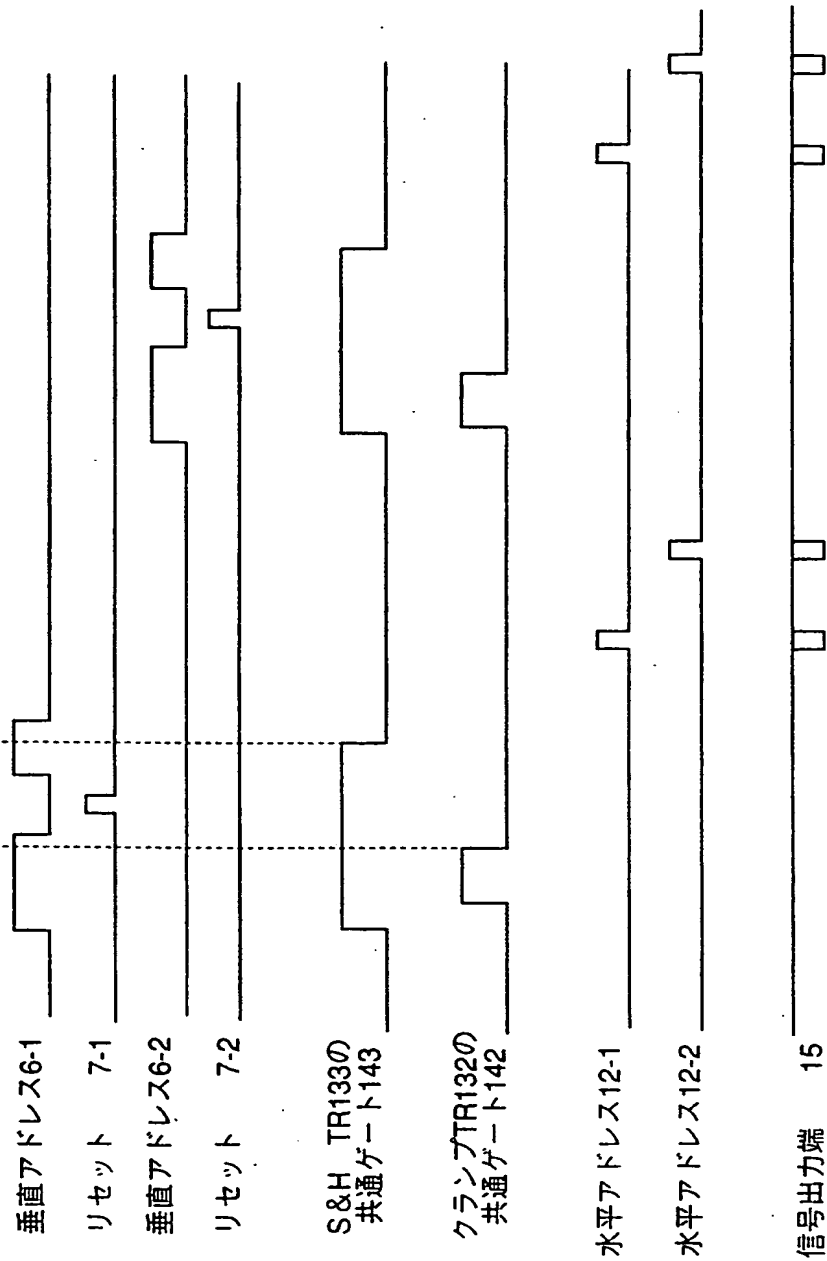


FIG.36

信号出力端 15

28/90

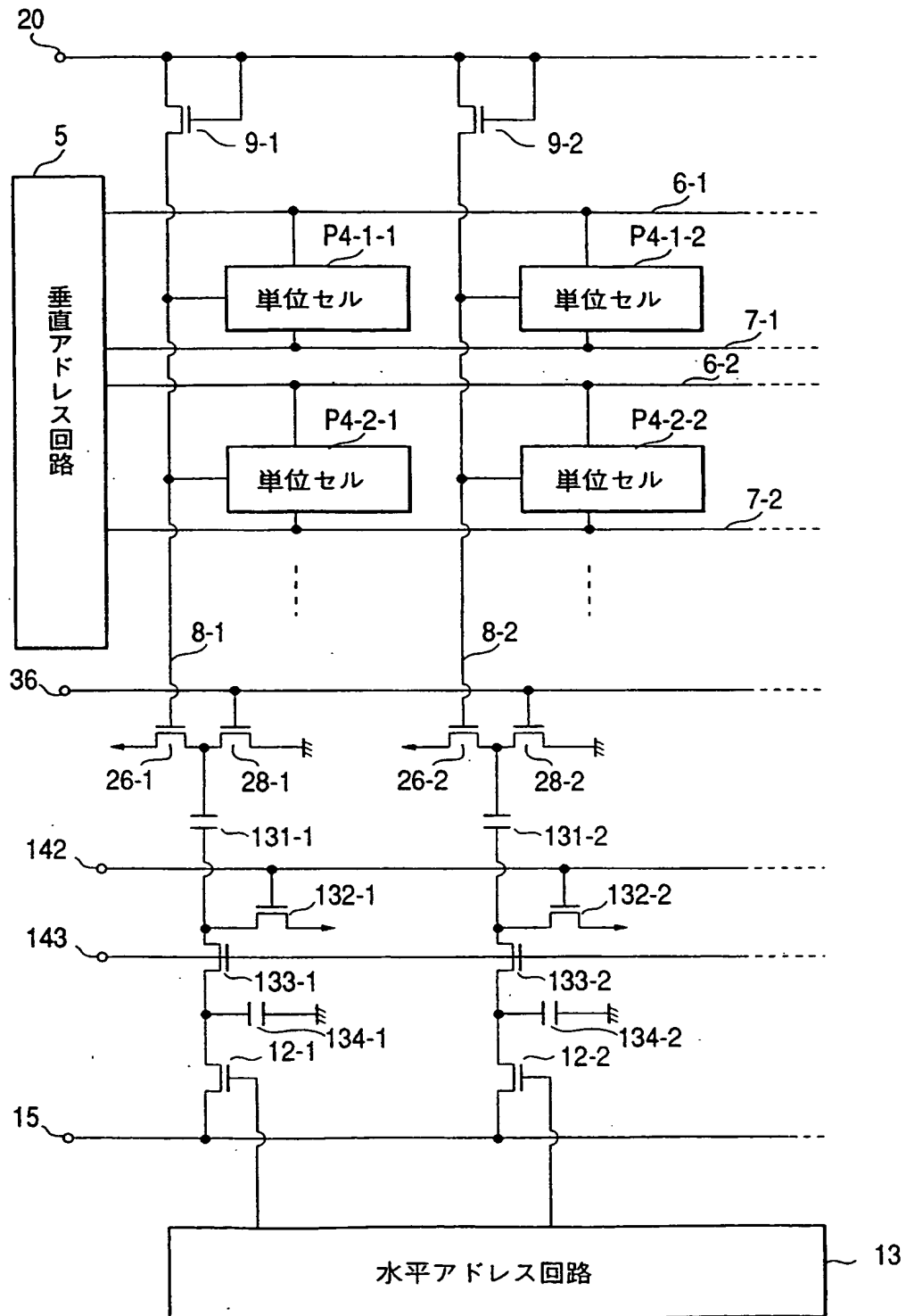


FIG.37

29/90

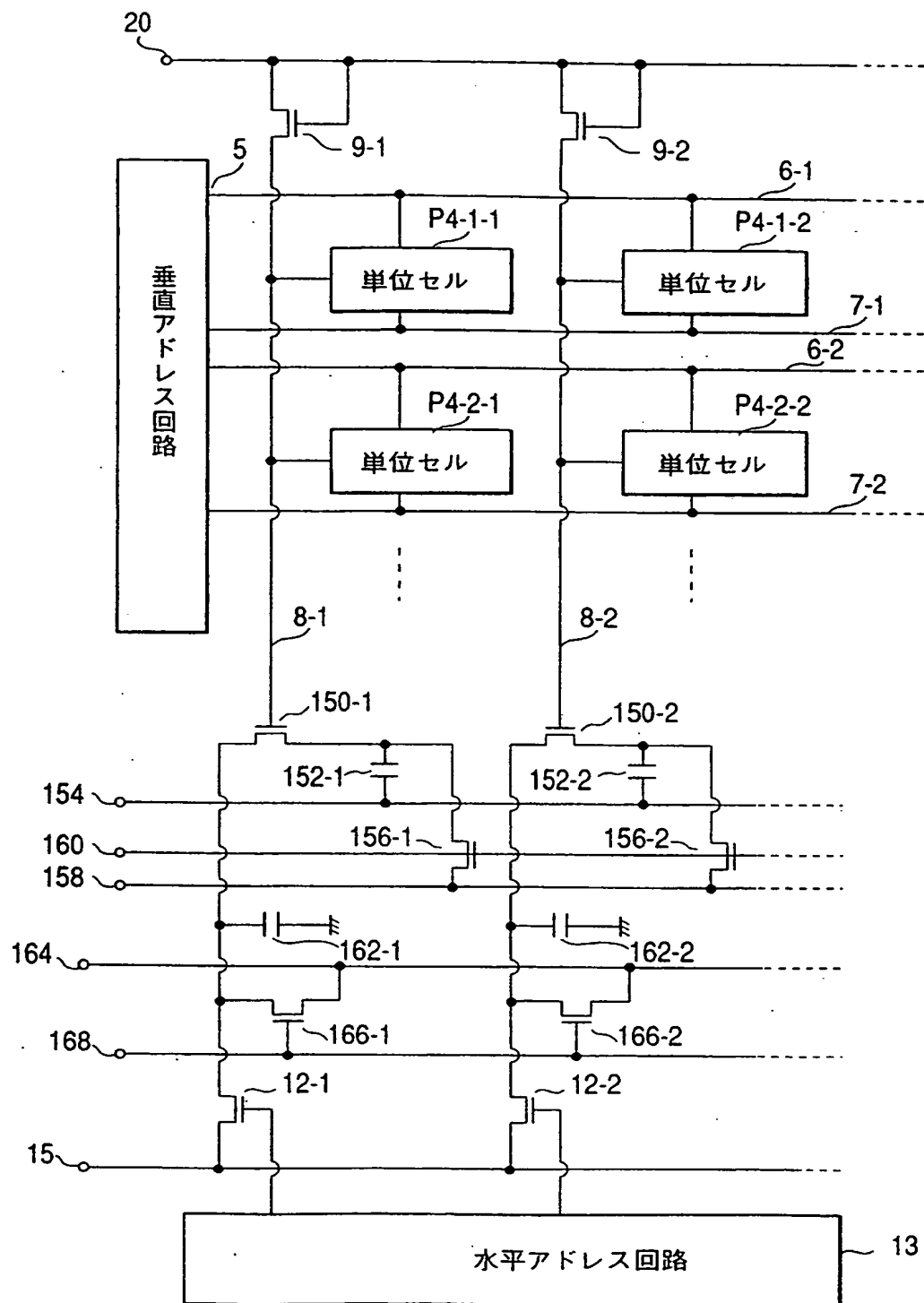


FIG.38

30/90

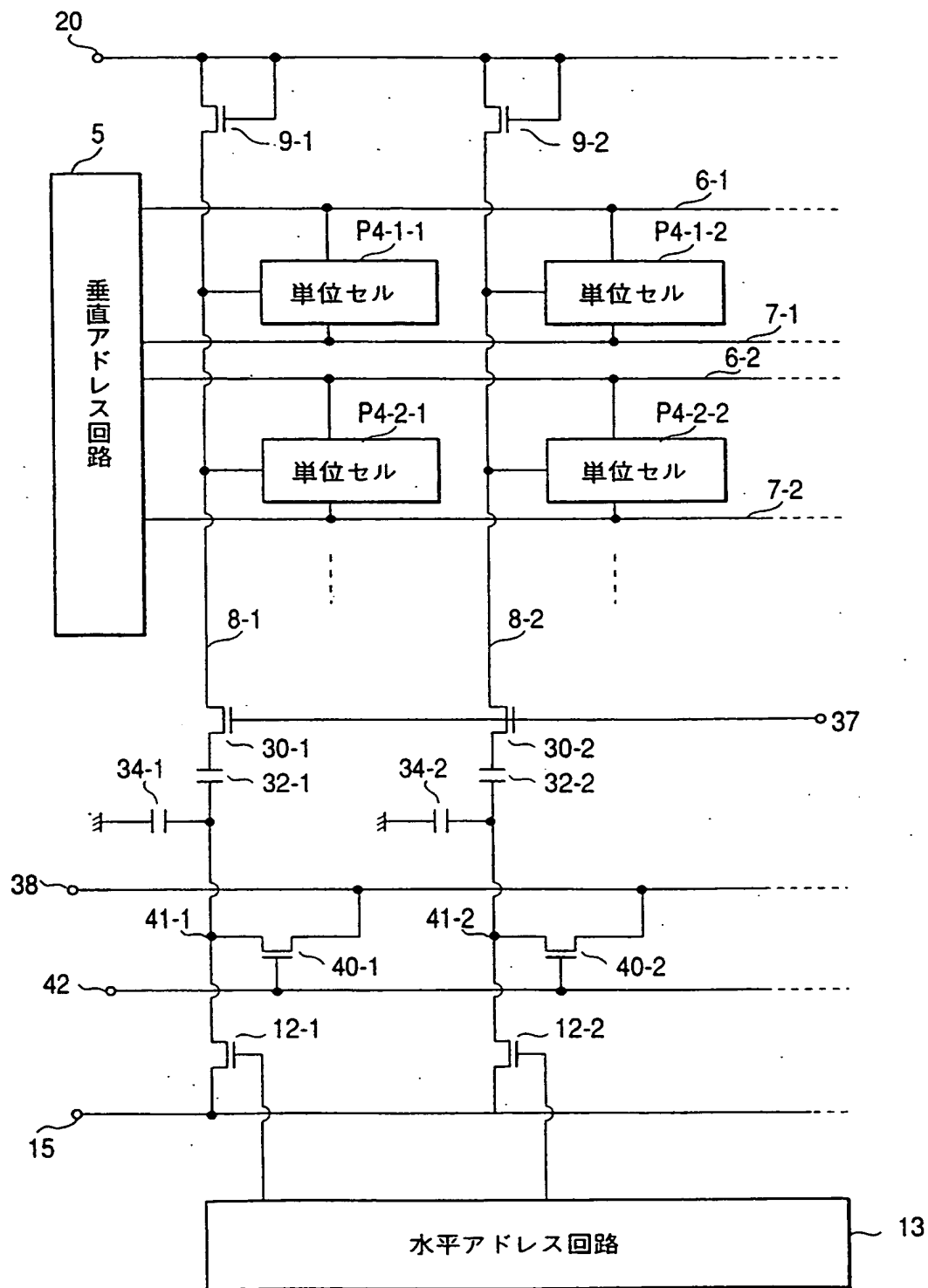


FIG.39

31 / 90

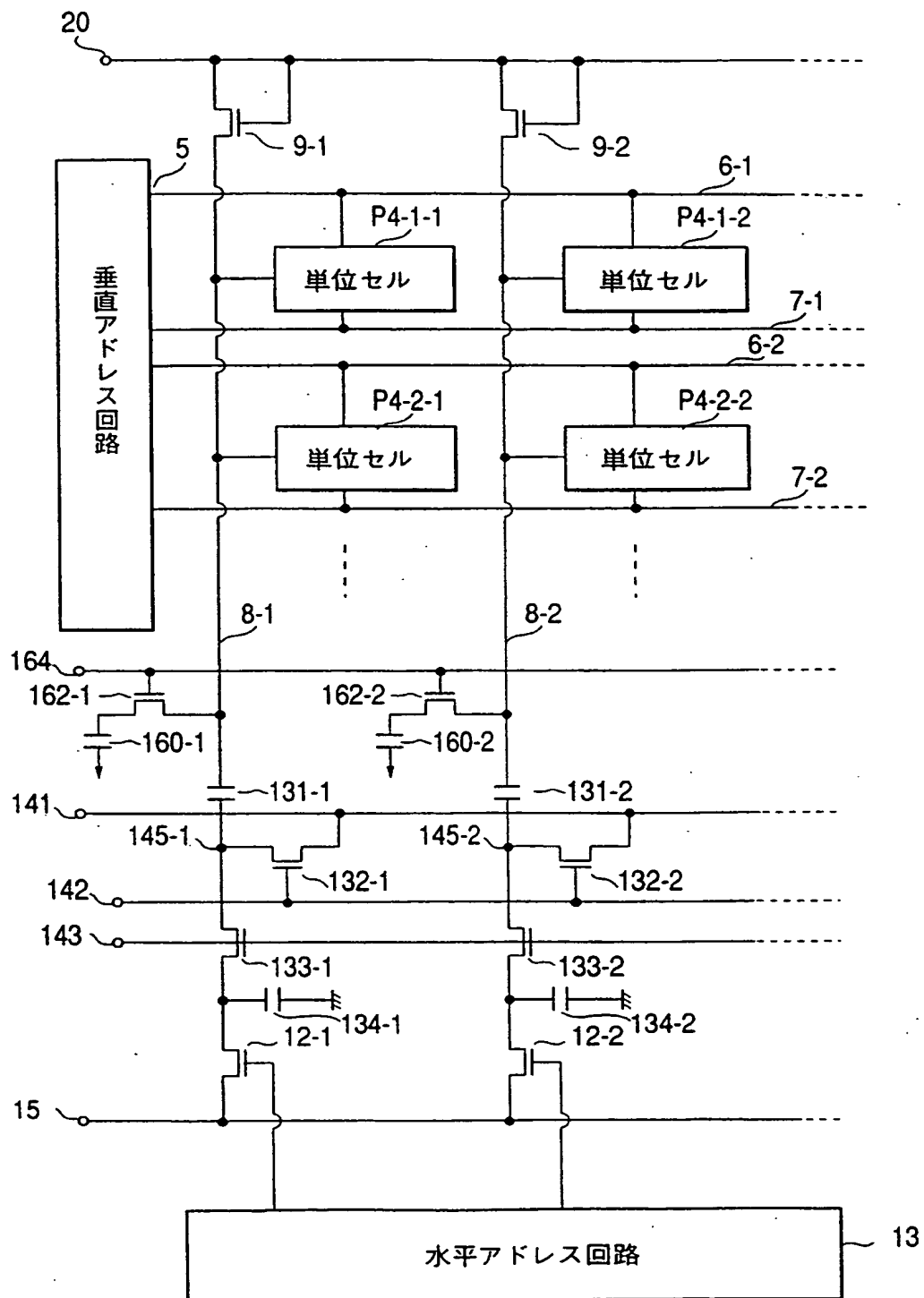


FIG.40

32/90

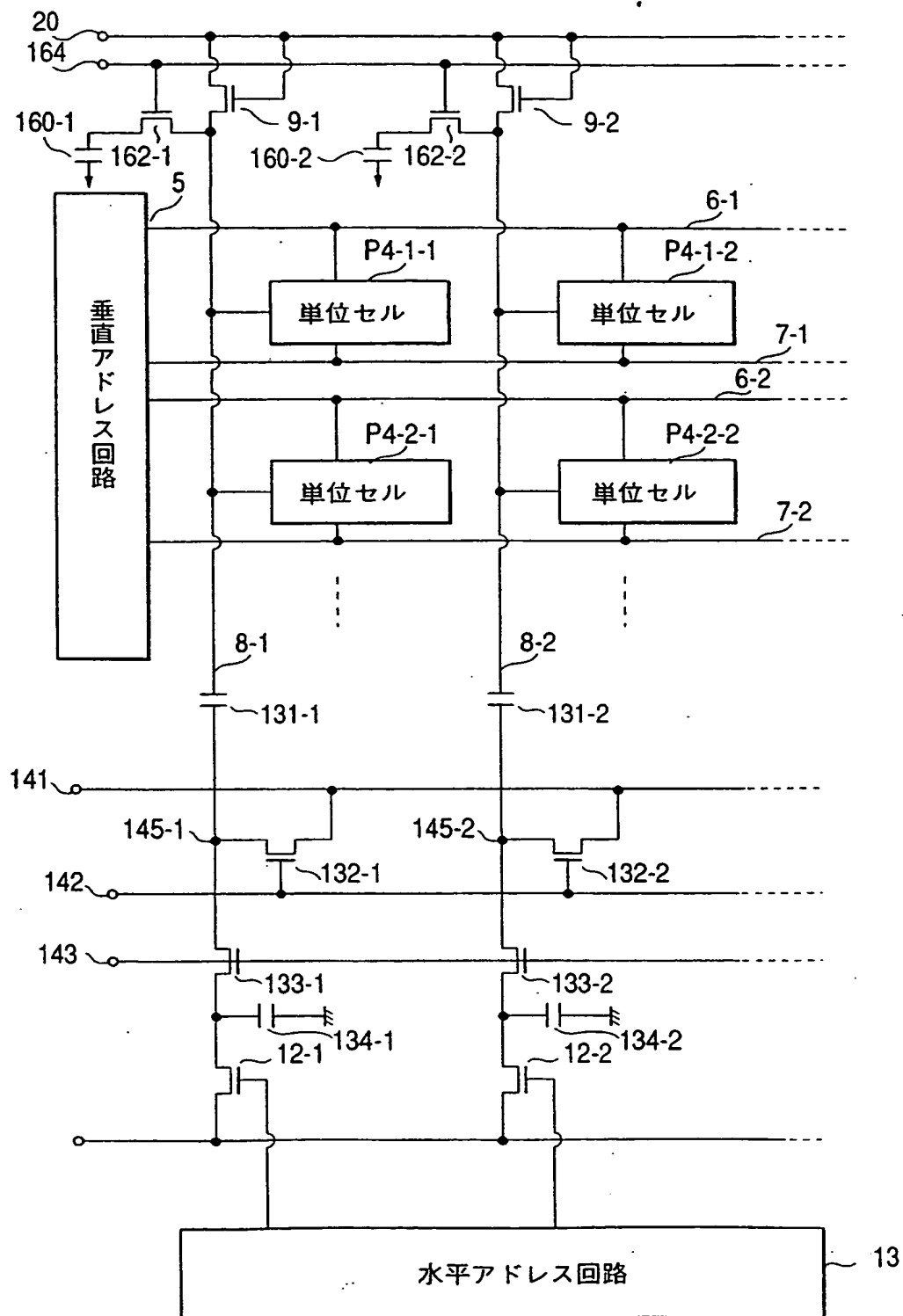


FIG.41

33/90

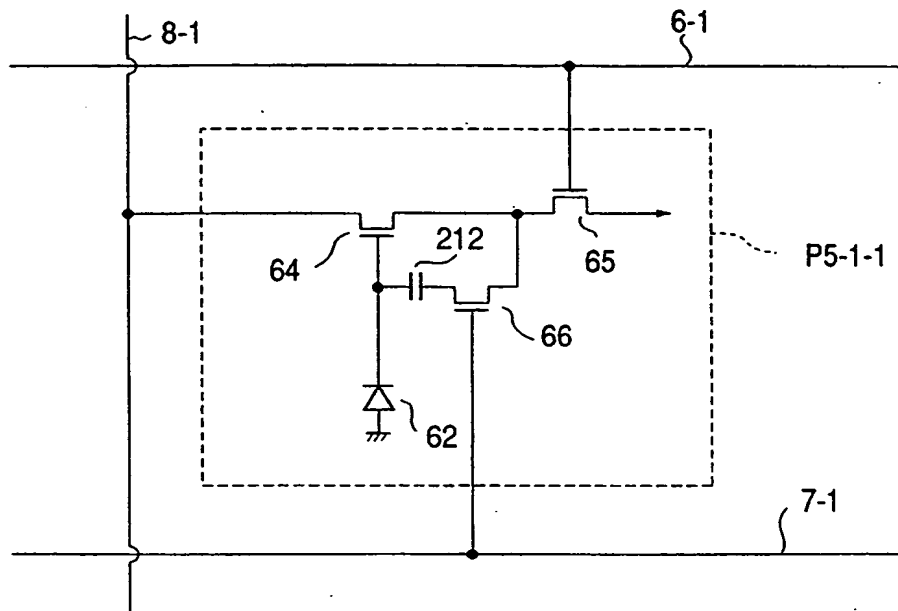


FIG.42

34/90

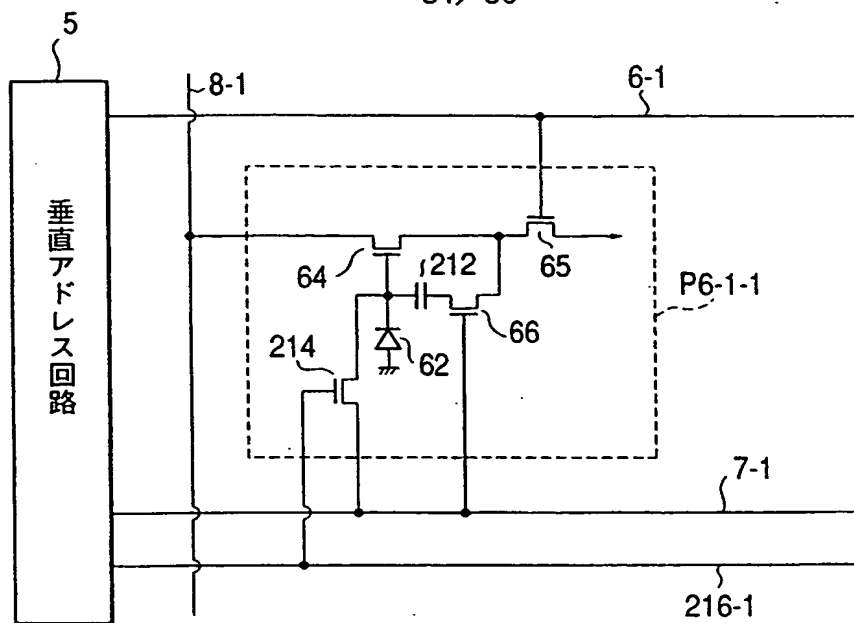


FIG.43

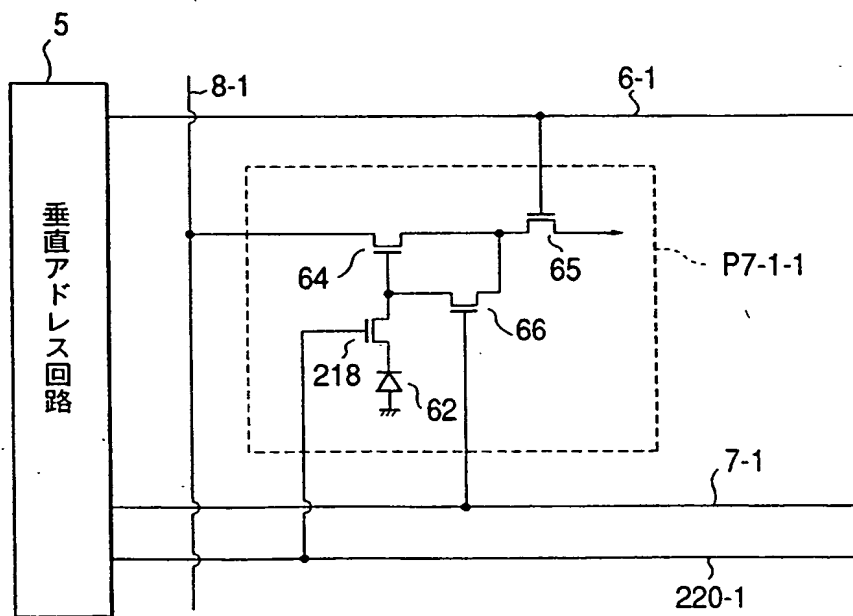


FIG.44

35/90

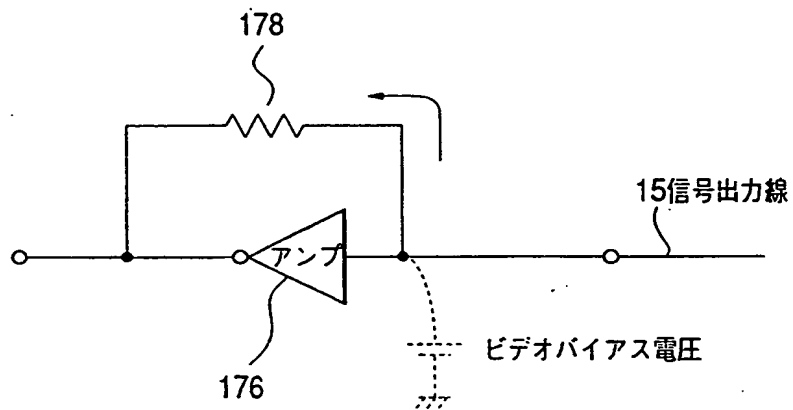


FIG.45

36/90

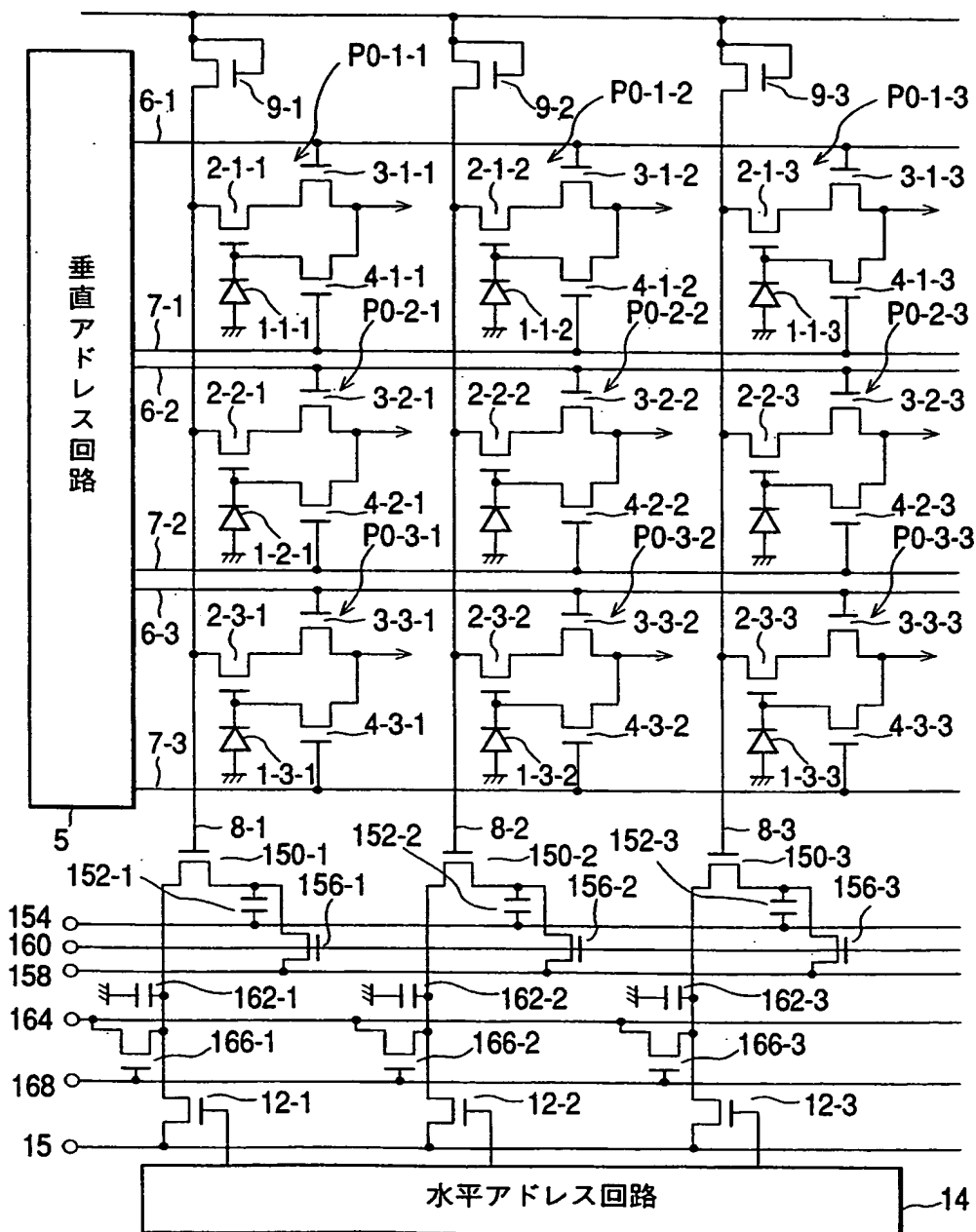


FIG.46

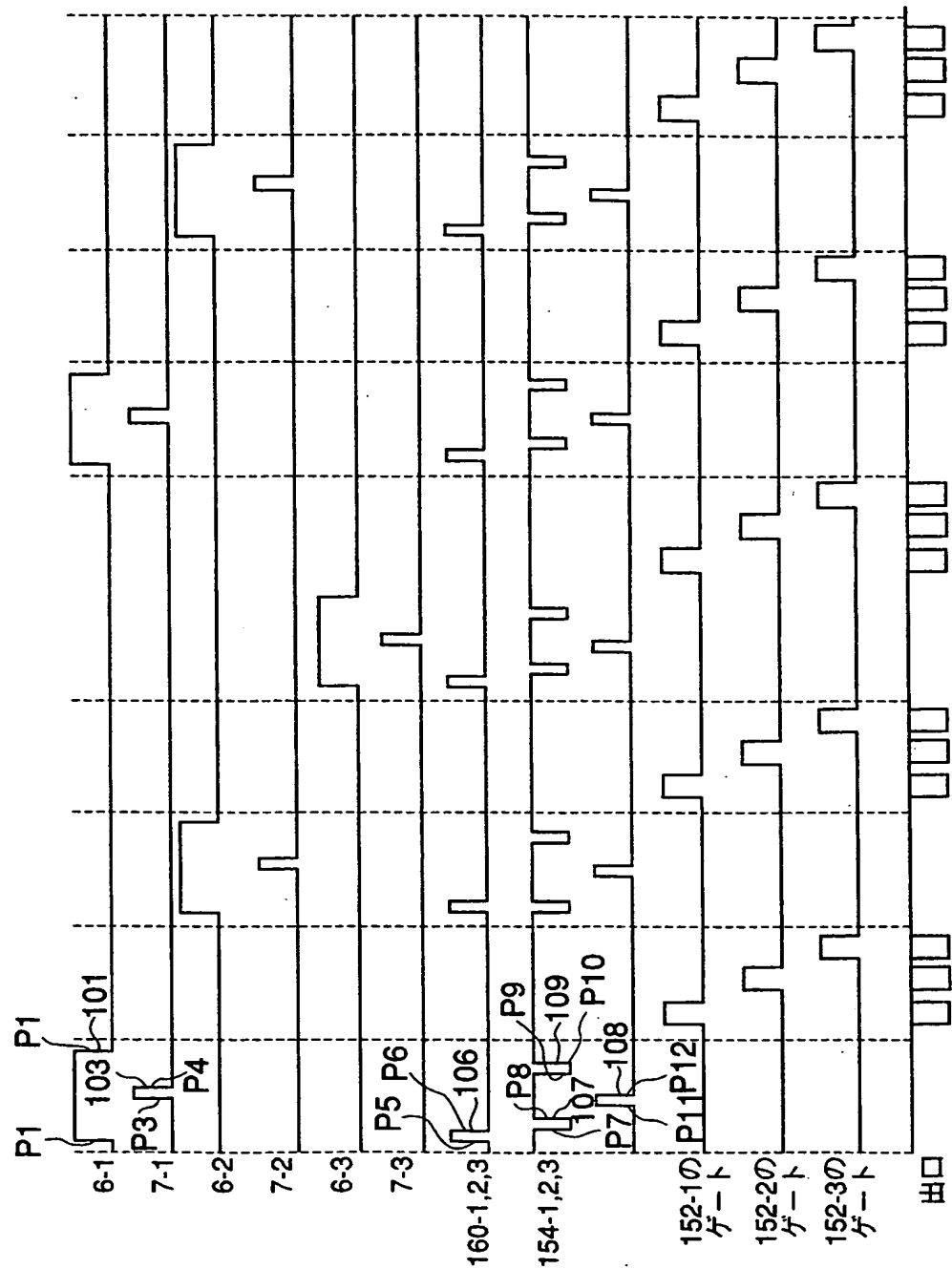


FIG.47

38/90

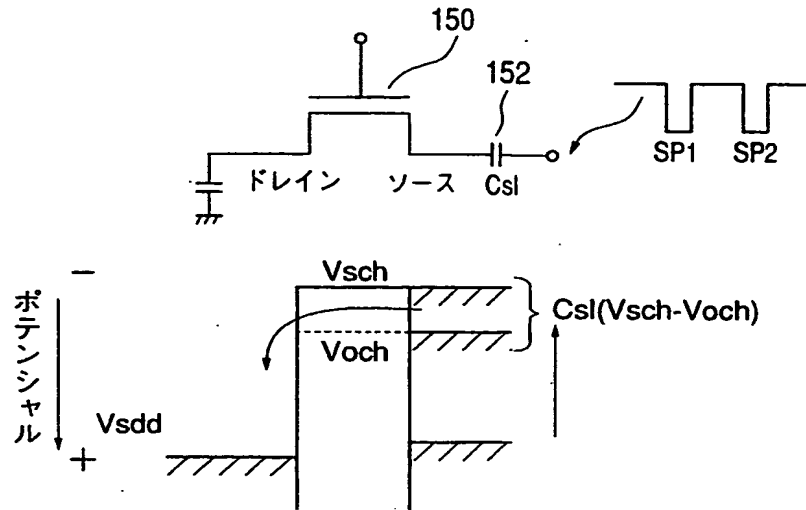


FIG.48

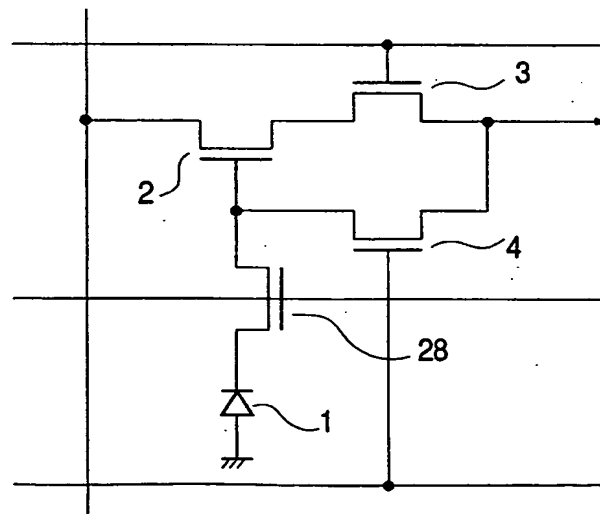


FIG.49

39/90

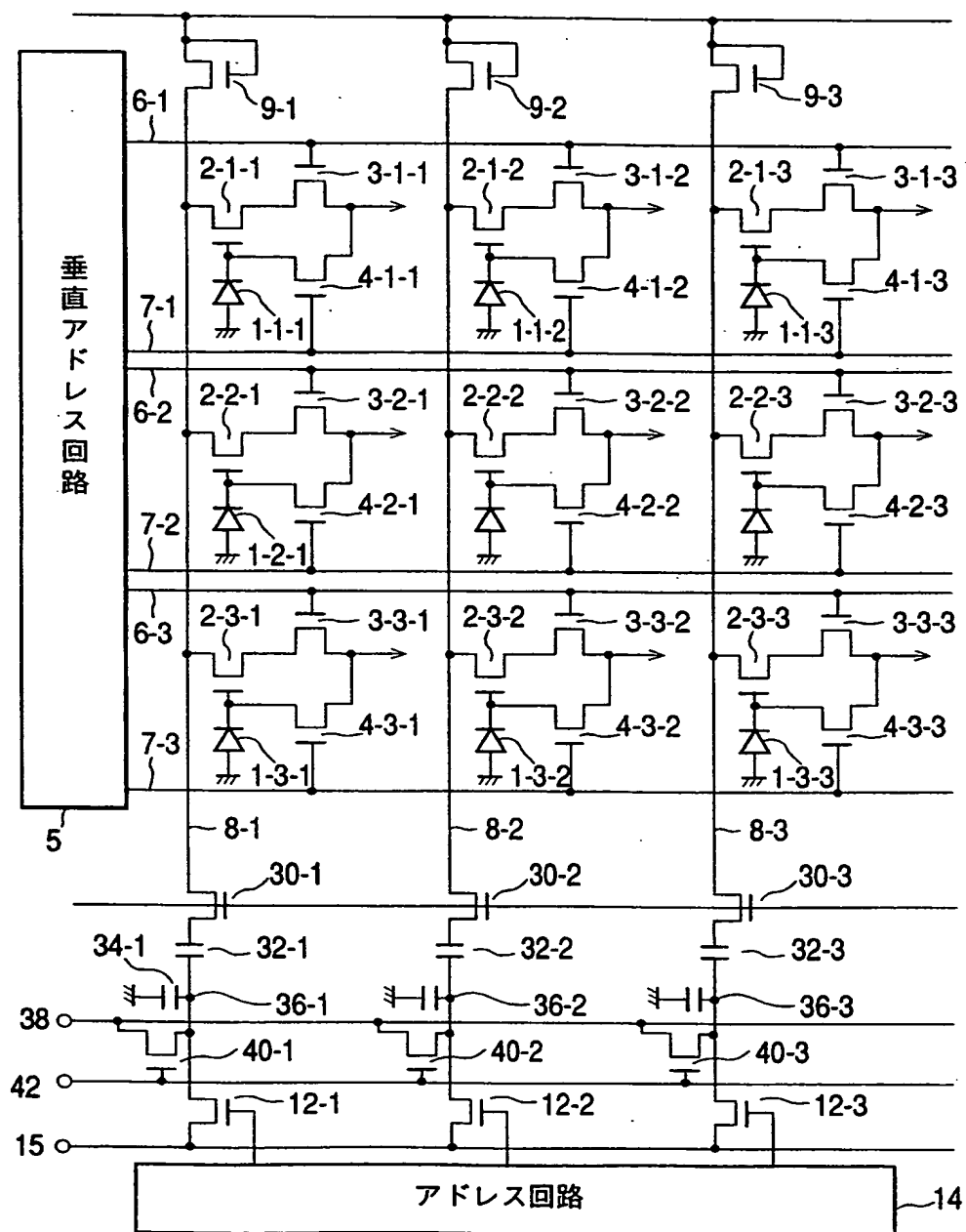


FIG.50

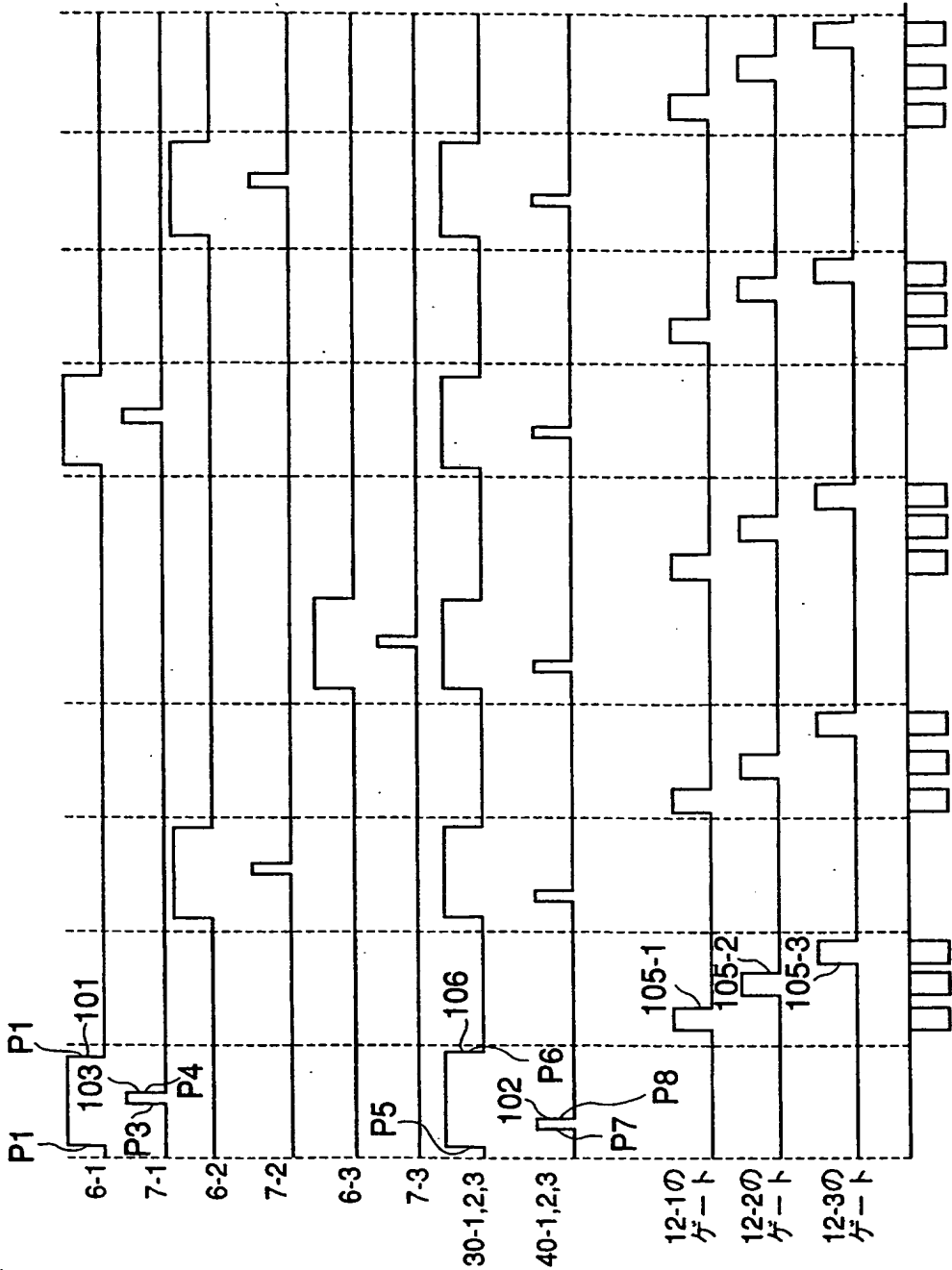


FIG.51

41/90

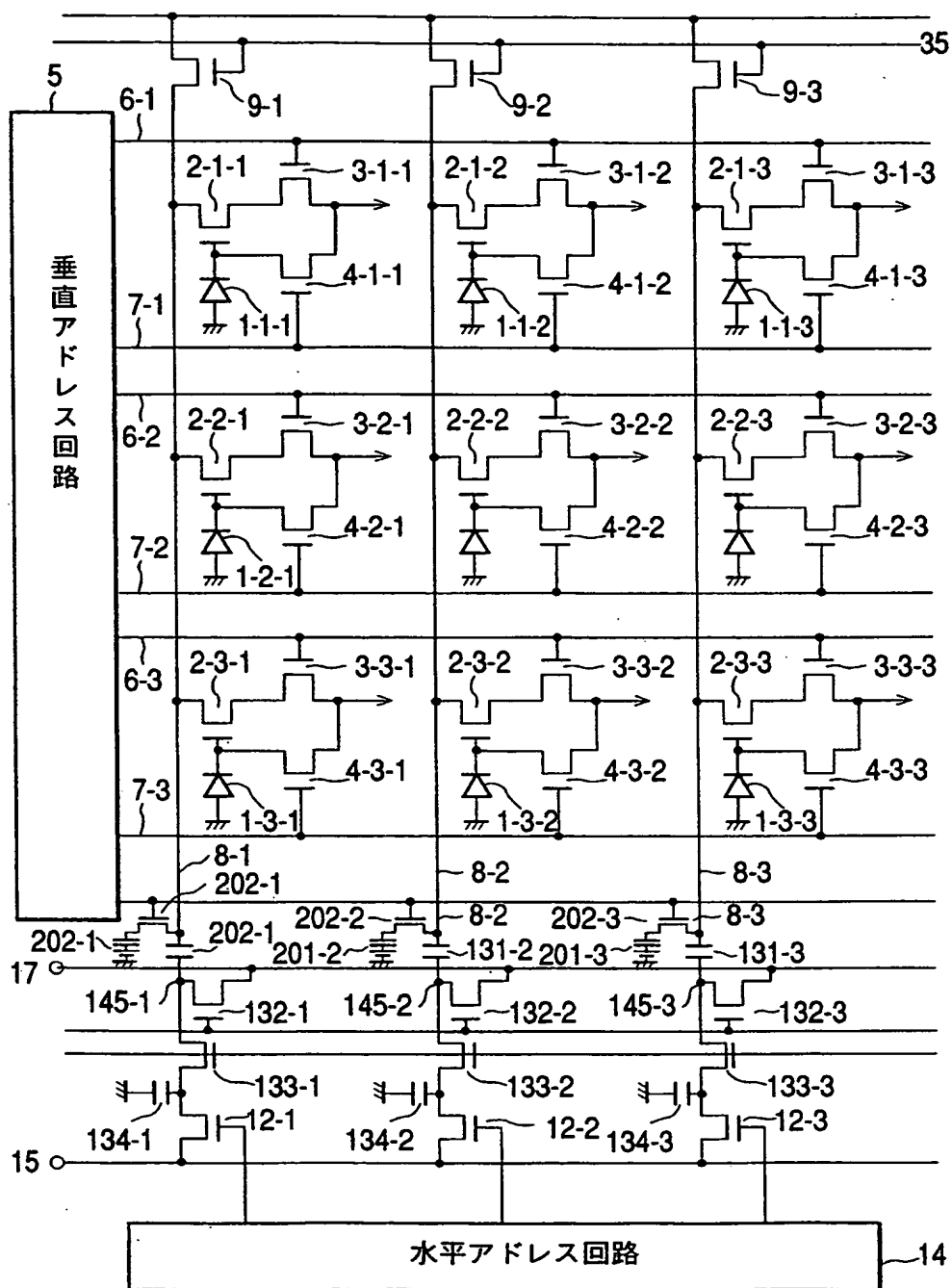


FIG.52

42/90

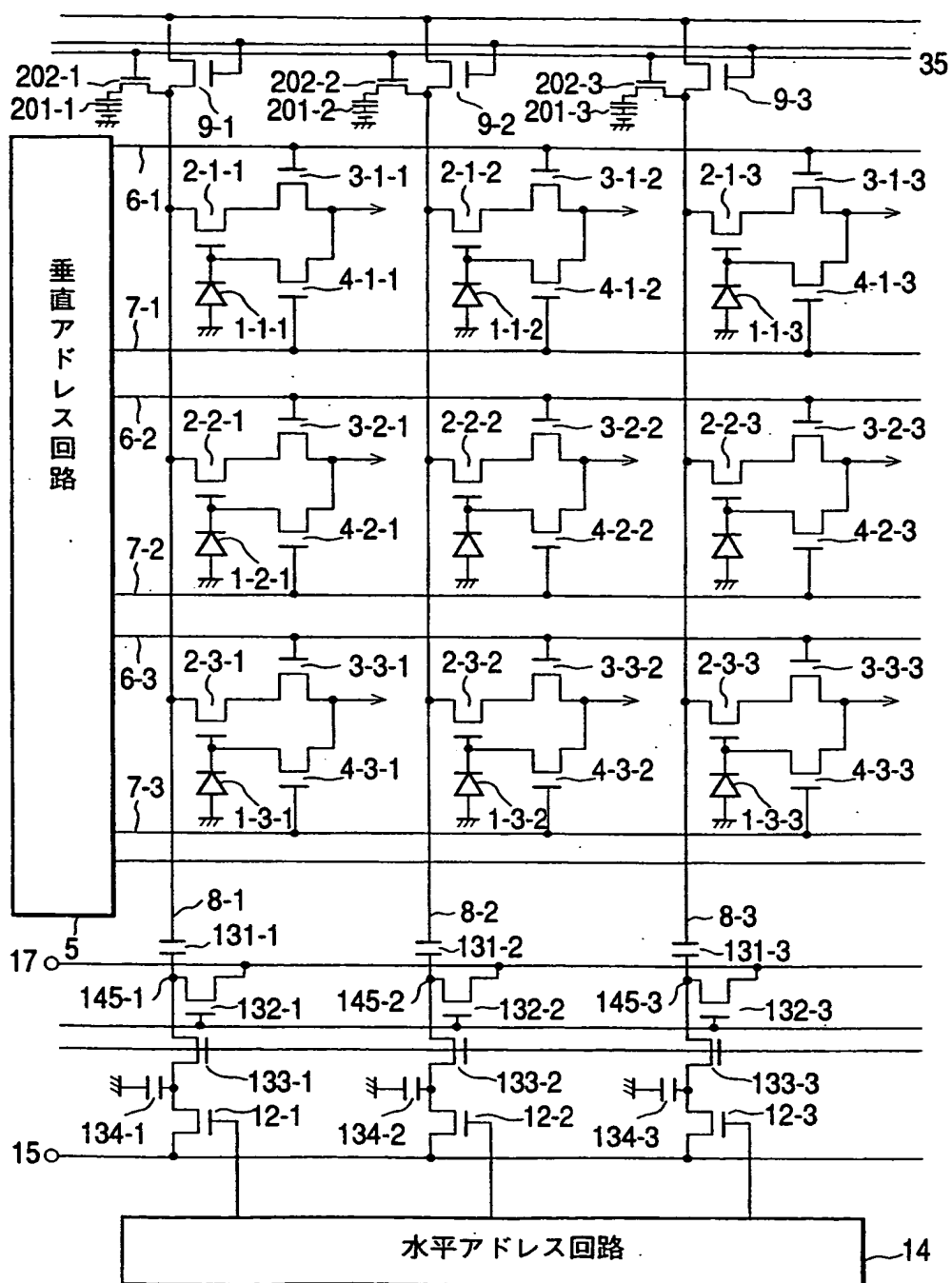


FIG.53

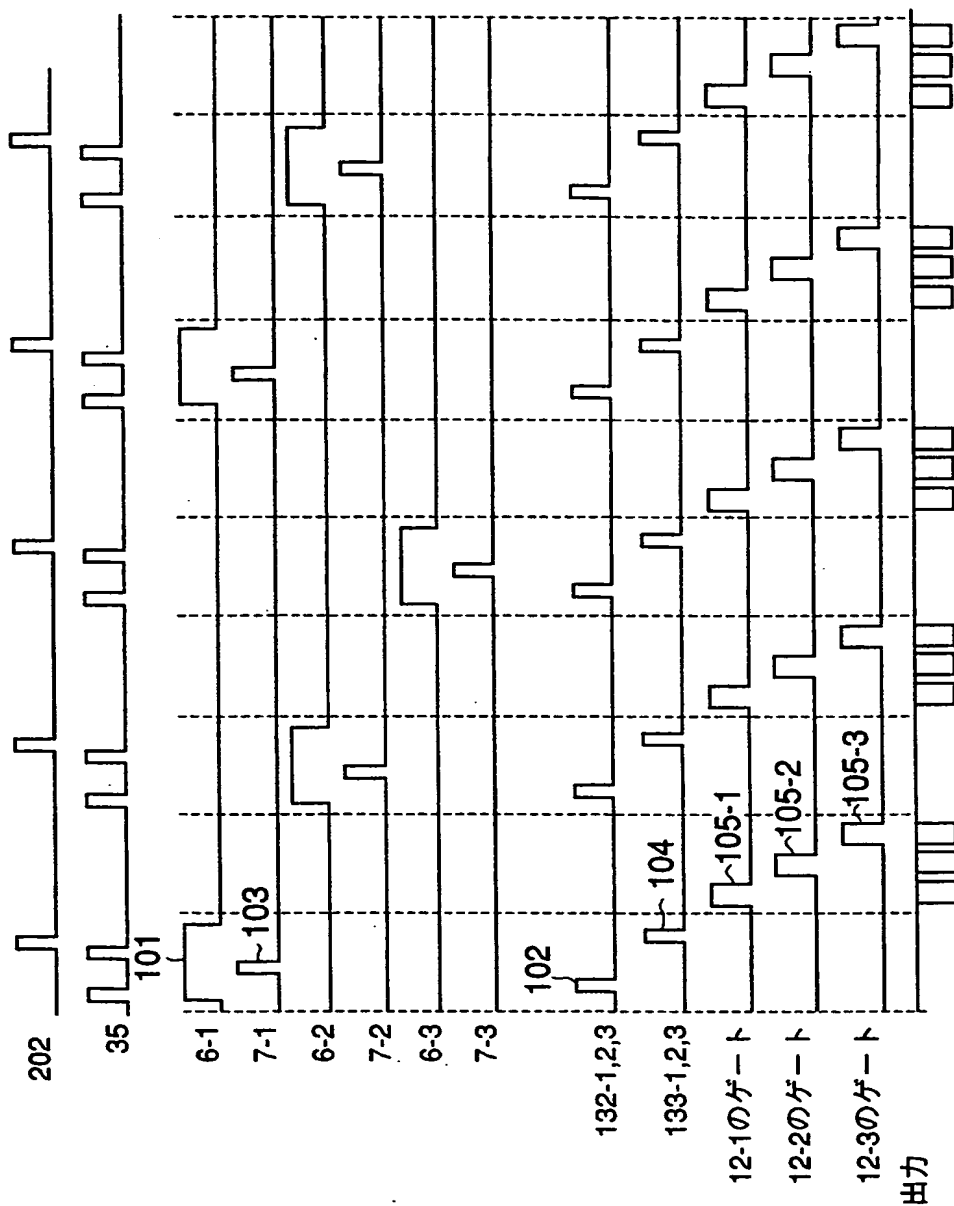


FIG.54

44/90

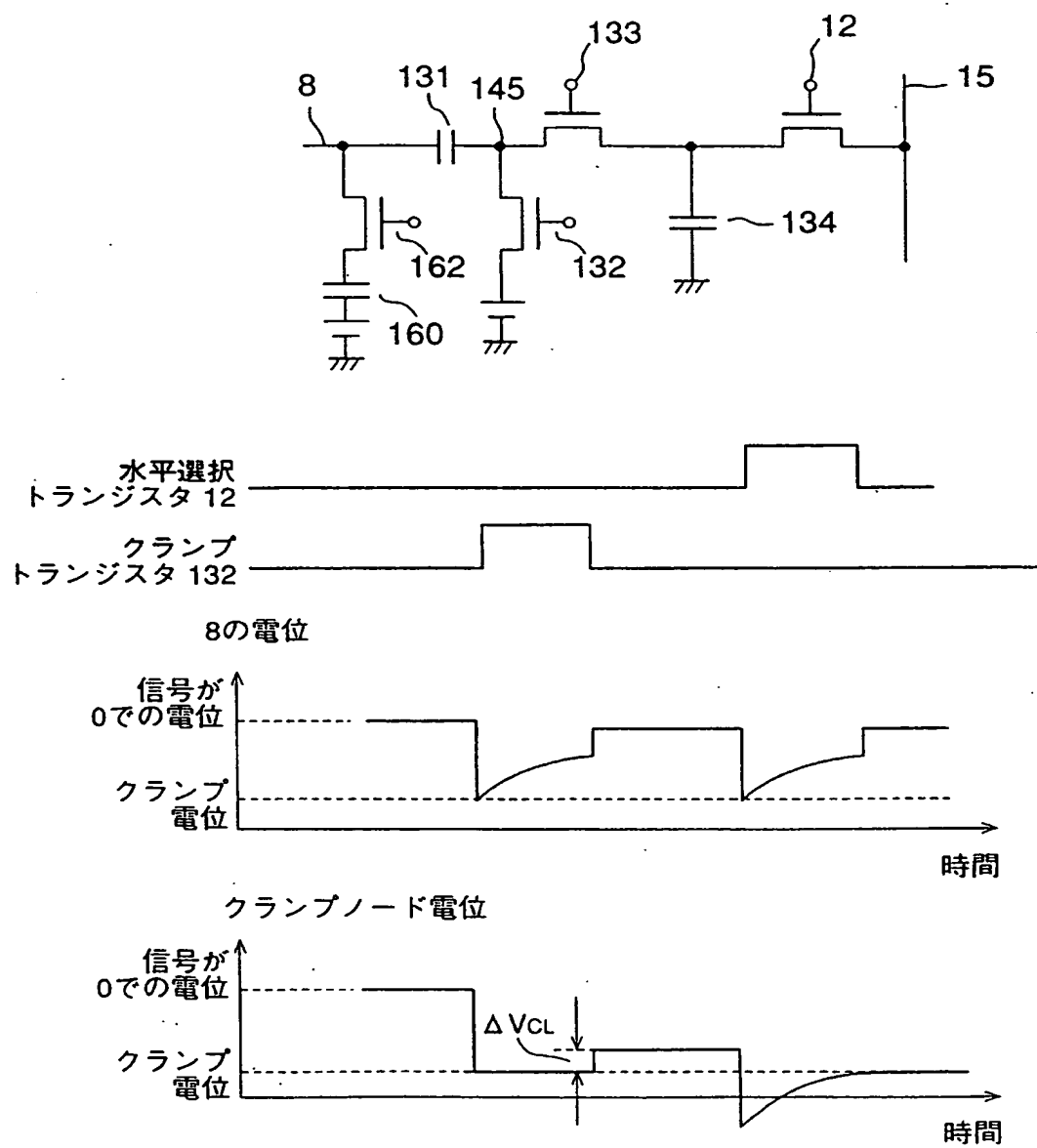


FIG.55

45/90

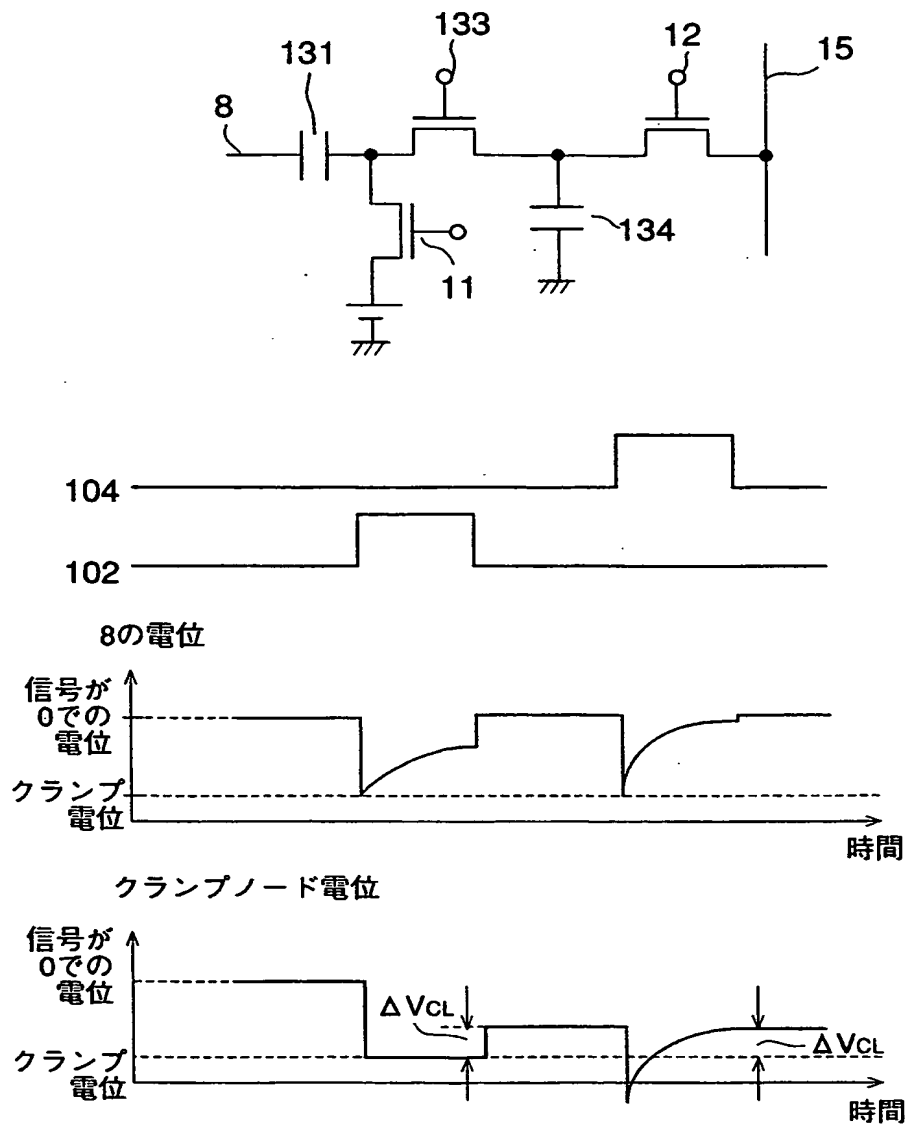


FIG.56

46/90

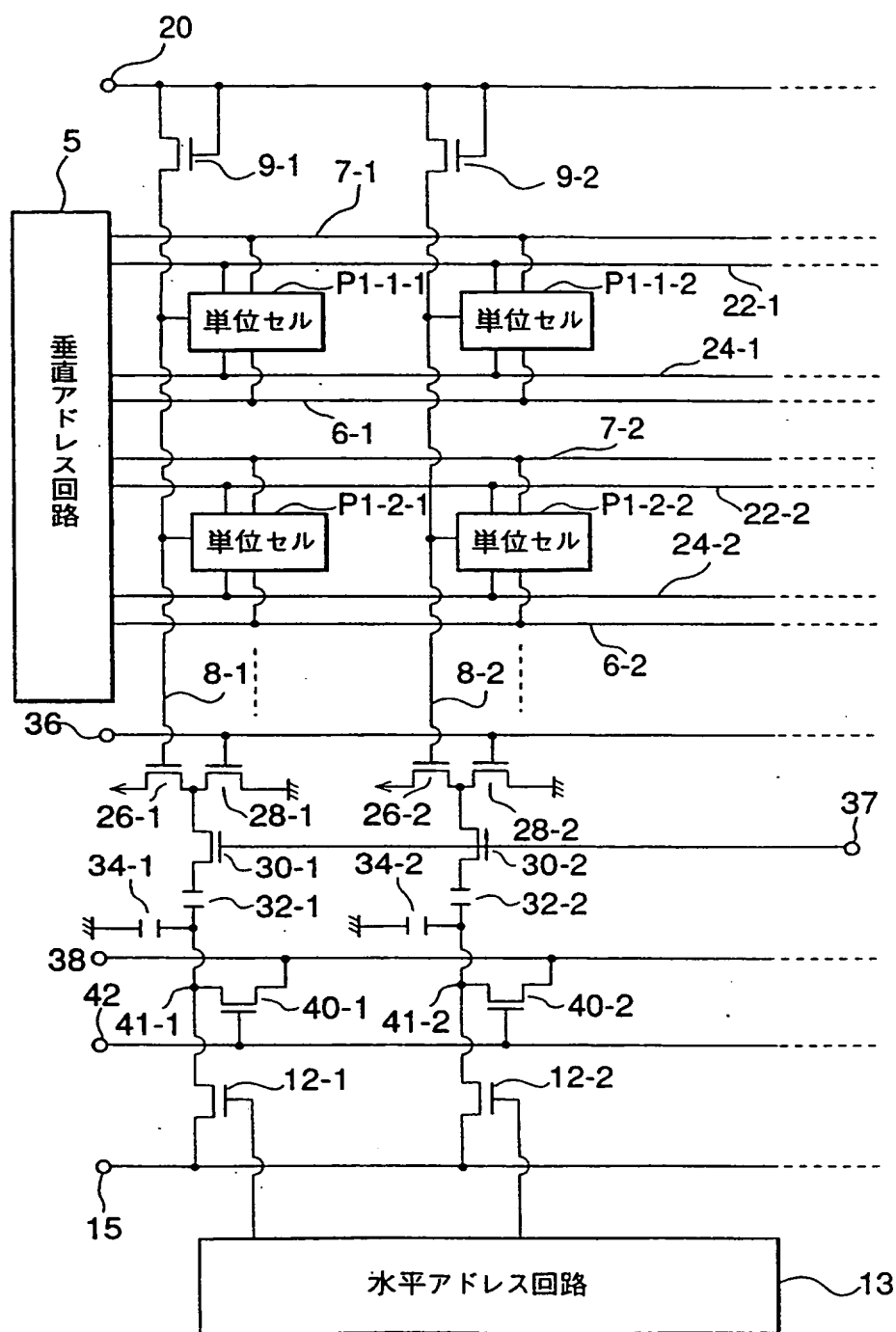


FIG.57

47/90

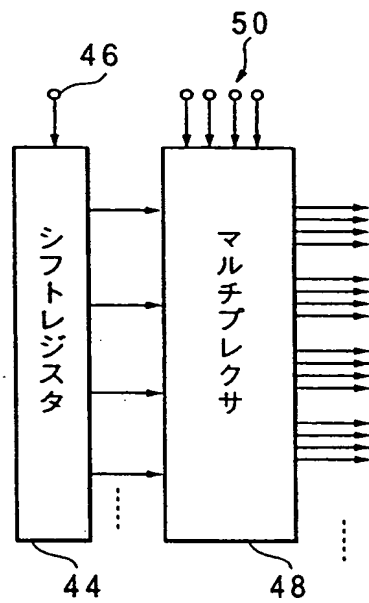


FIG. 58

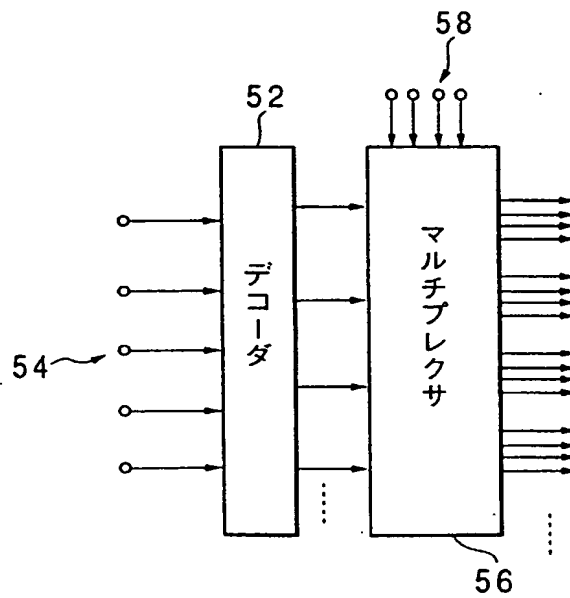


FIG. 59

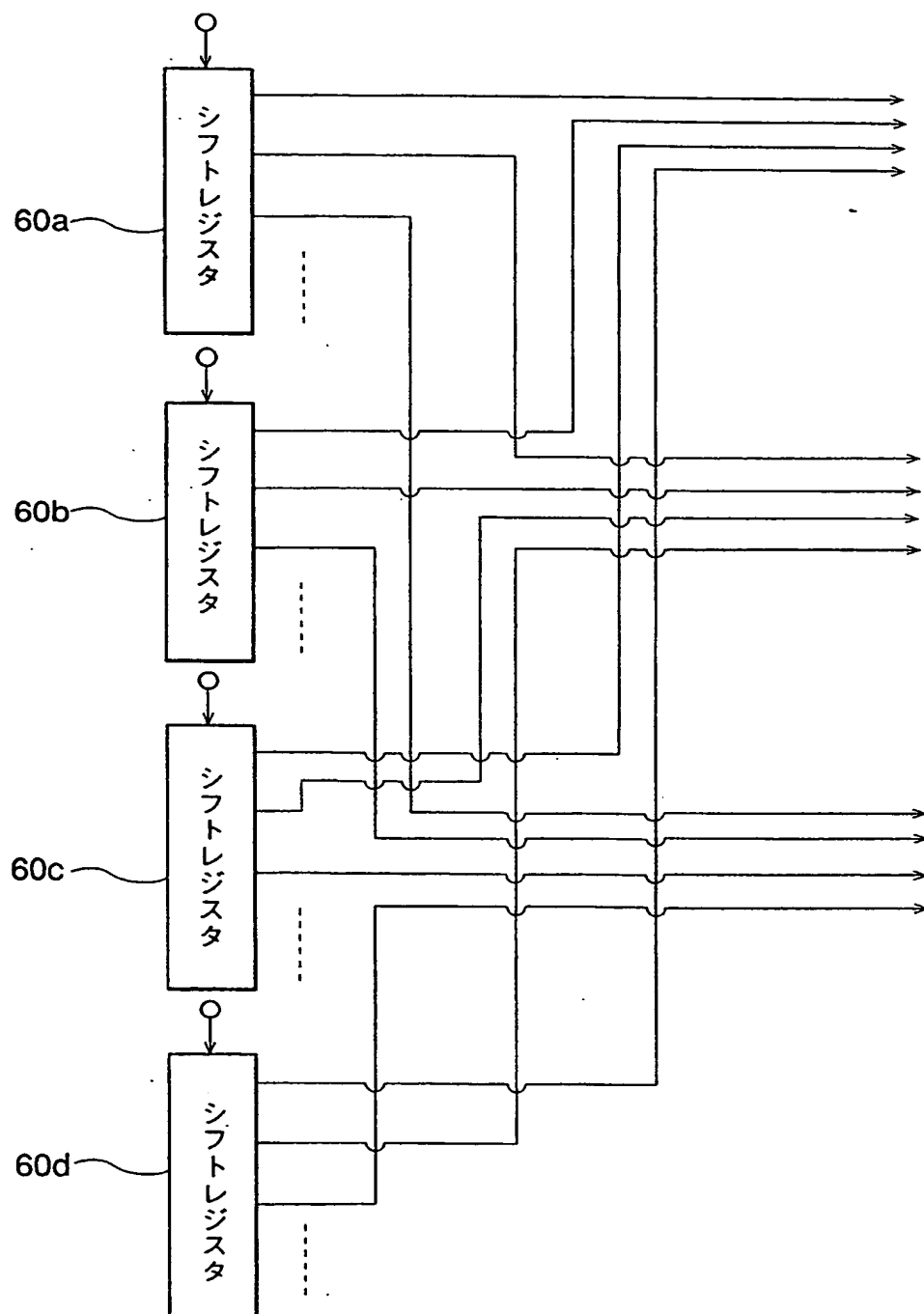


FIG.60

49/90

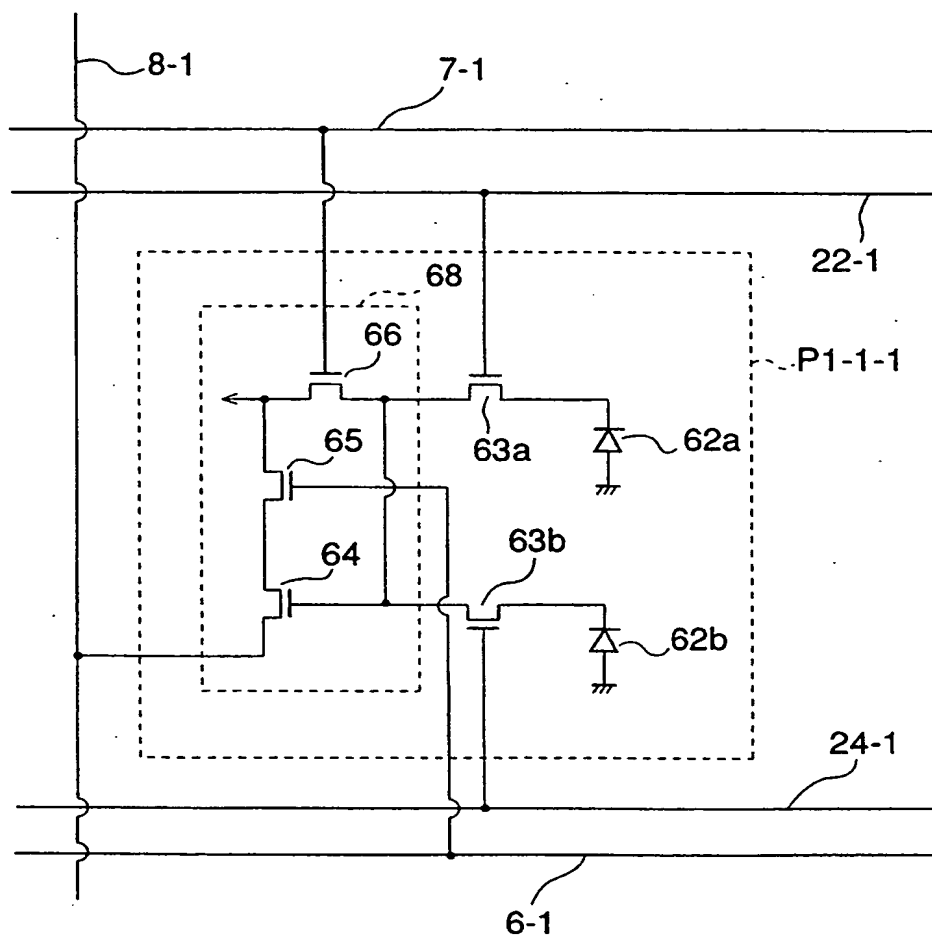


FIG.61

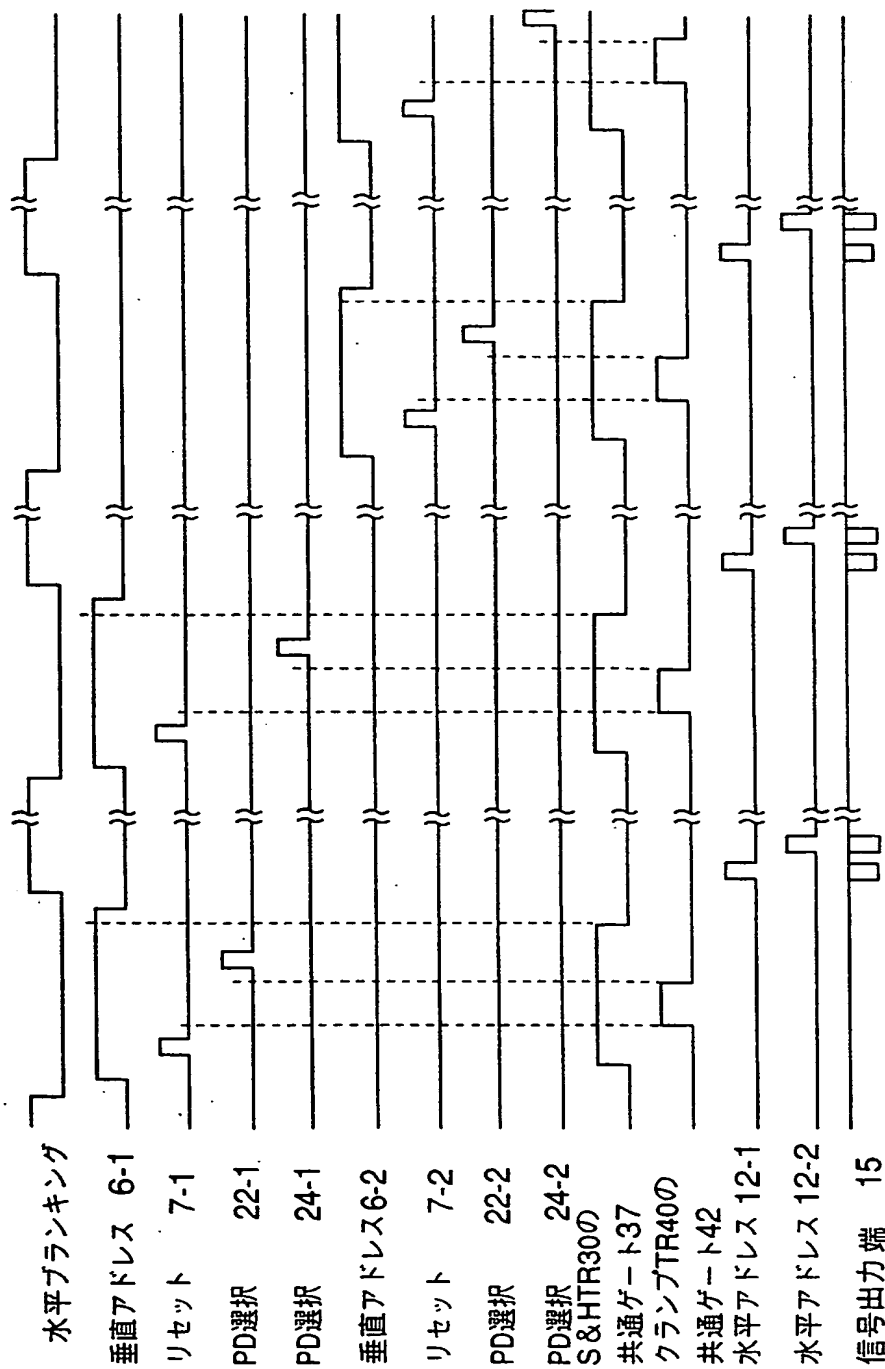


FIG.62

51/90

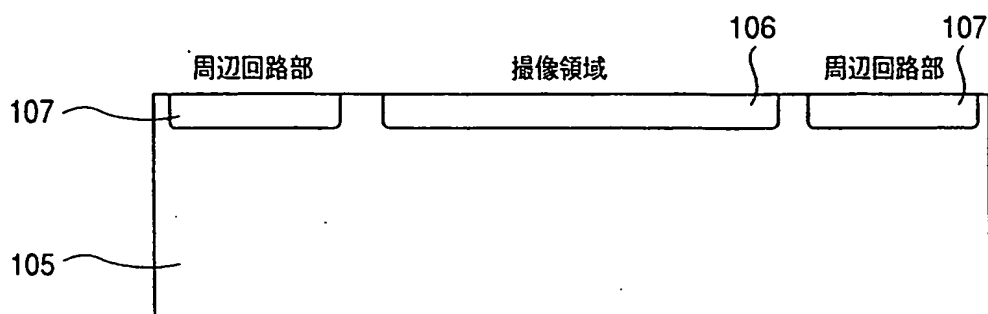


FIG.63

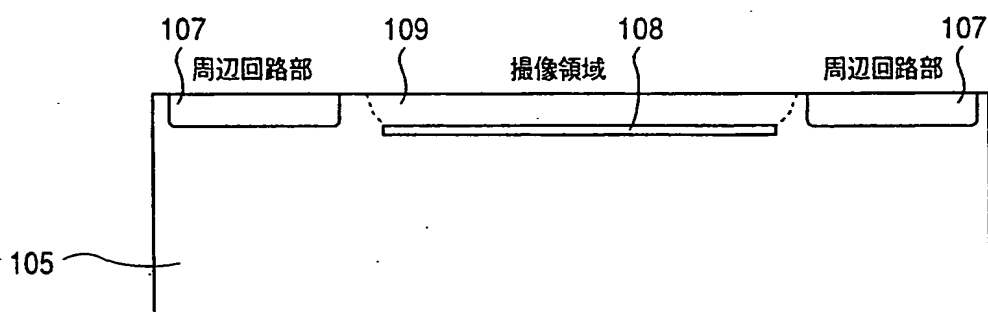


FIG.64

53/90

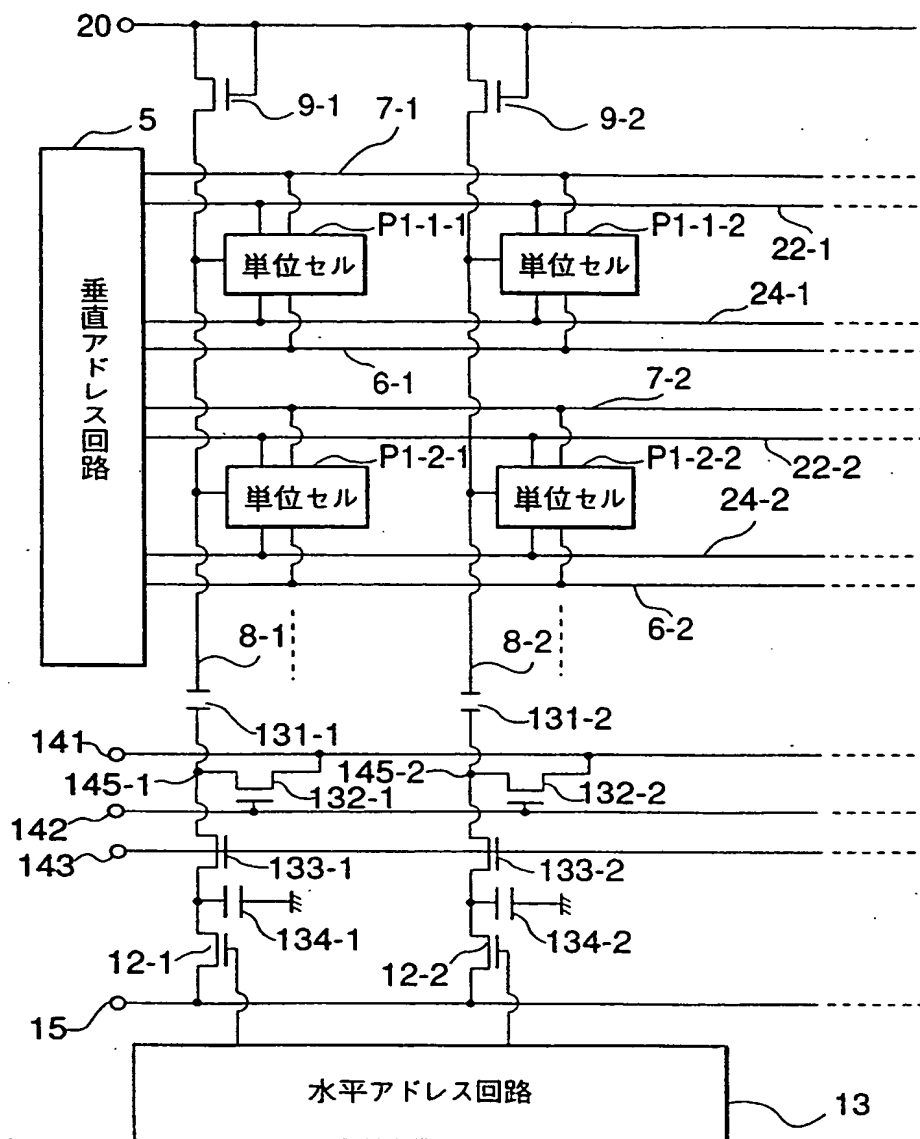


FIG.66

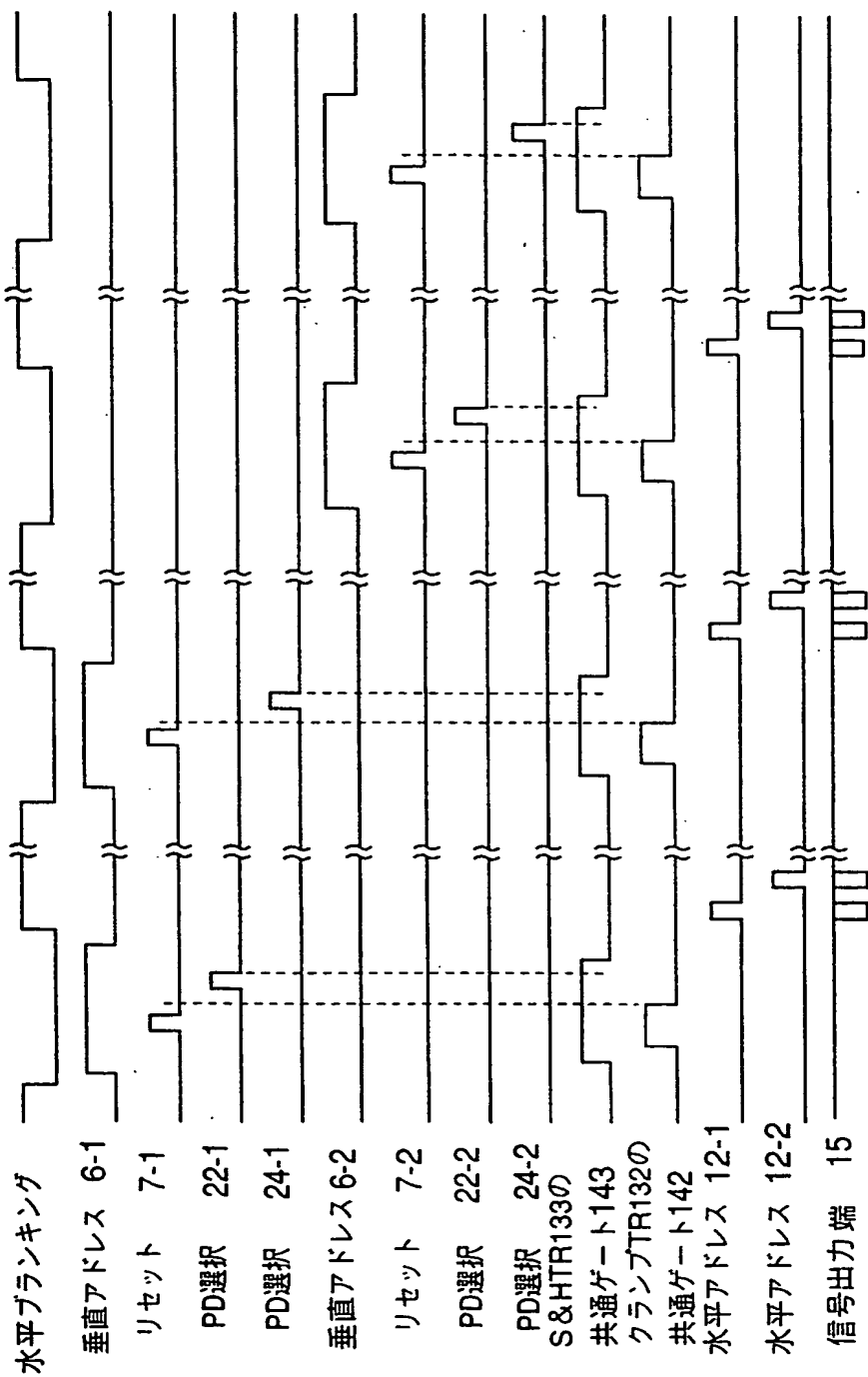


FIG.67

55/90

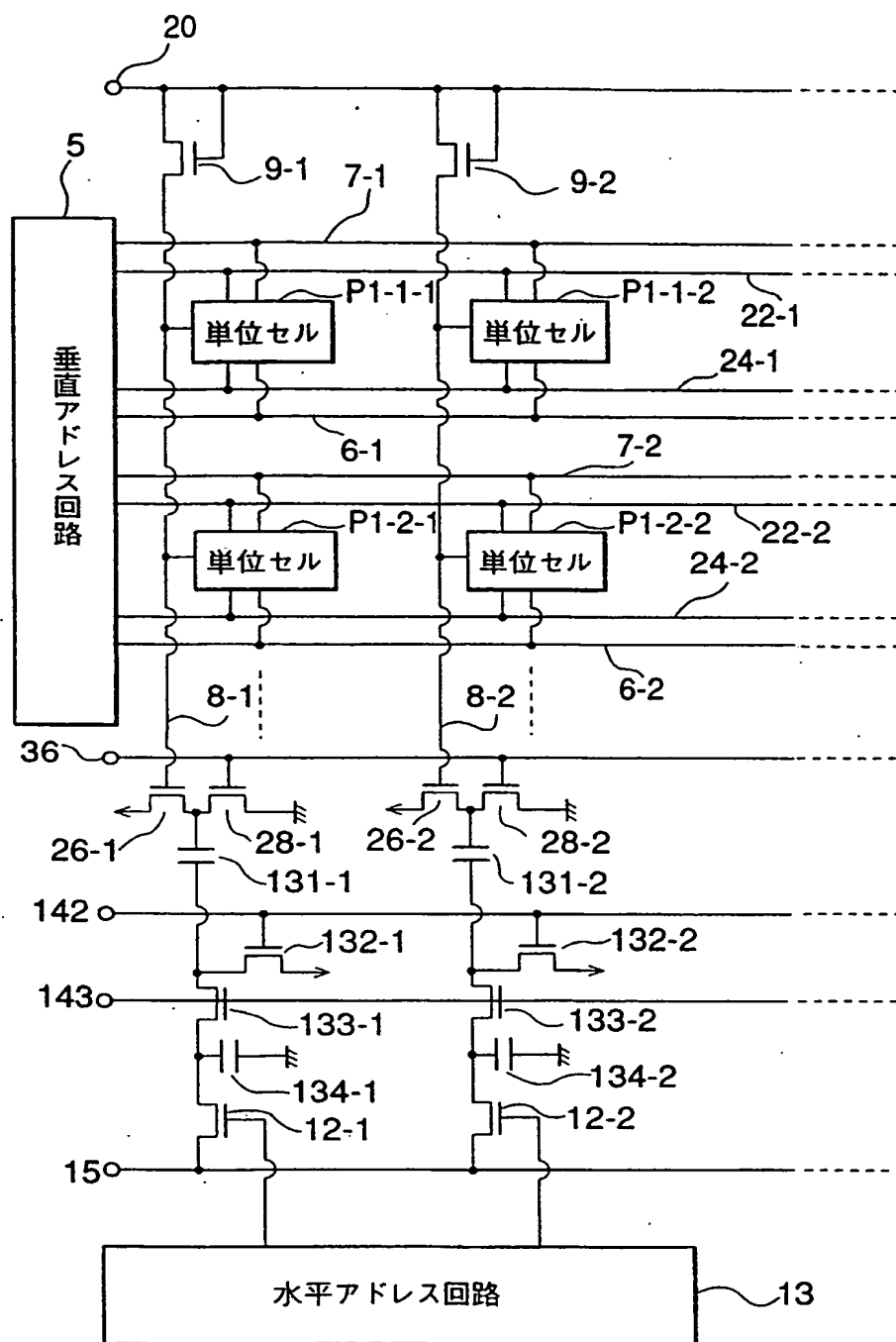


FIG.68

56/90

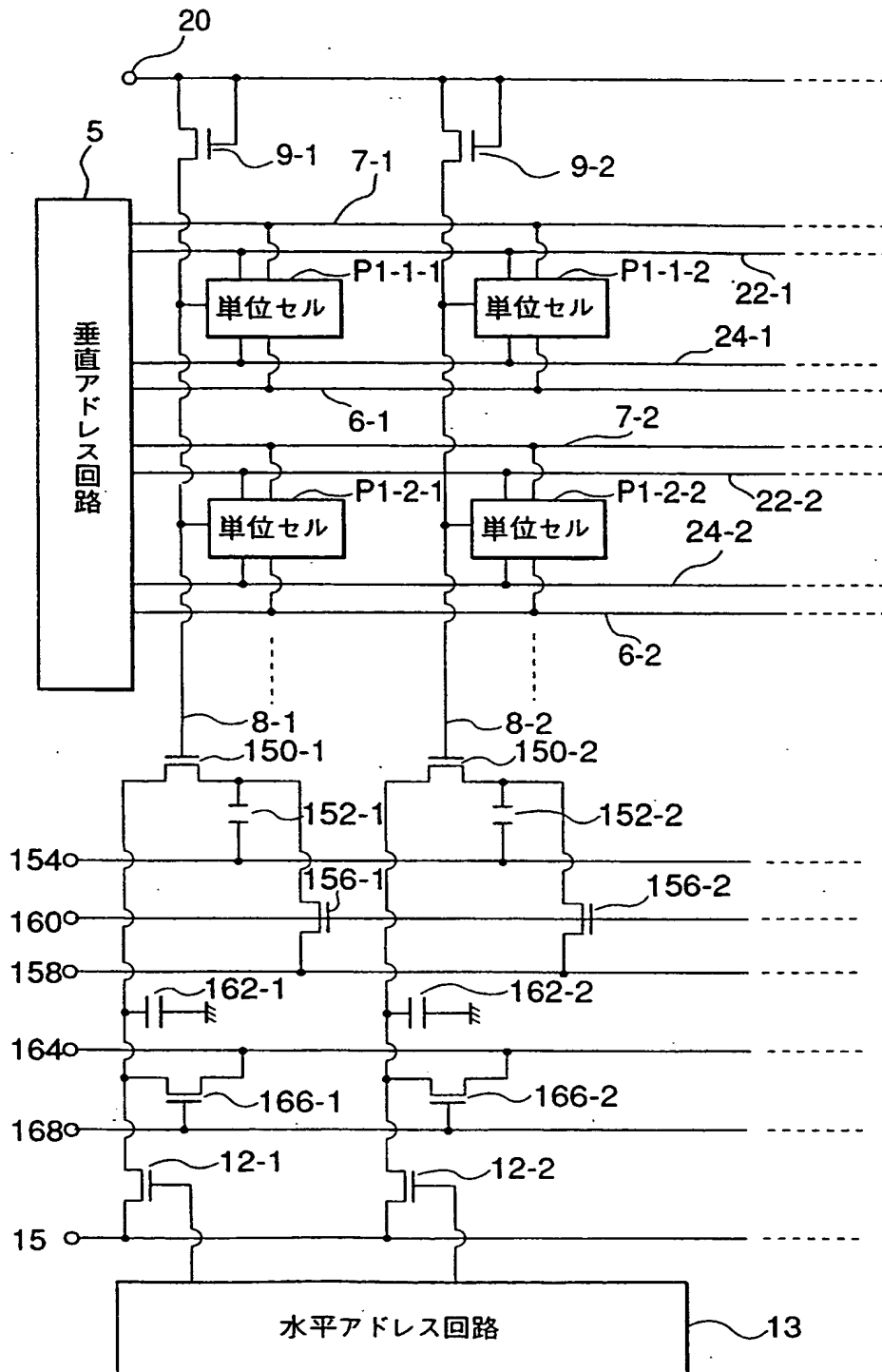


FIG.69

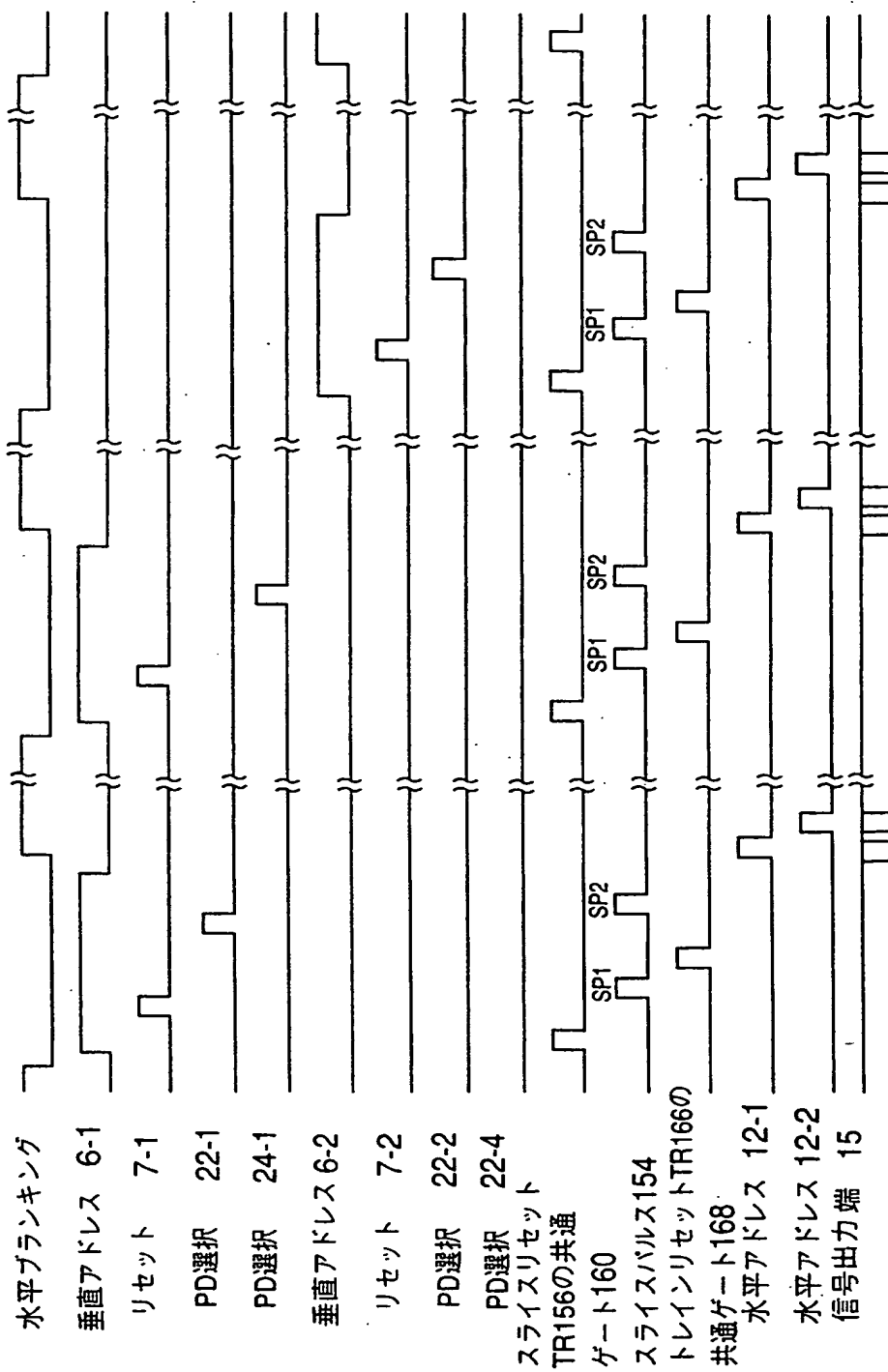


FIG.70

58/90

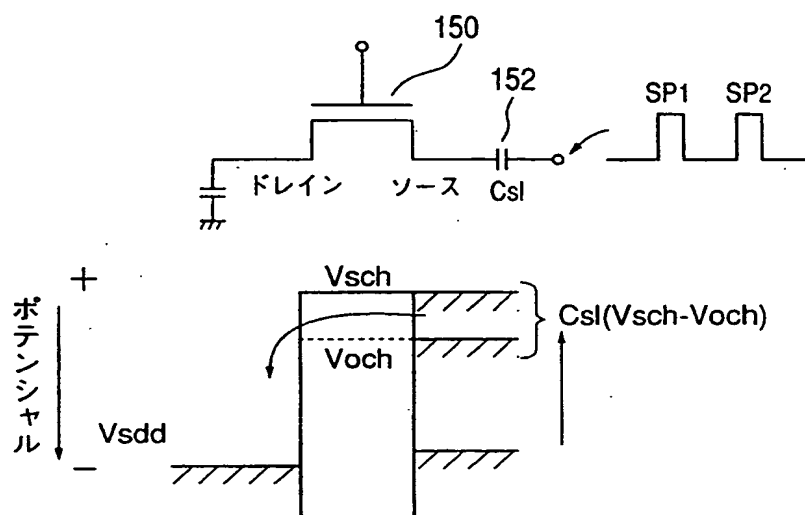


FIG.71

59/90

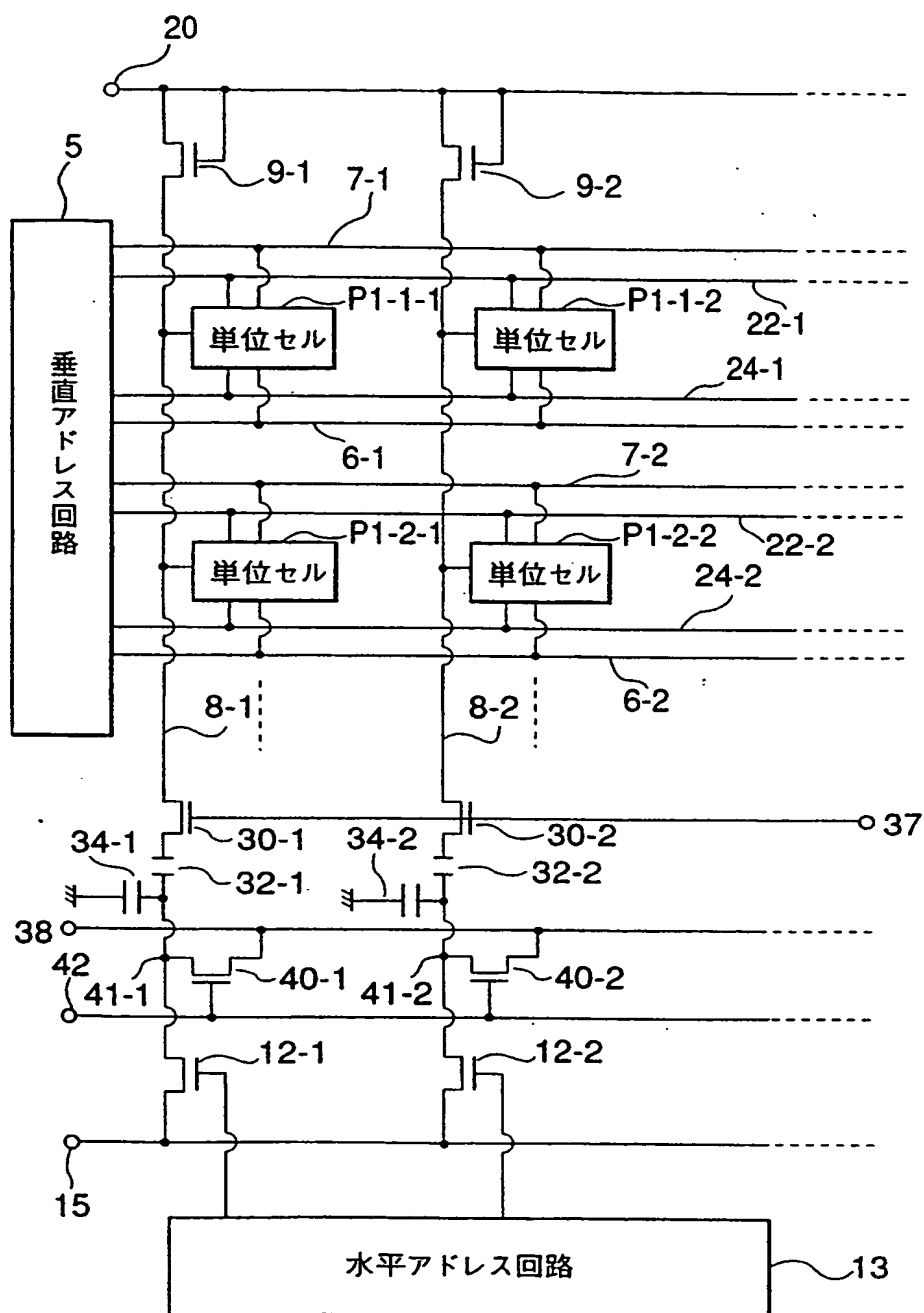


FIG.72

60/90

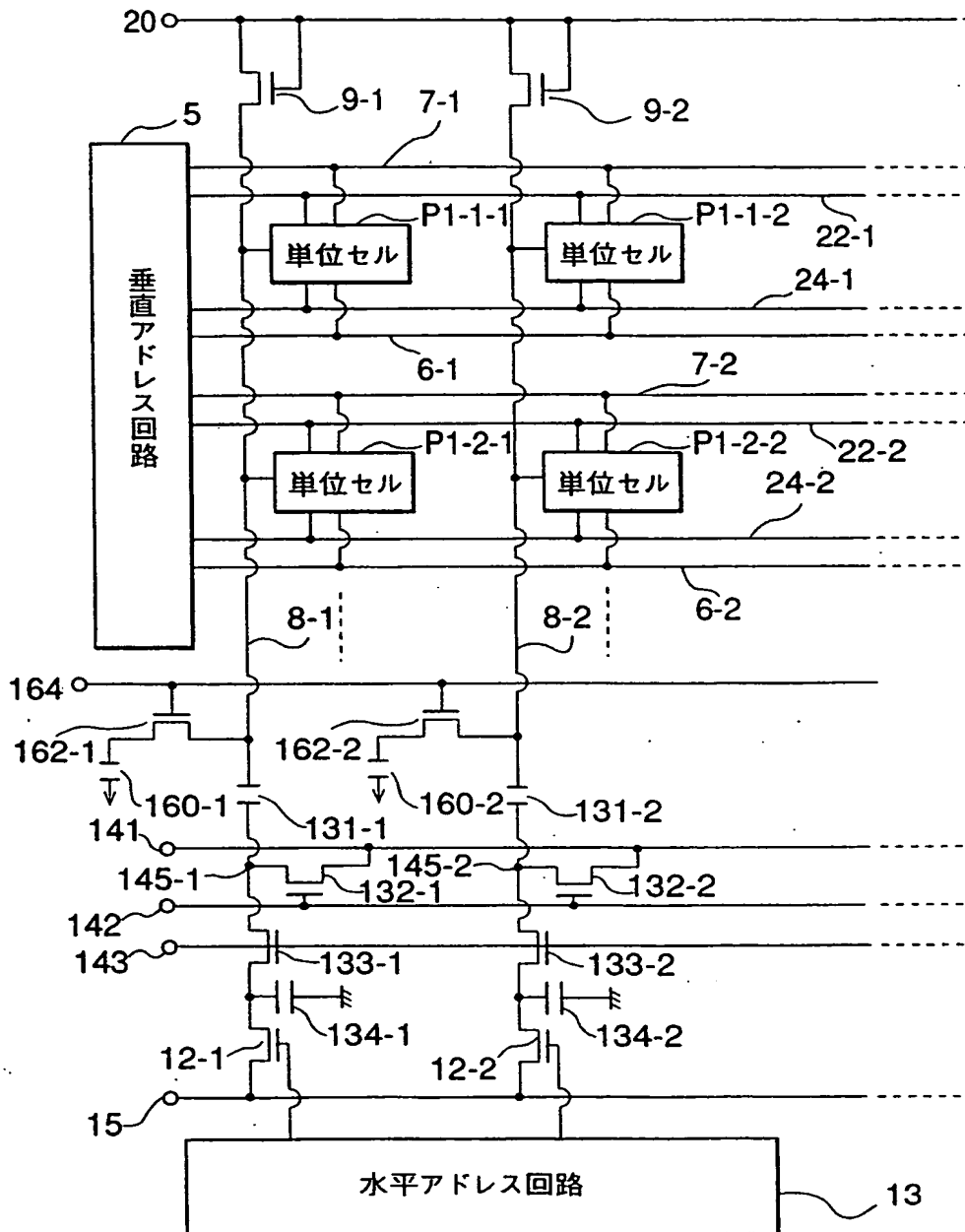


FIG.73

61/90

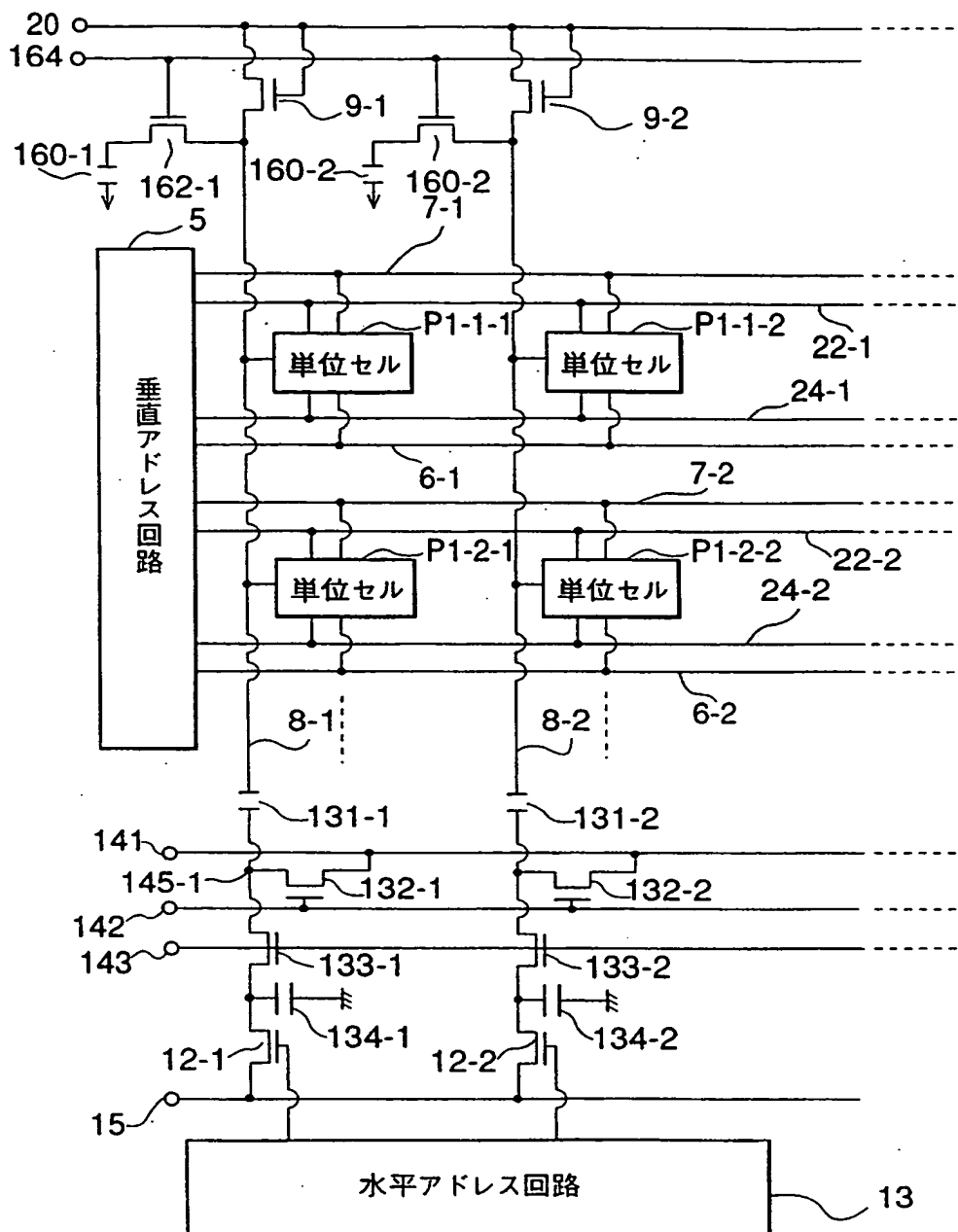


FIG.74

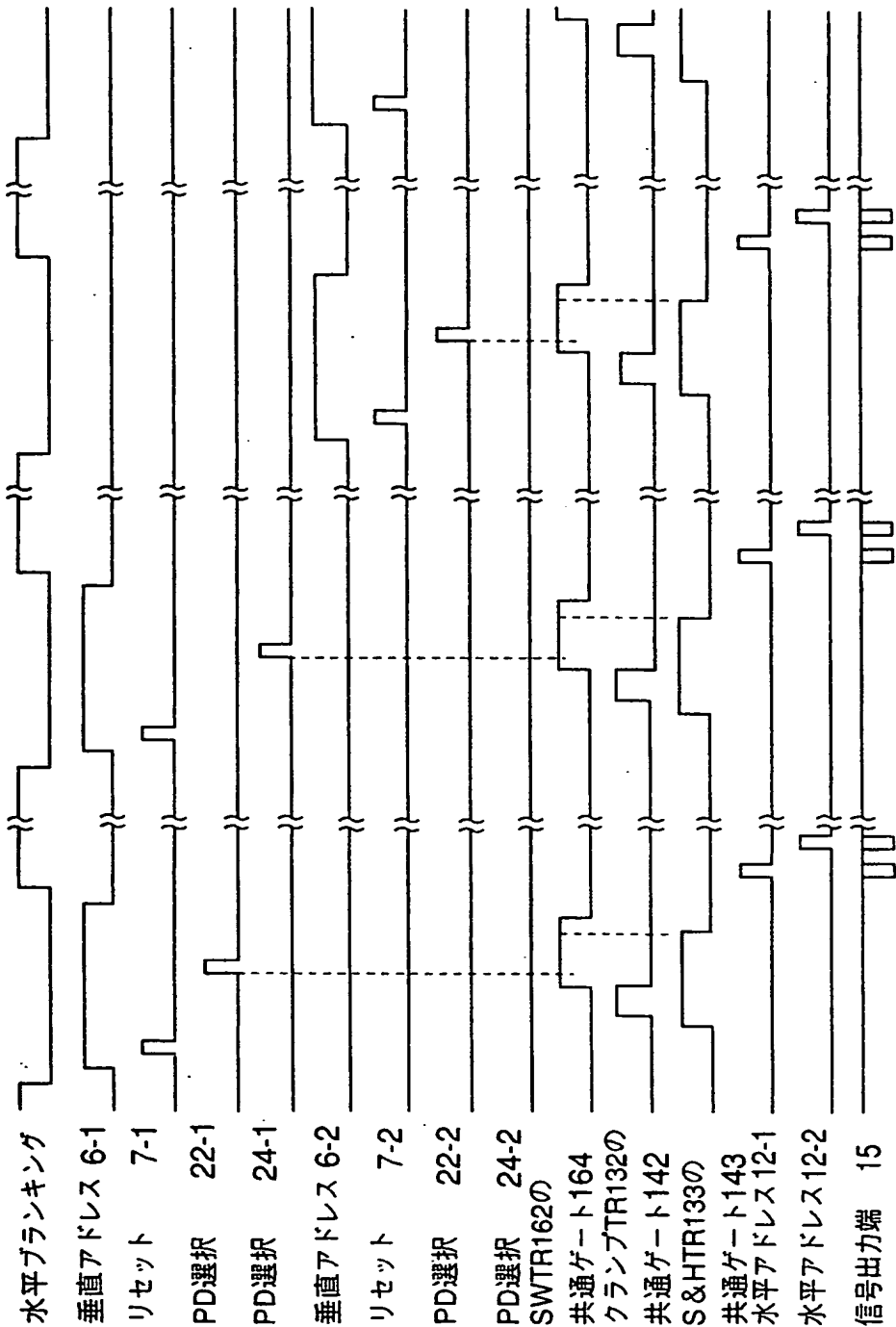
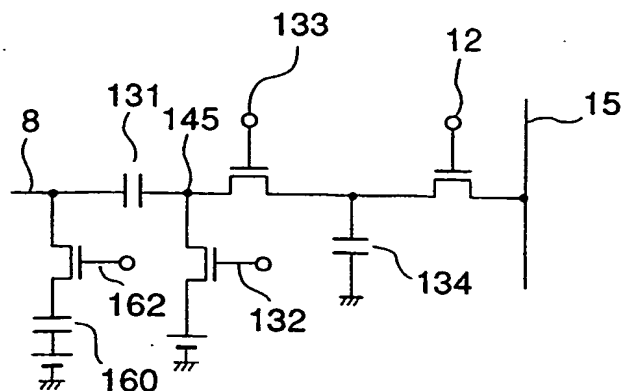


FIG.75

63/90

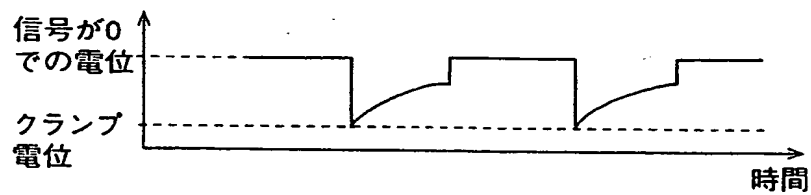


水平選択

トランジスタ 12

クランプトランジスタ
132

8の電位



クランプノード電位

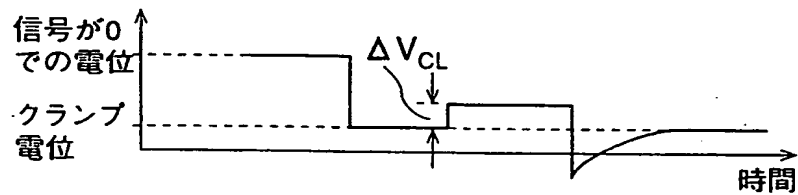


FIG.76

64/90

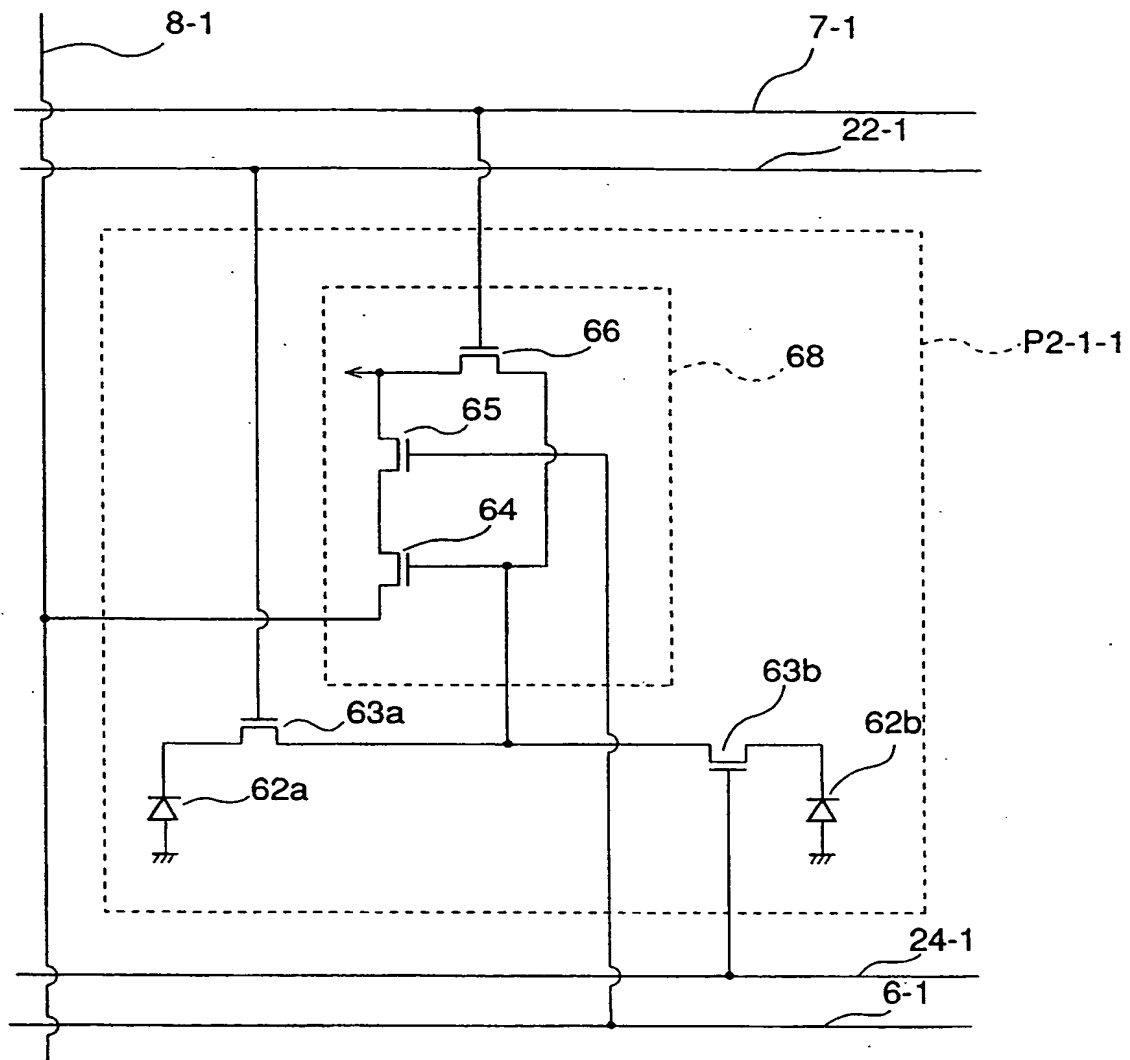


FIG.77

65/90

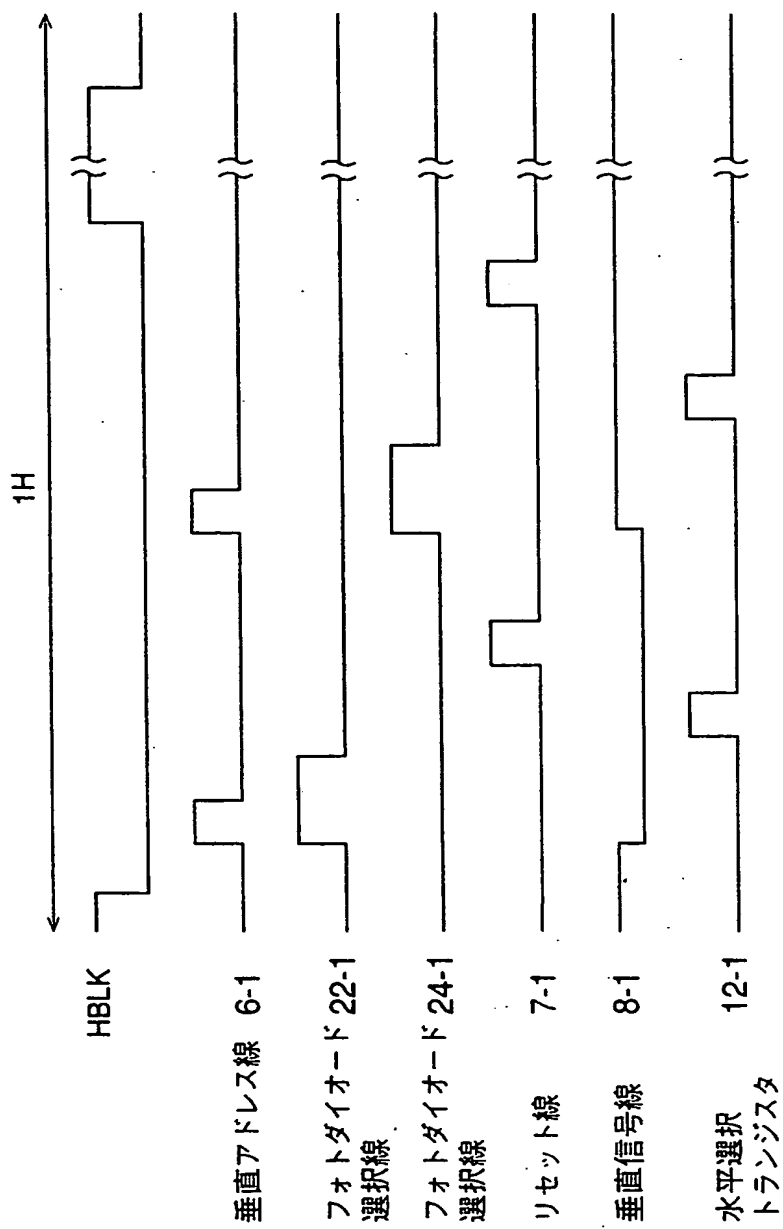


FIG.78

66/90

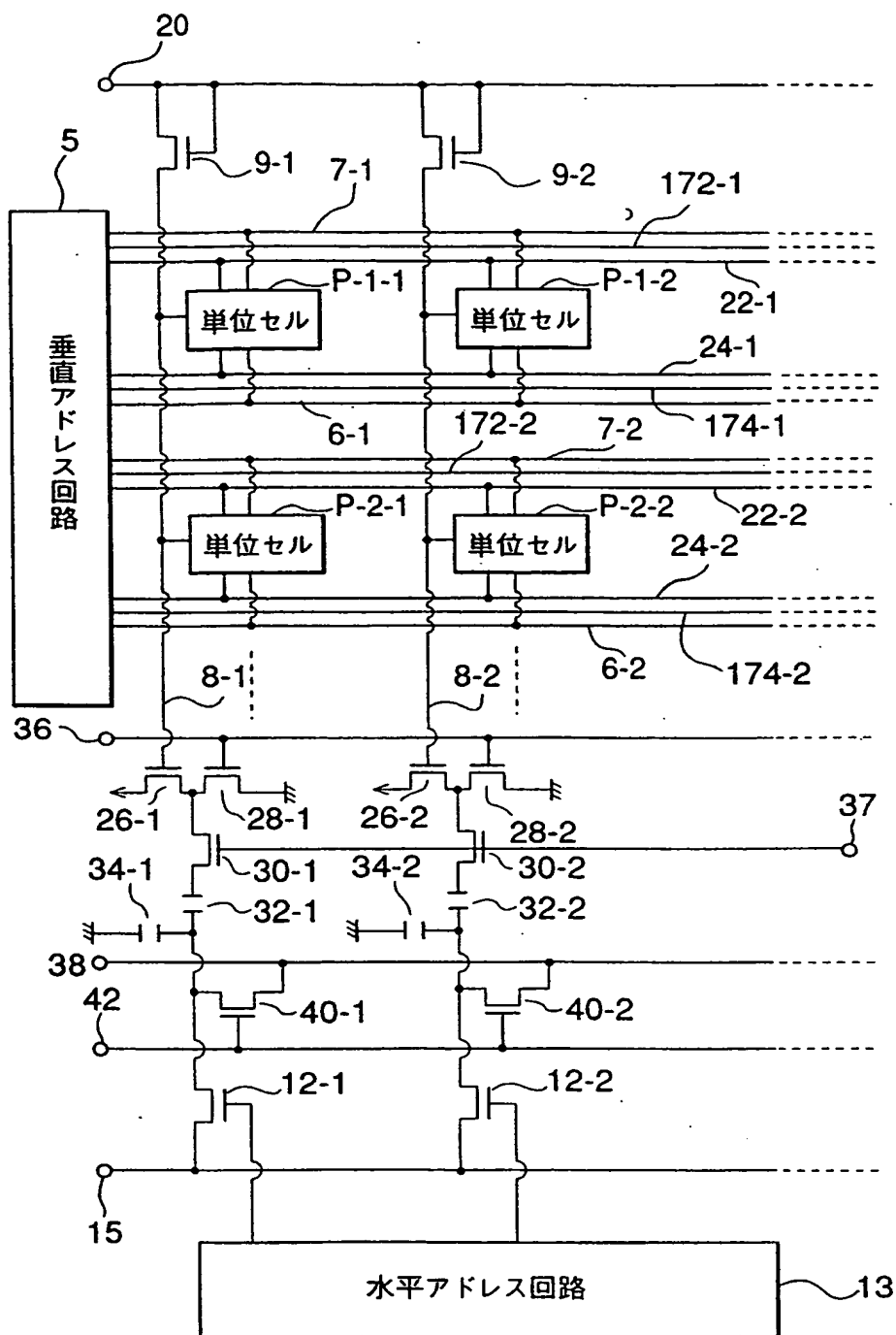


FIG.79

67/90

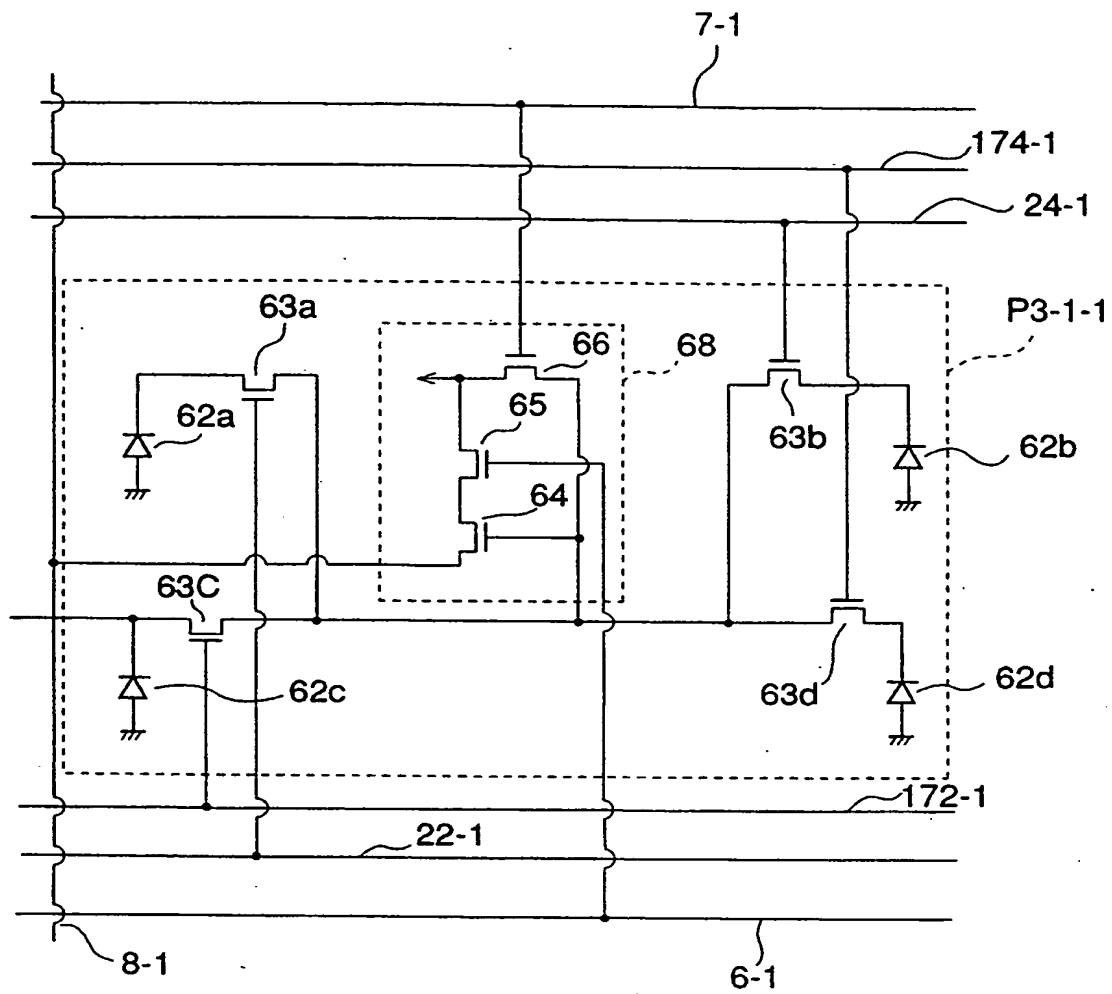


FIG.80

68/90

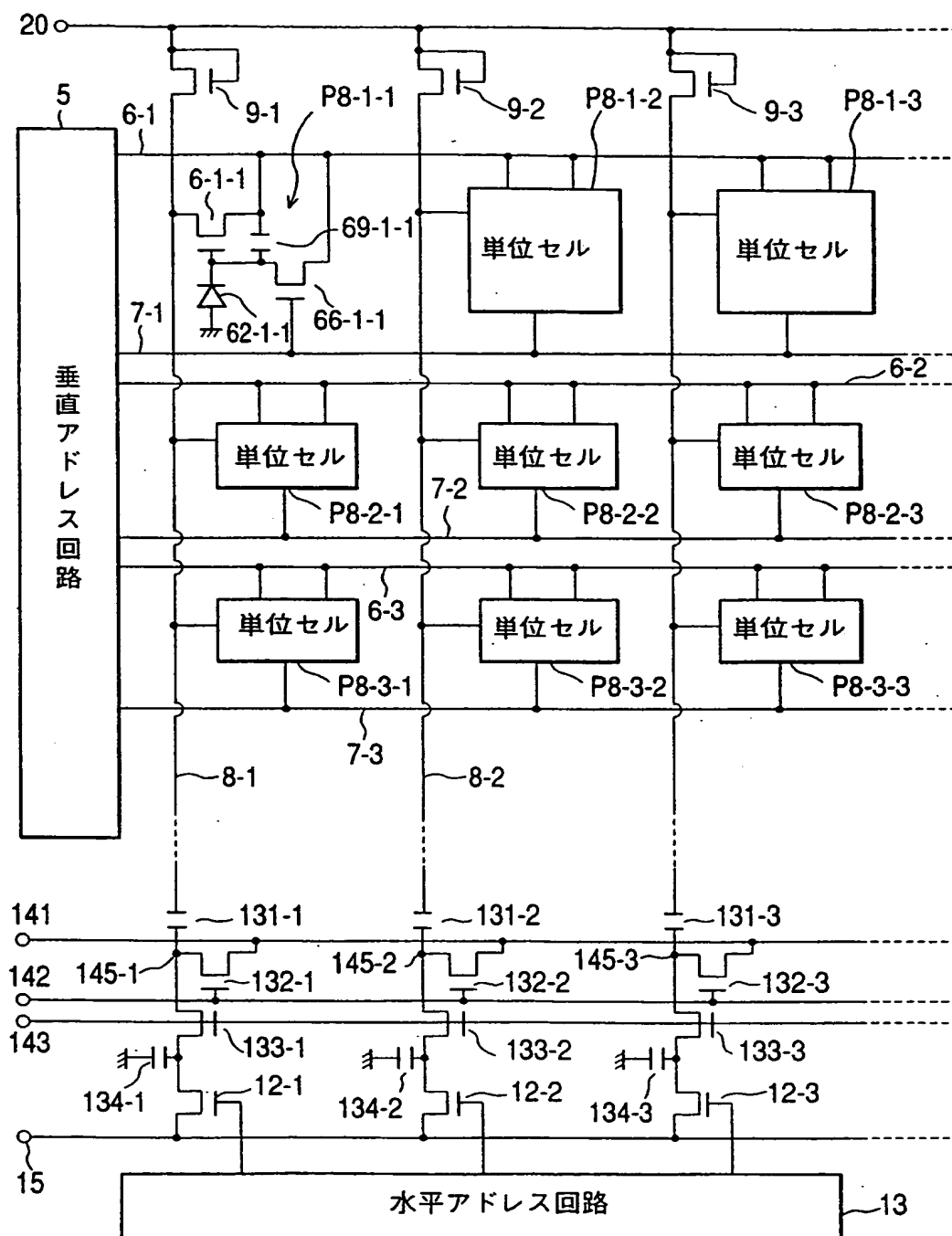


FIG.81

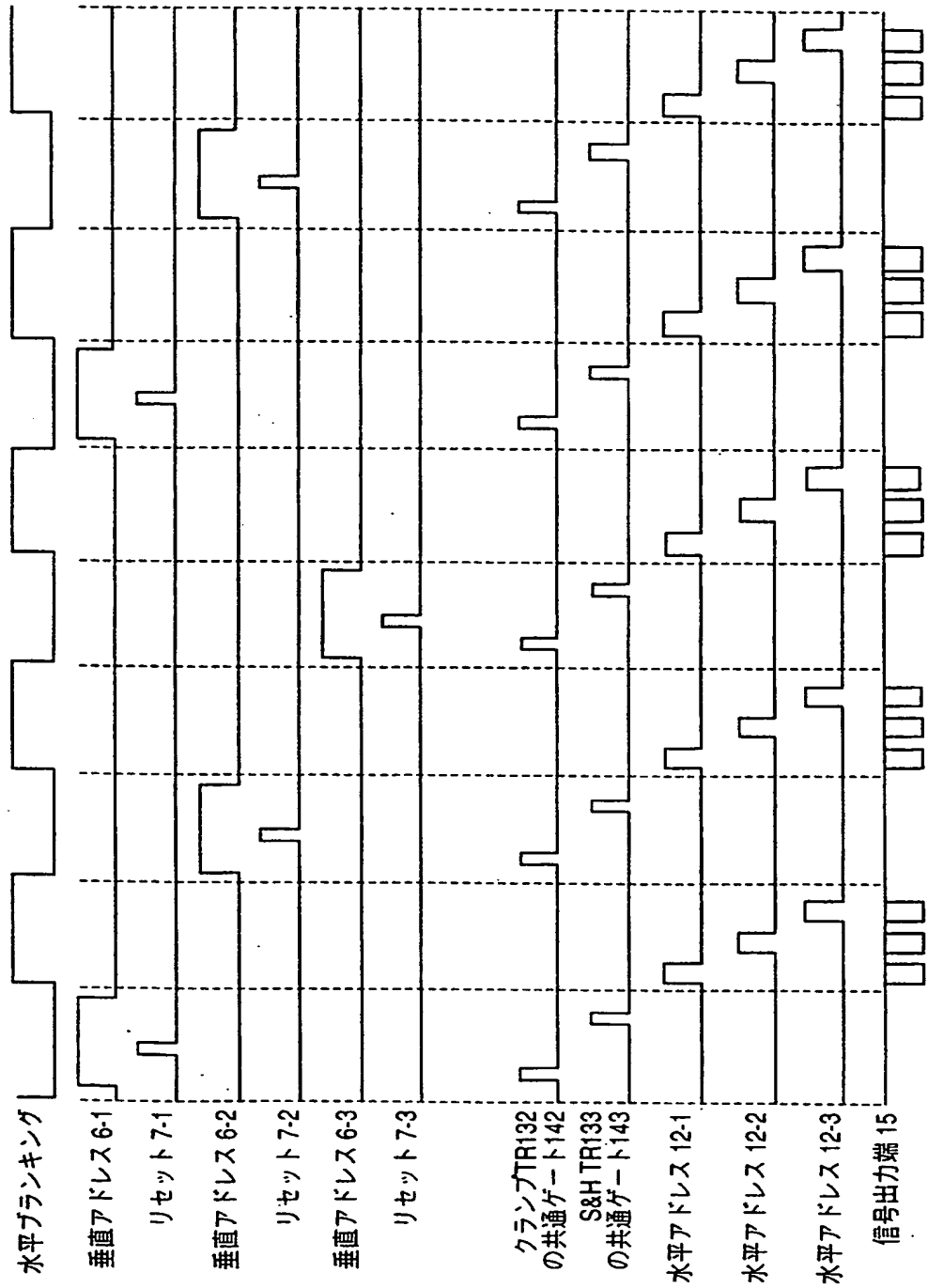


FIG.82

70/90

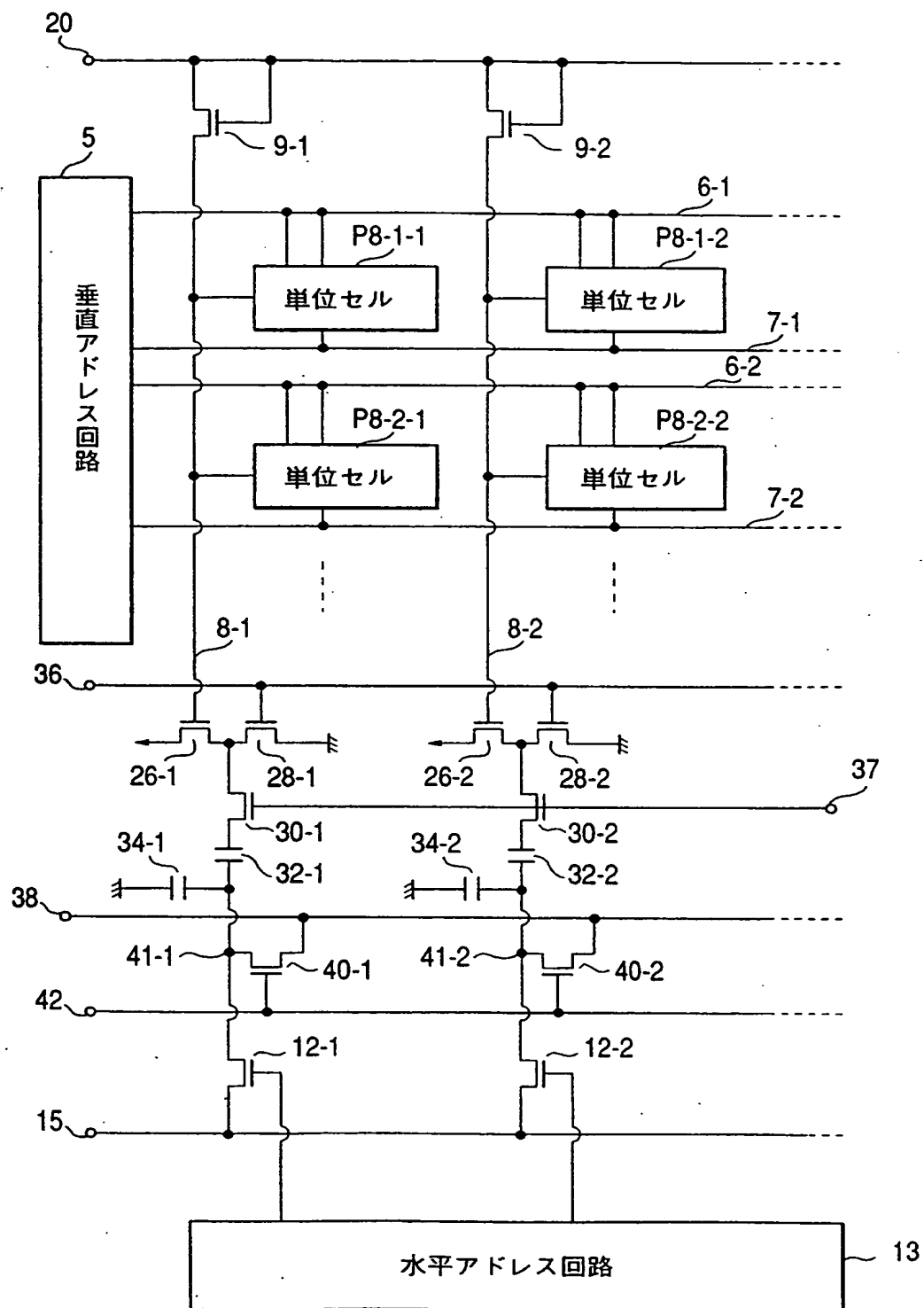


FIG.83

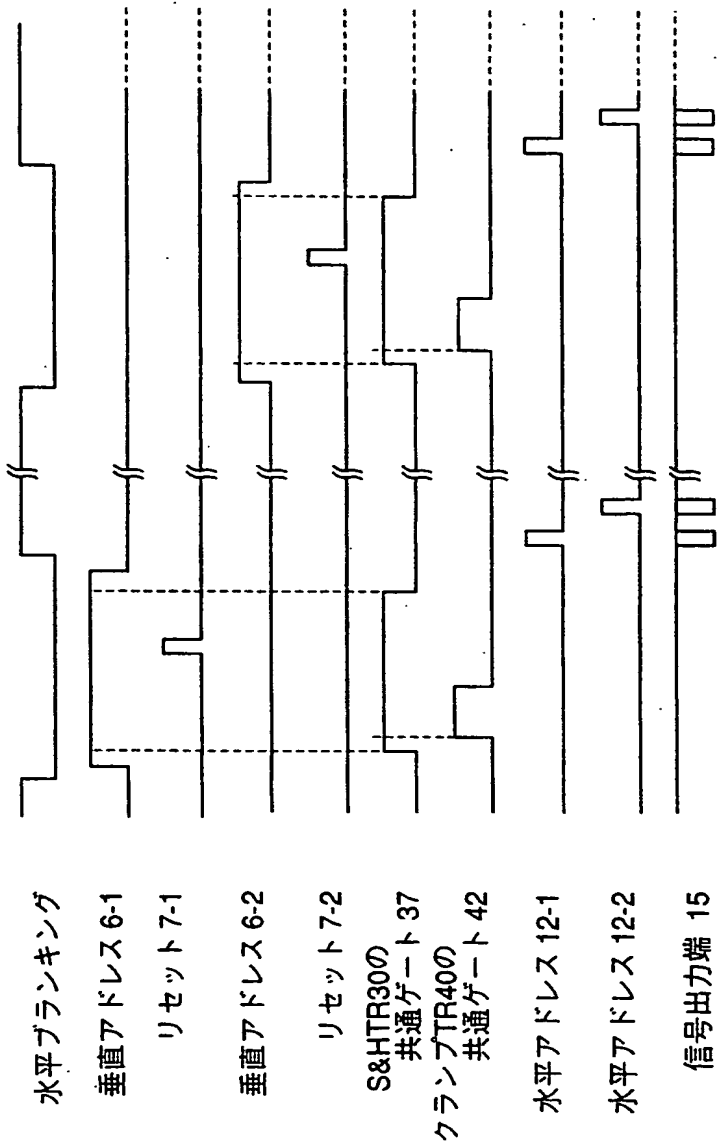


FIG.84

72/90

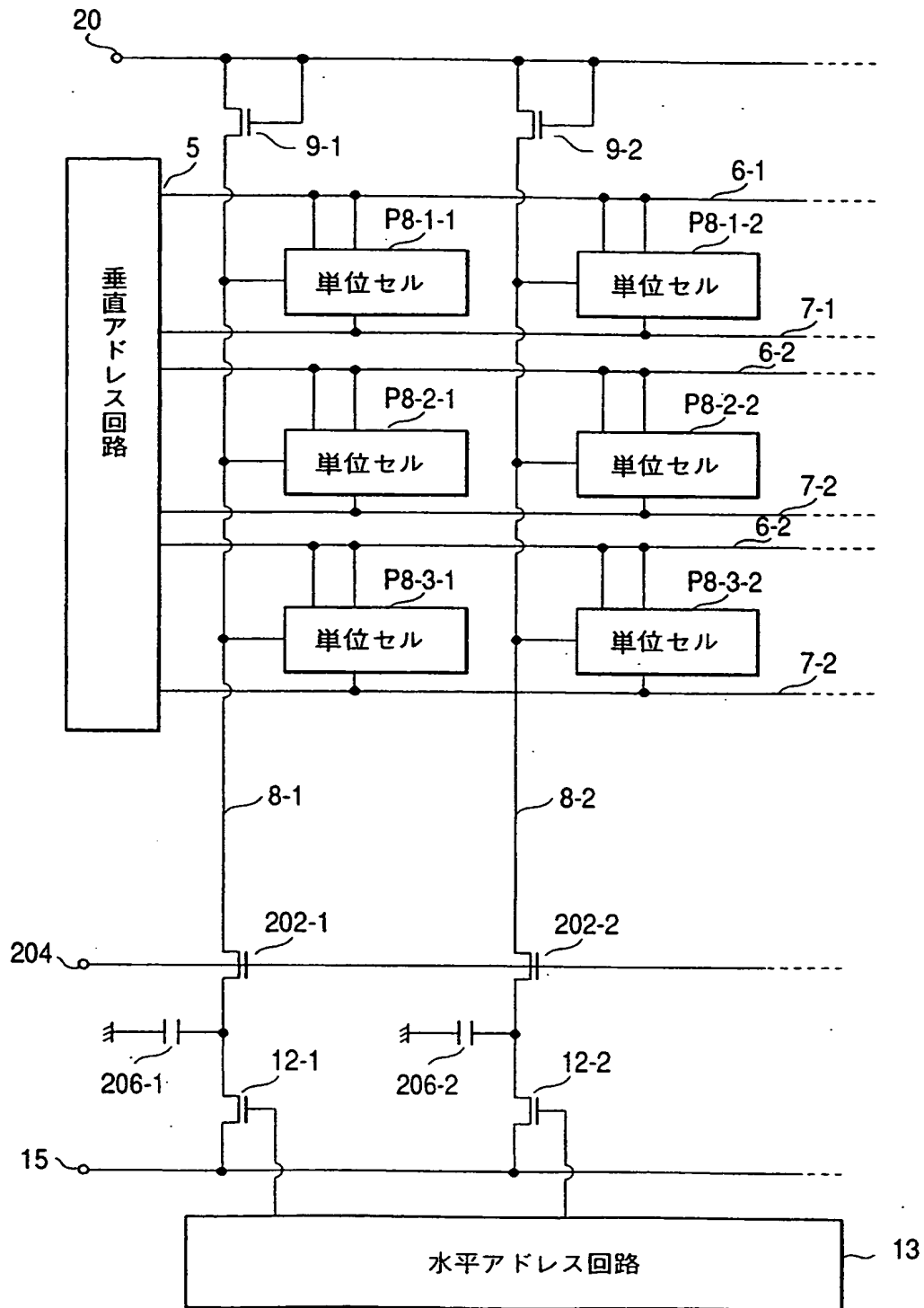


FIG.85

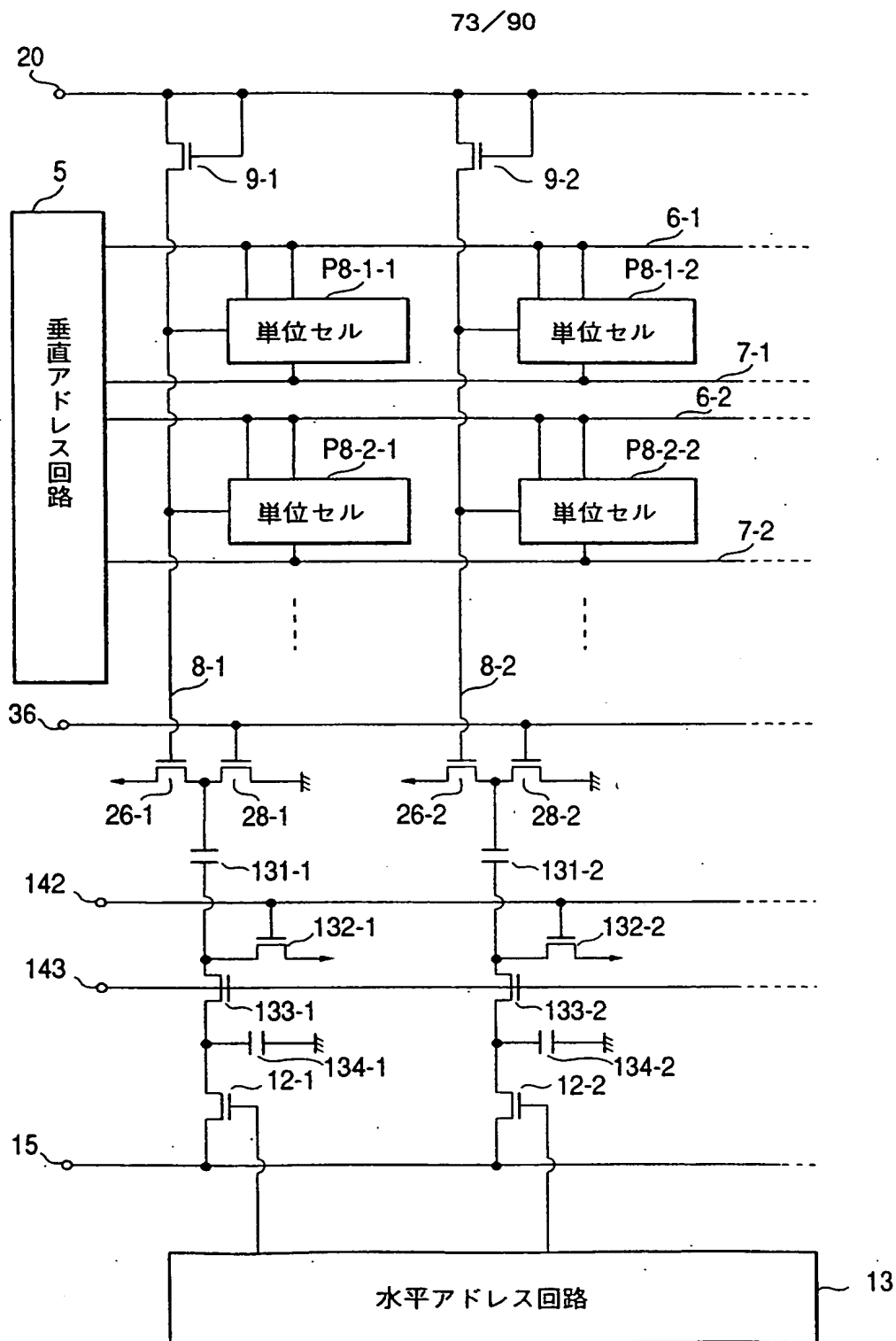


FIG.86

74/90

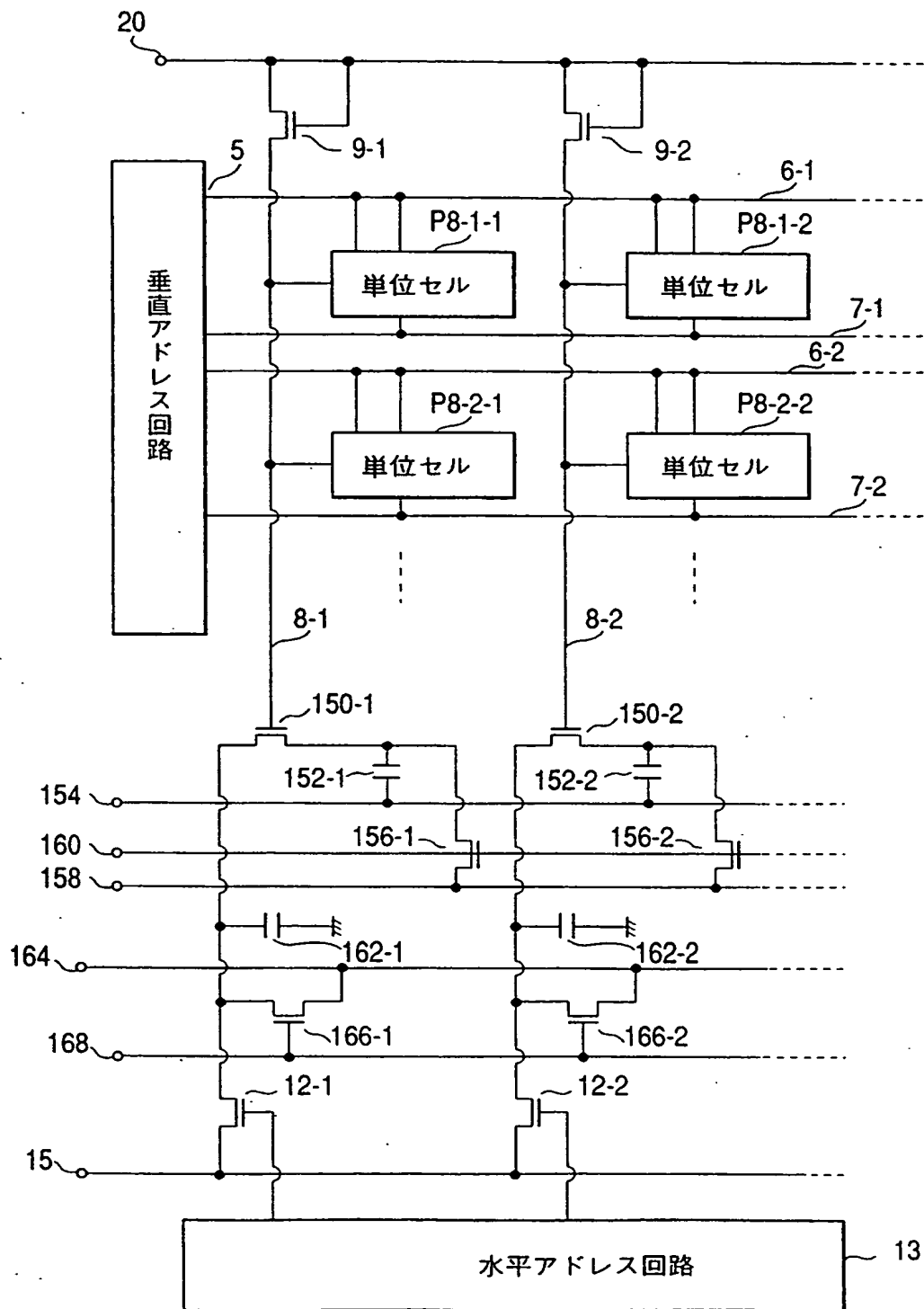


FIG.87

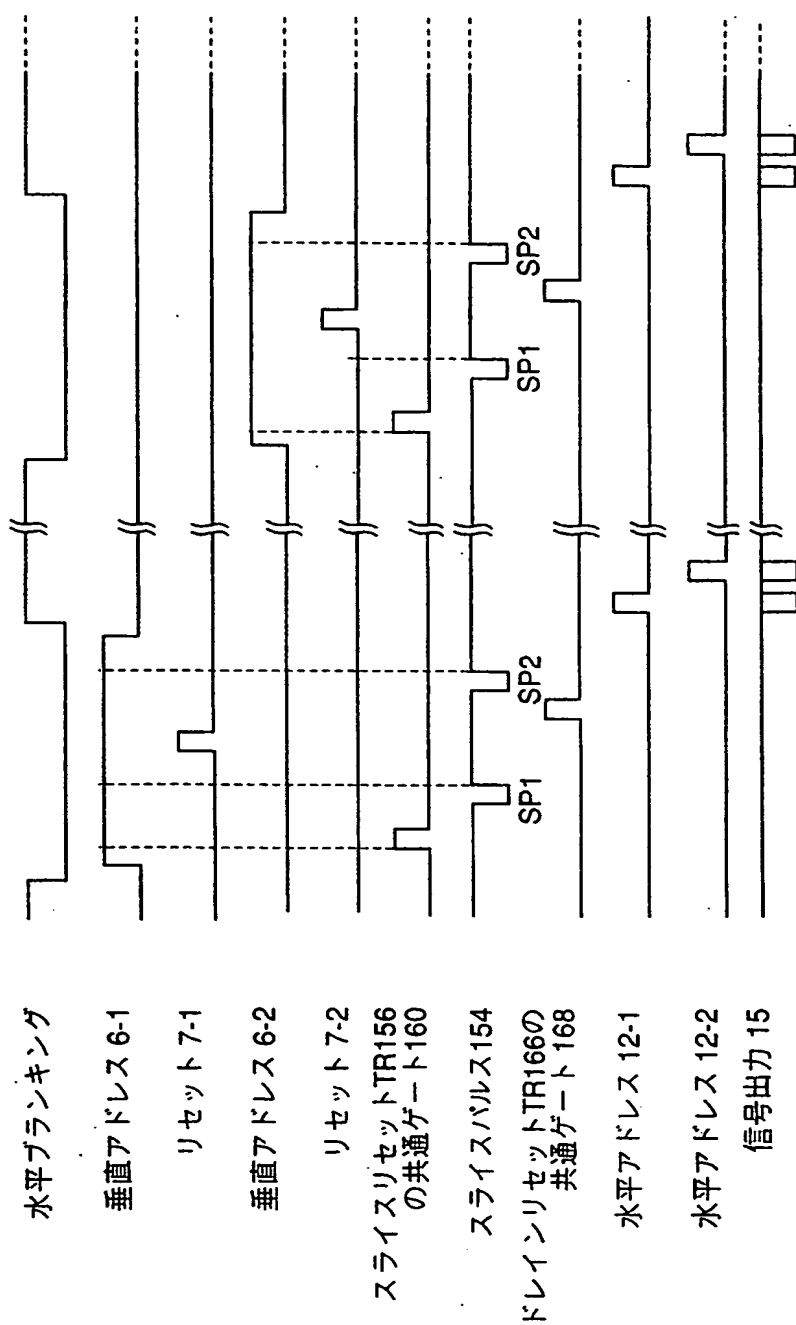


FIG. 88

76/90

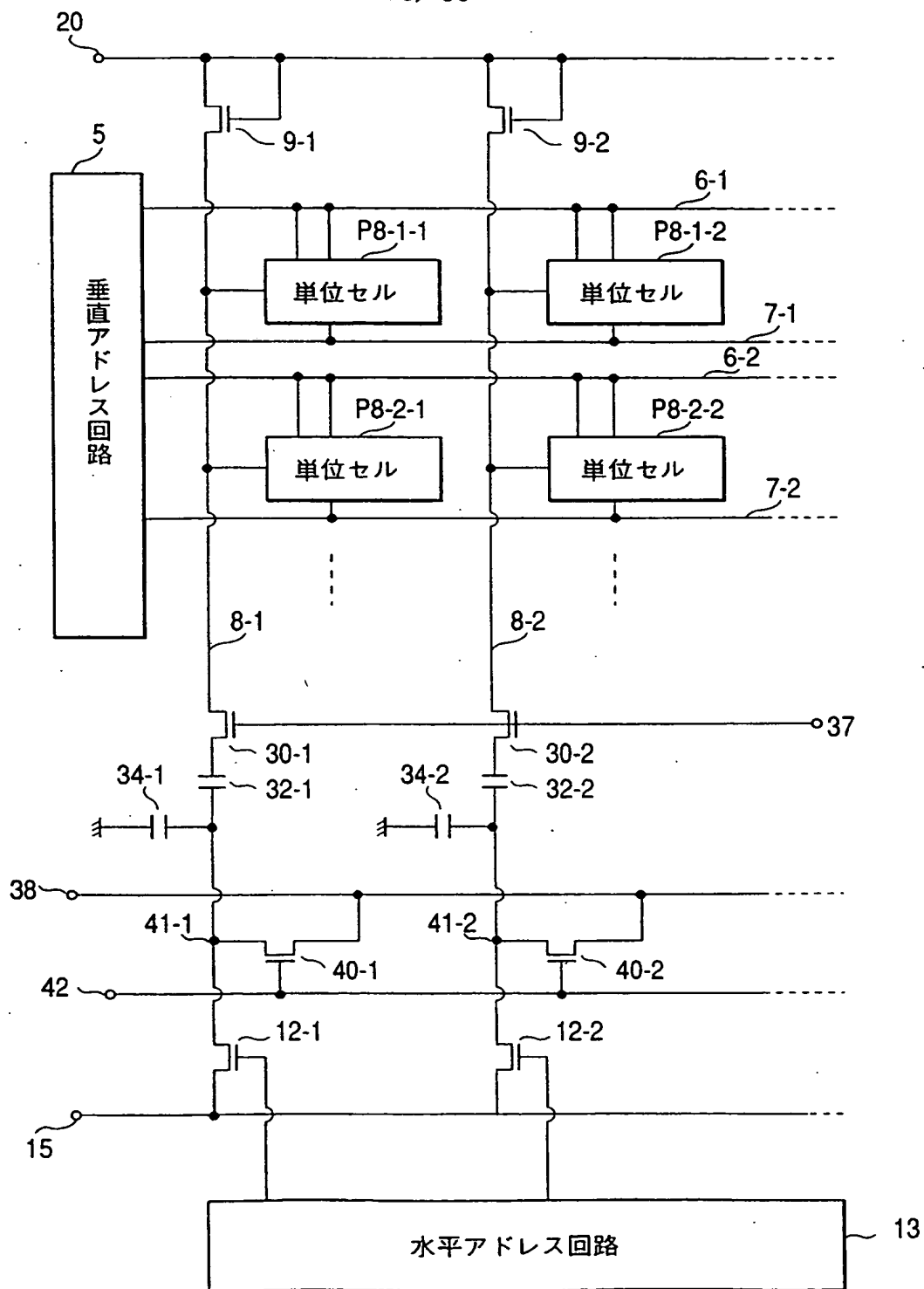


FIG.89

77/90

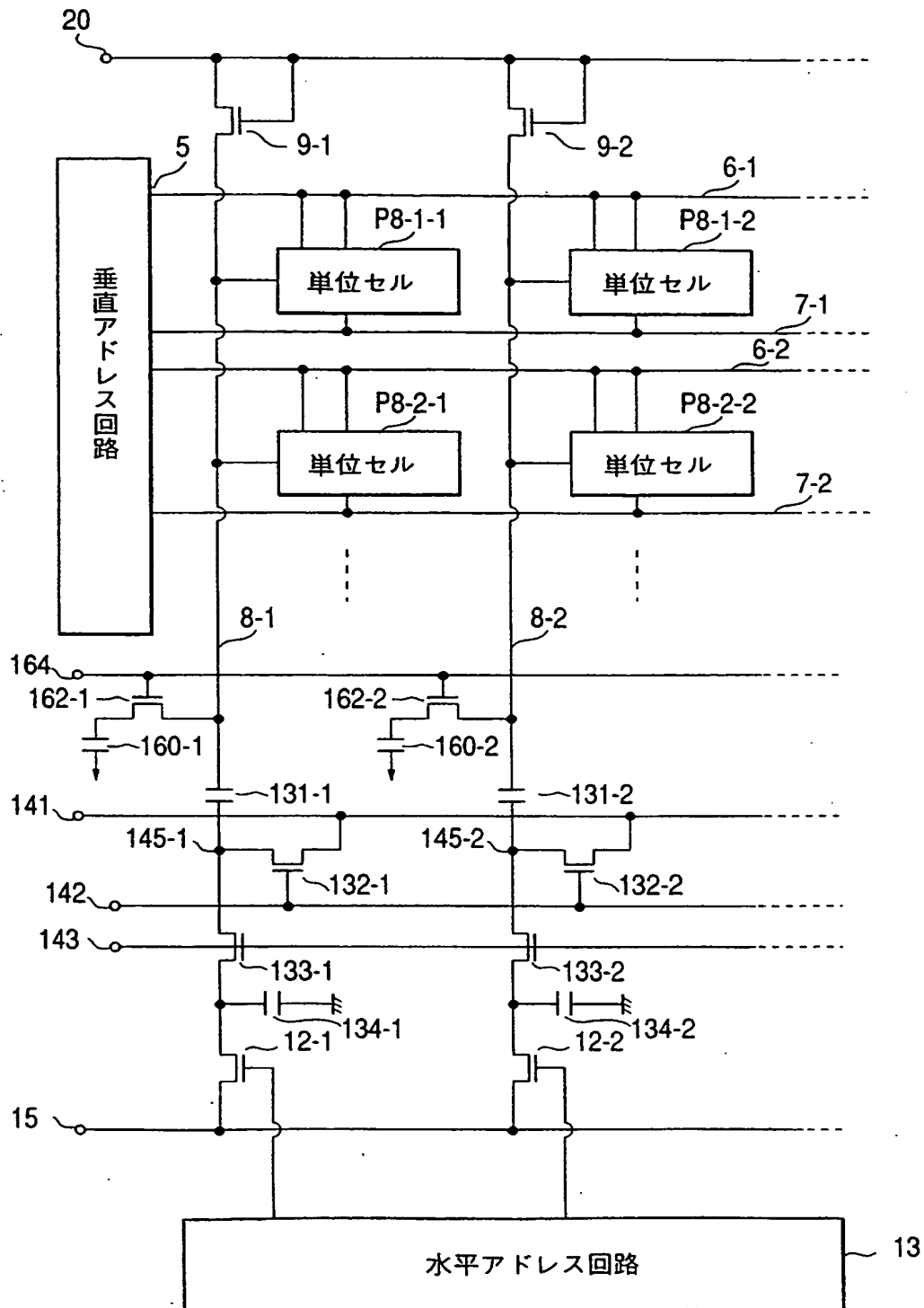


FIG.90

78/90

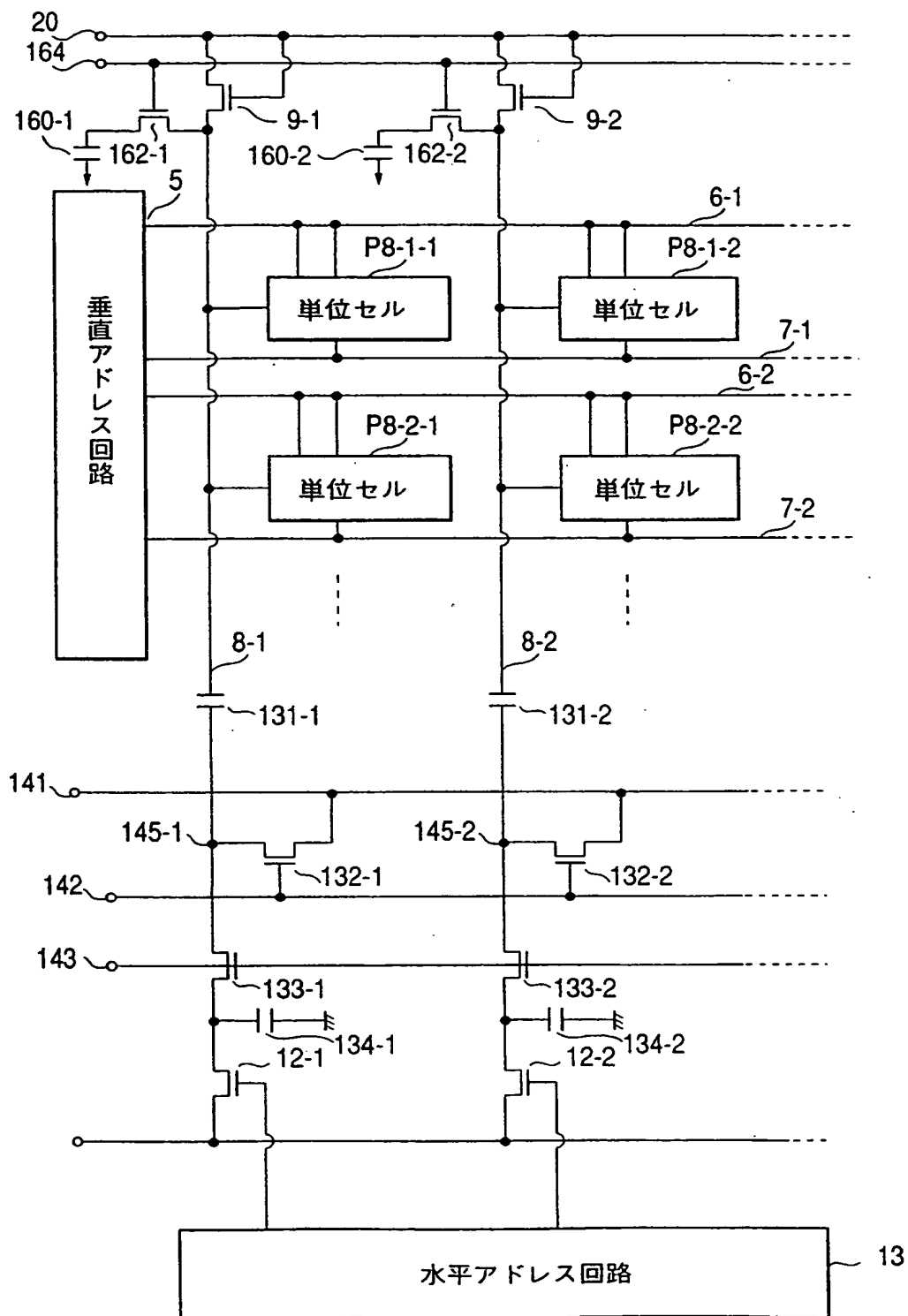


FIG.91

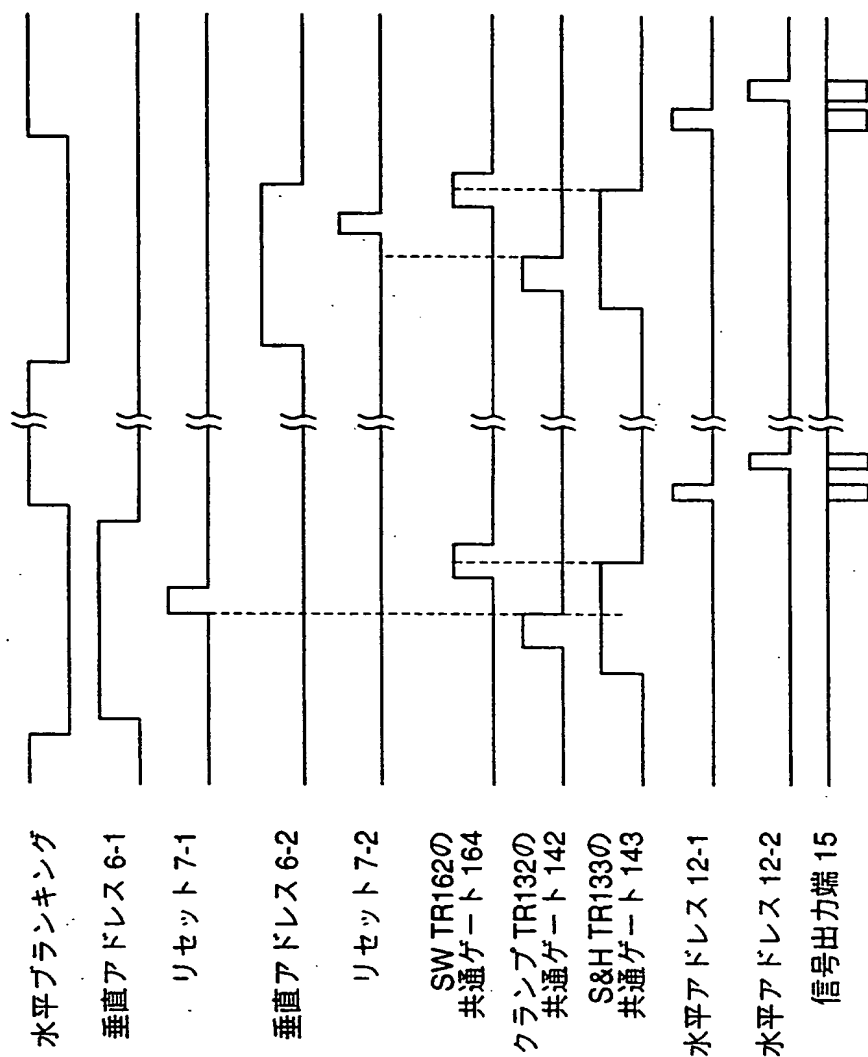


FIG.92

80/90

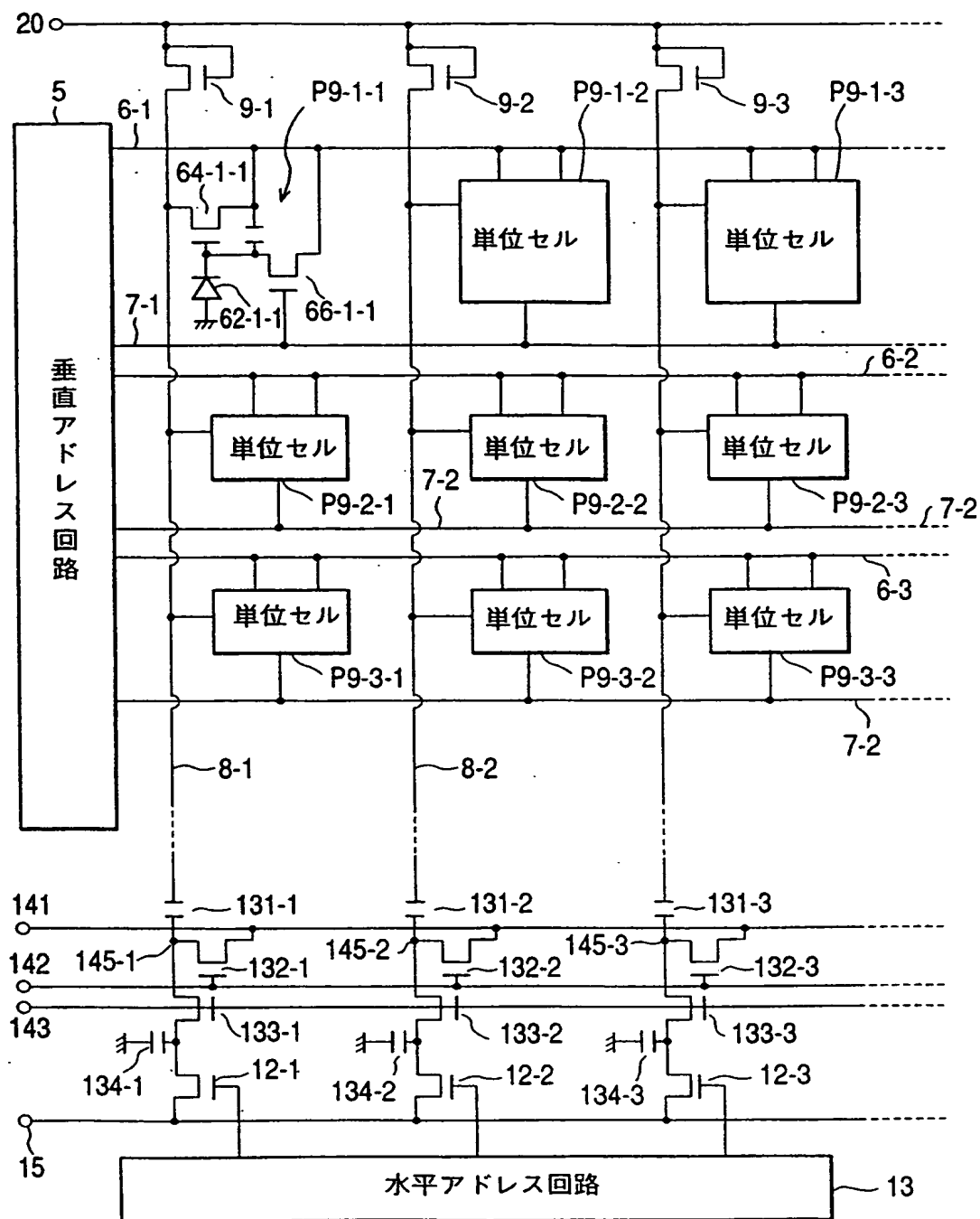


FIG.93

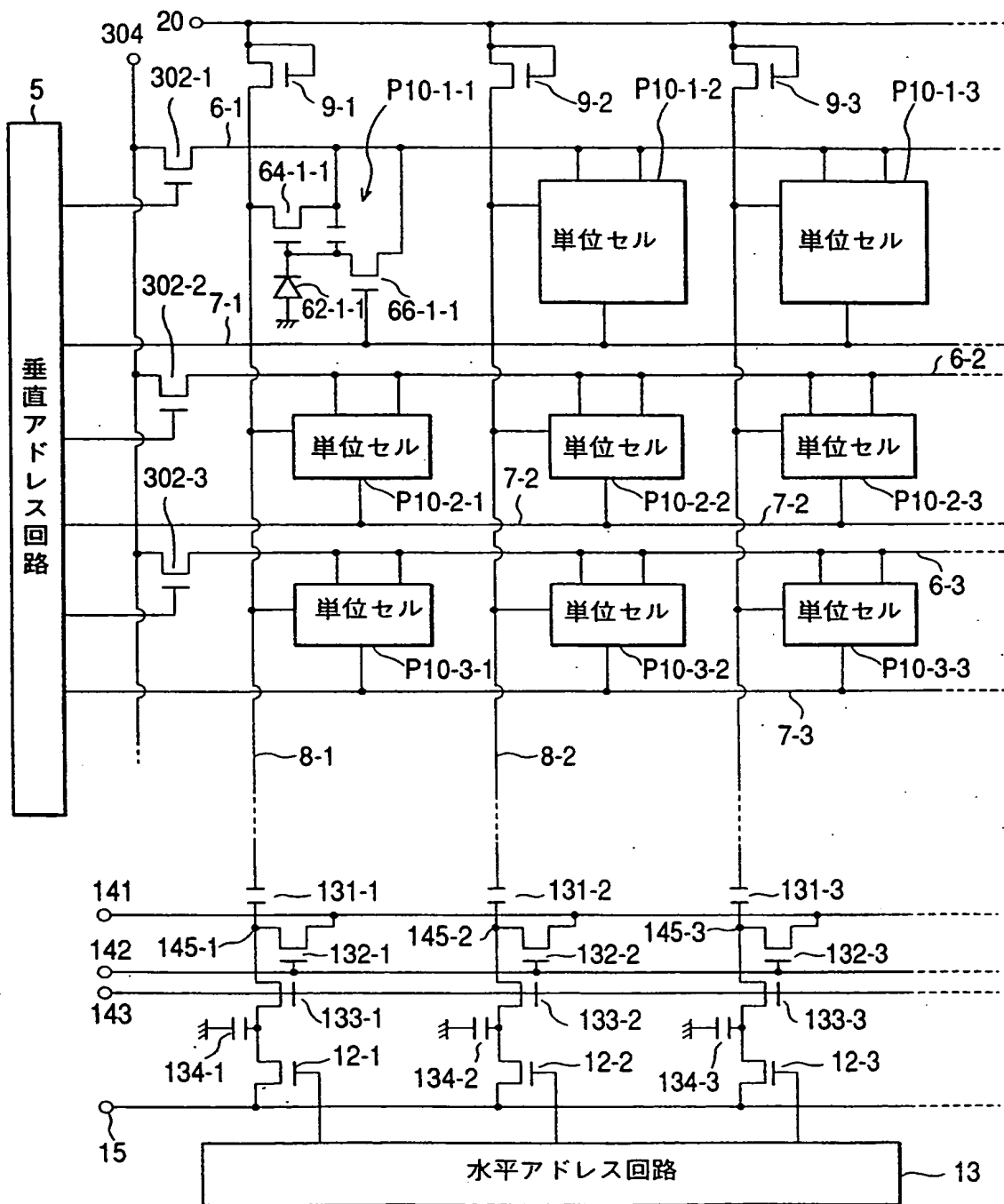


FIG.94

82/90

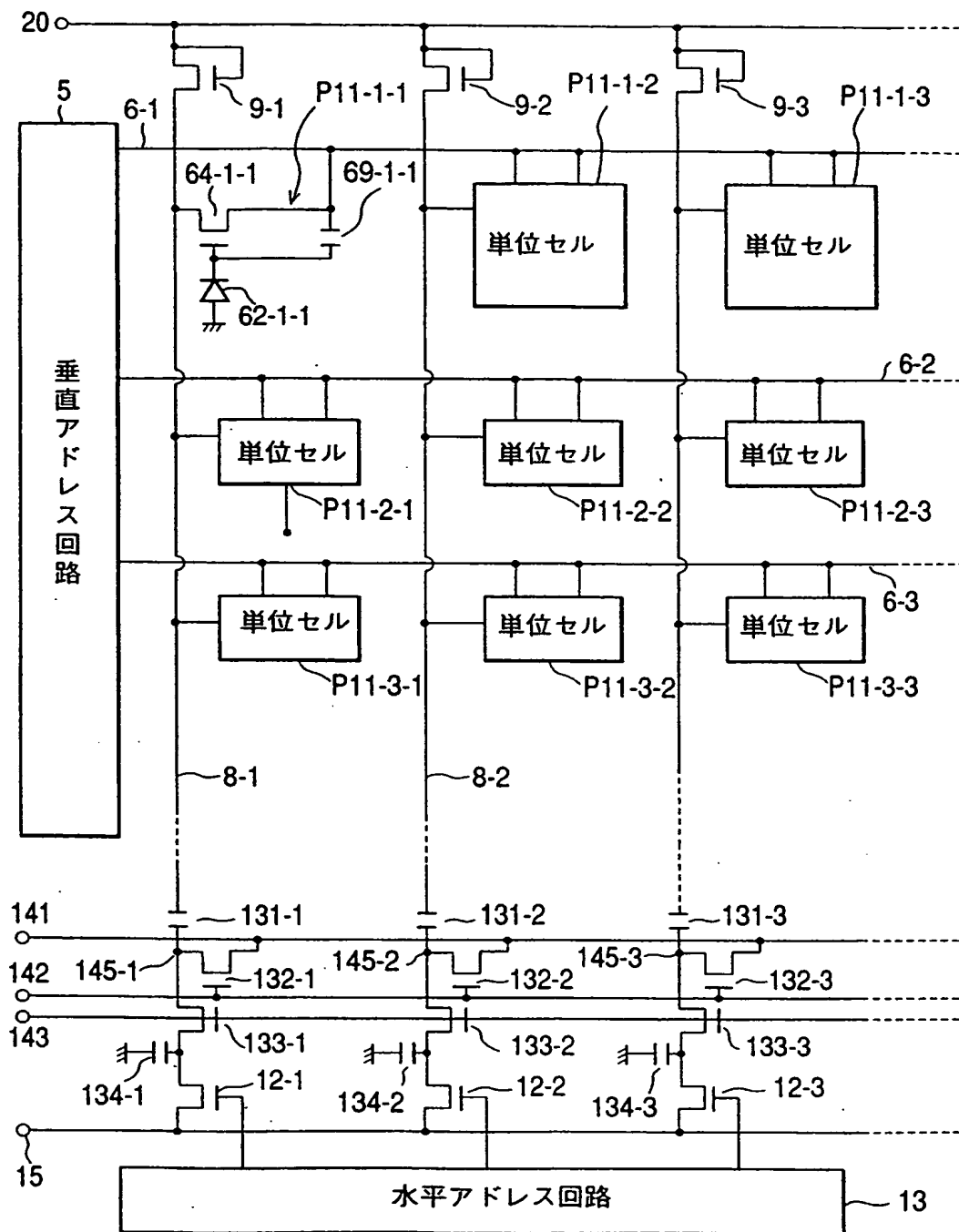


FIG.95

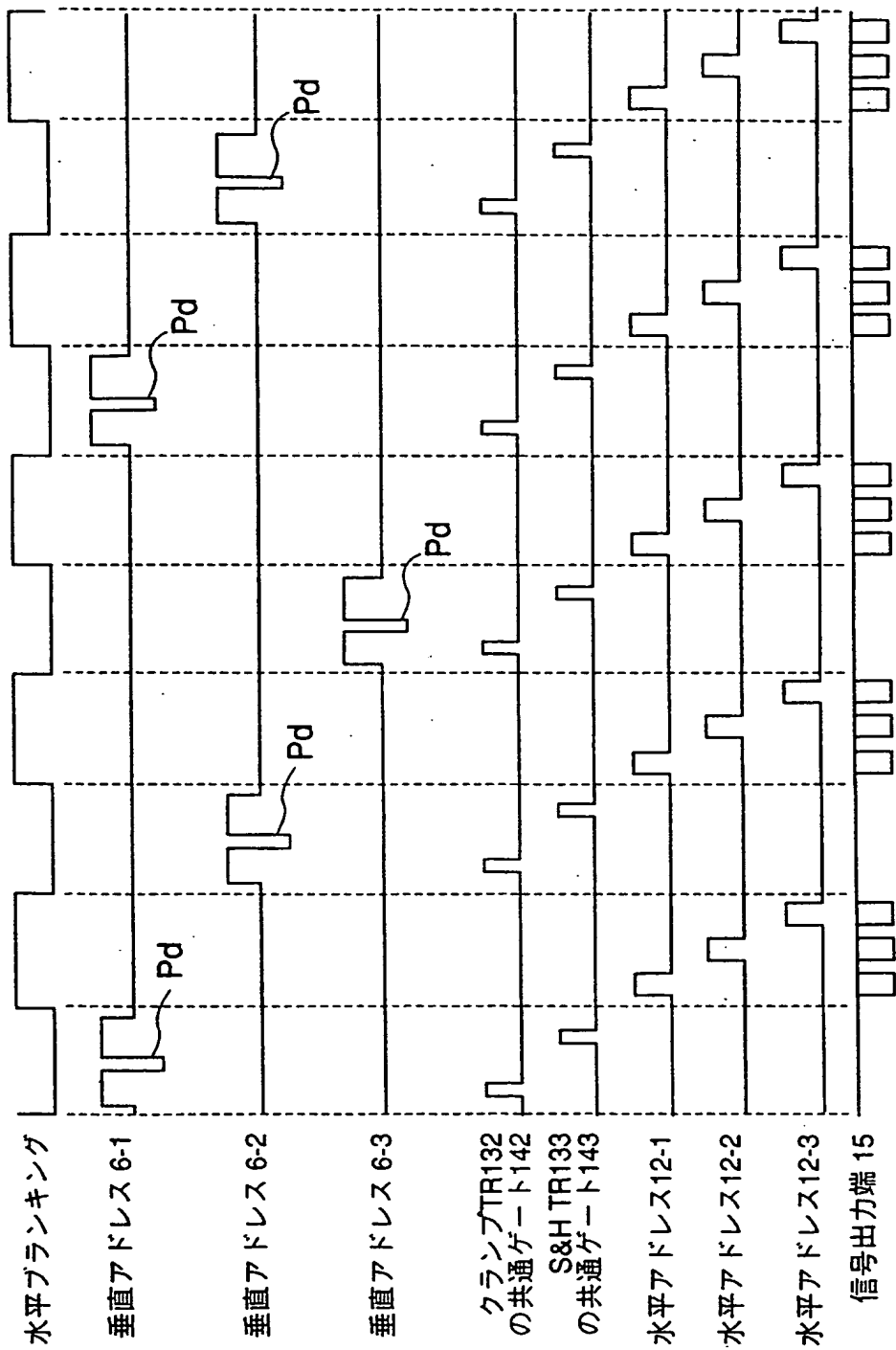


FIG.96

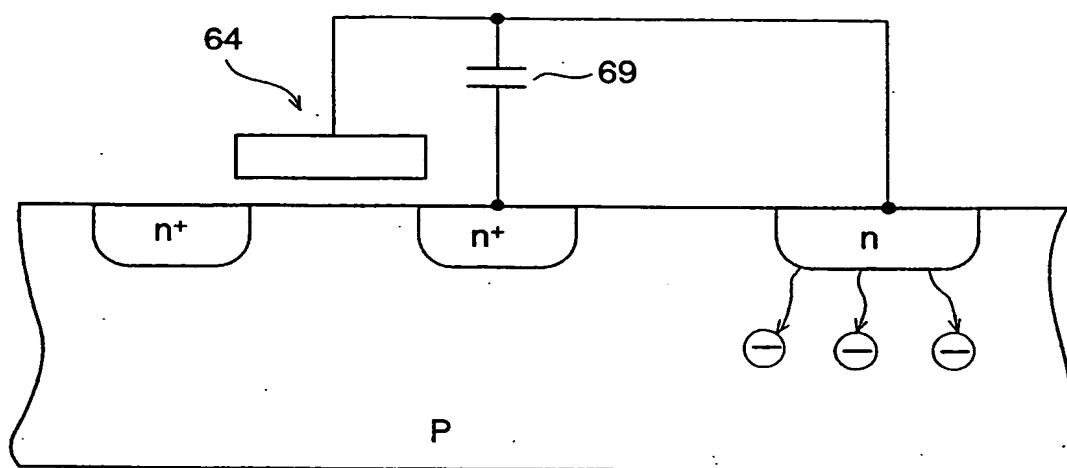


FIG.97

85/90

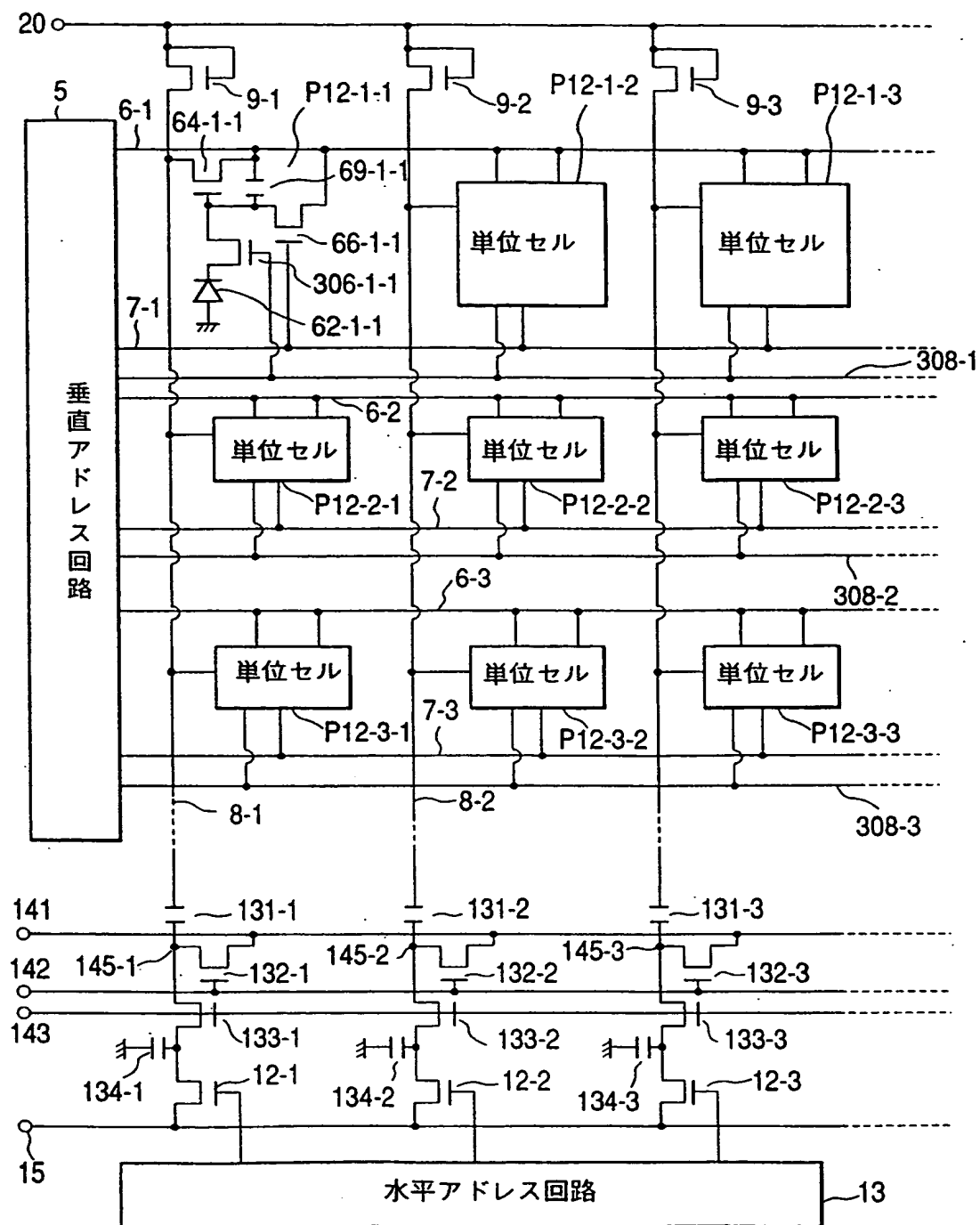


FIG.98

86/90

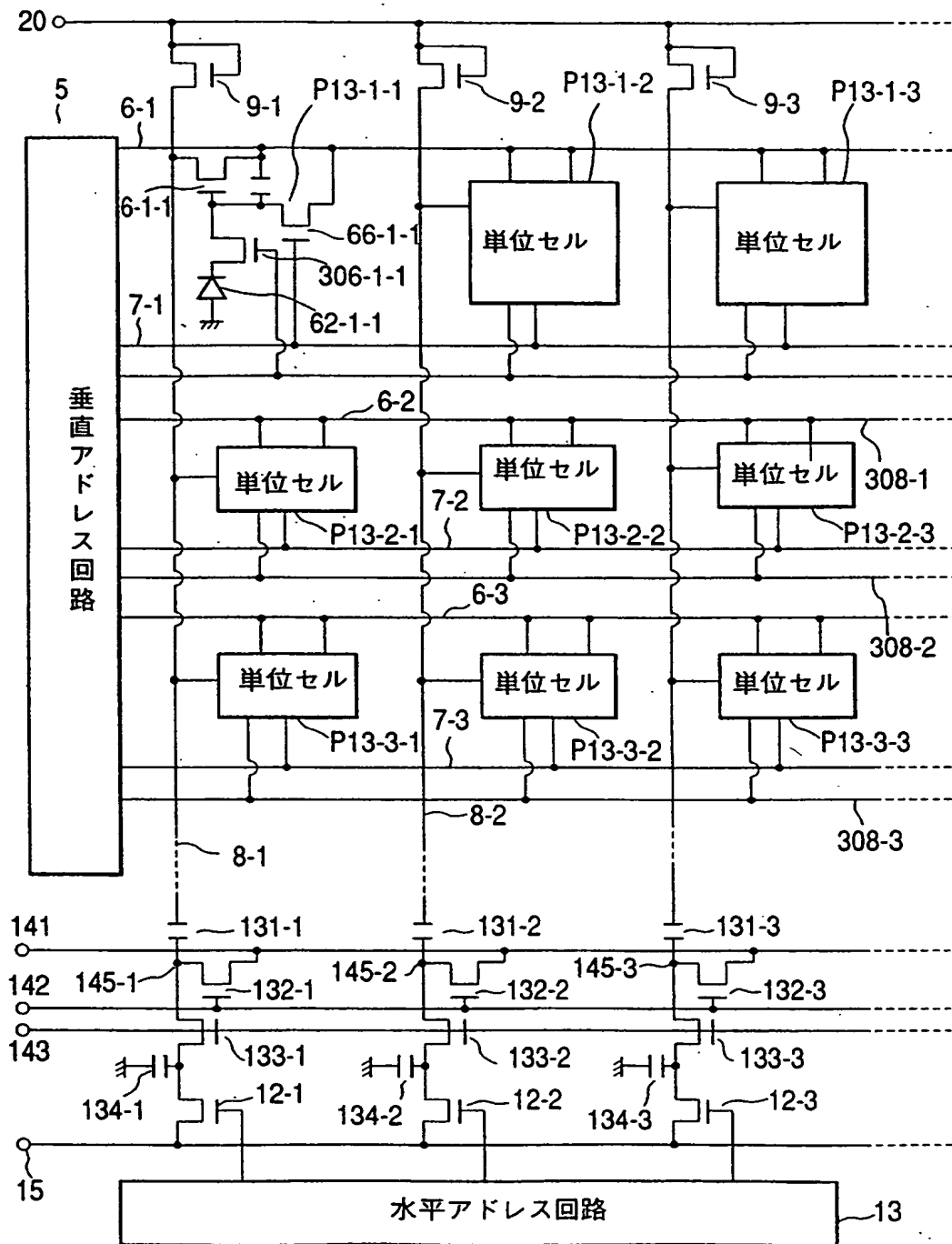


FIG.99

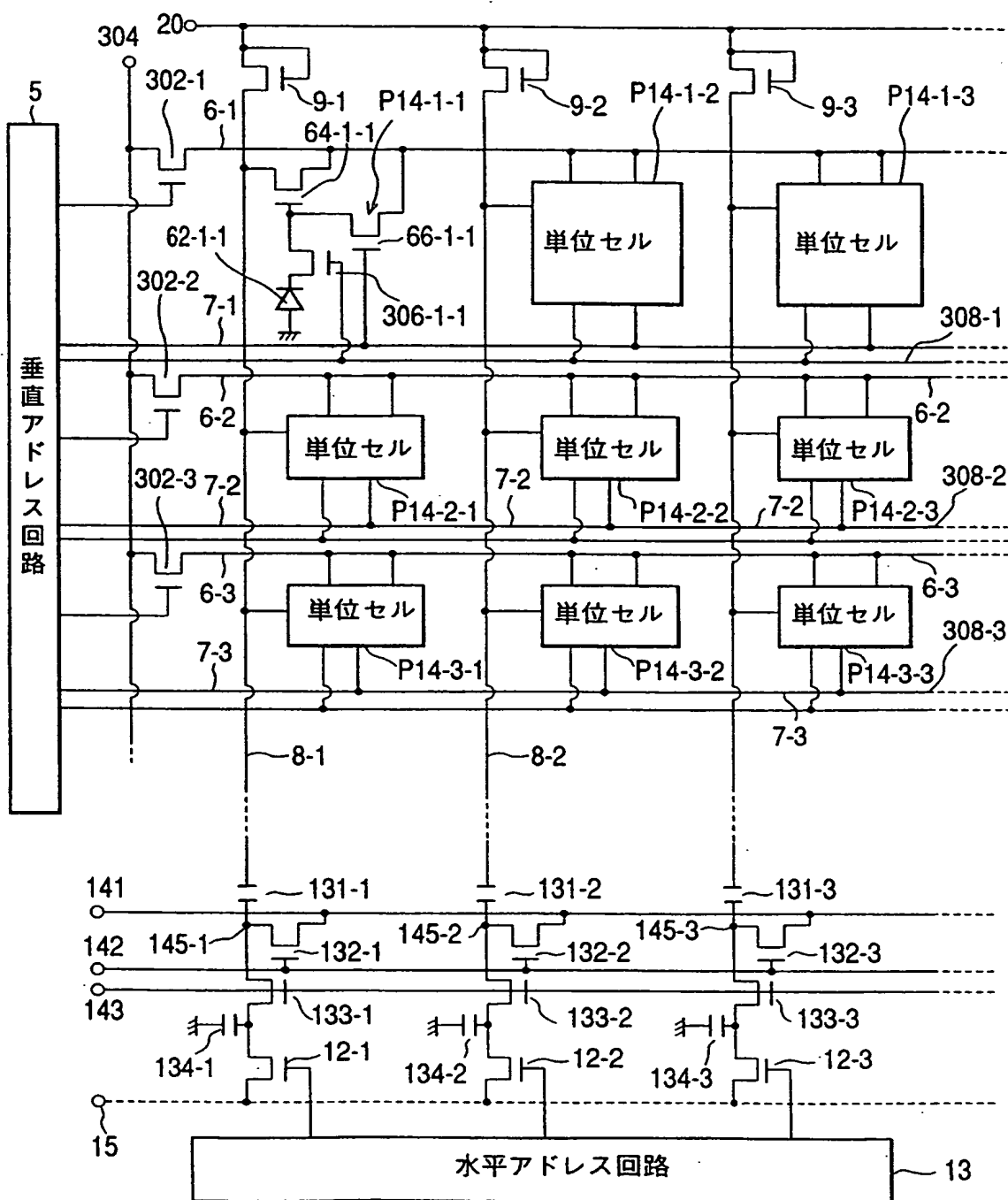


FIG.100

89/90

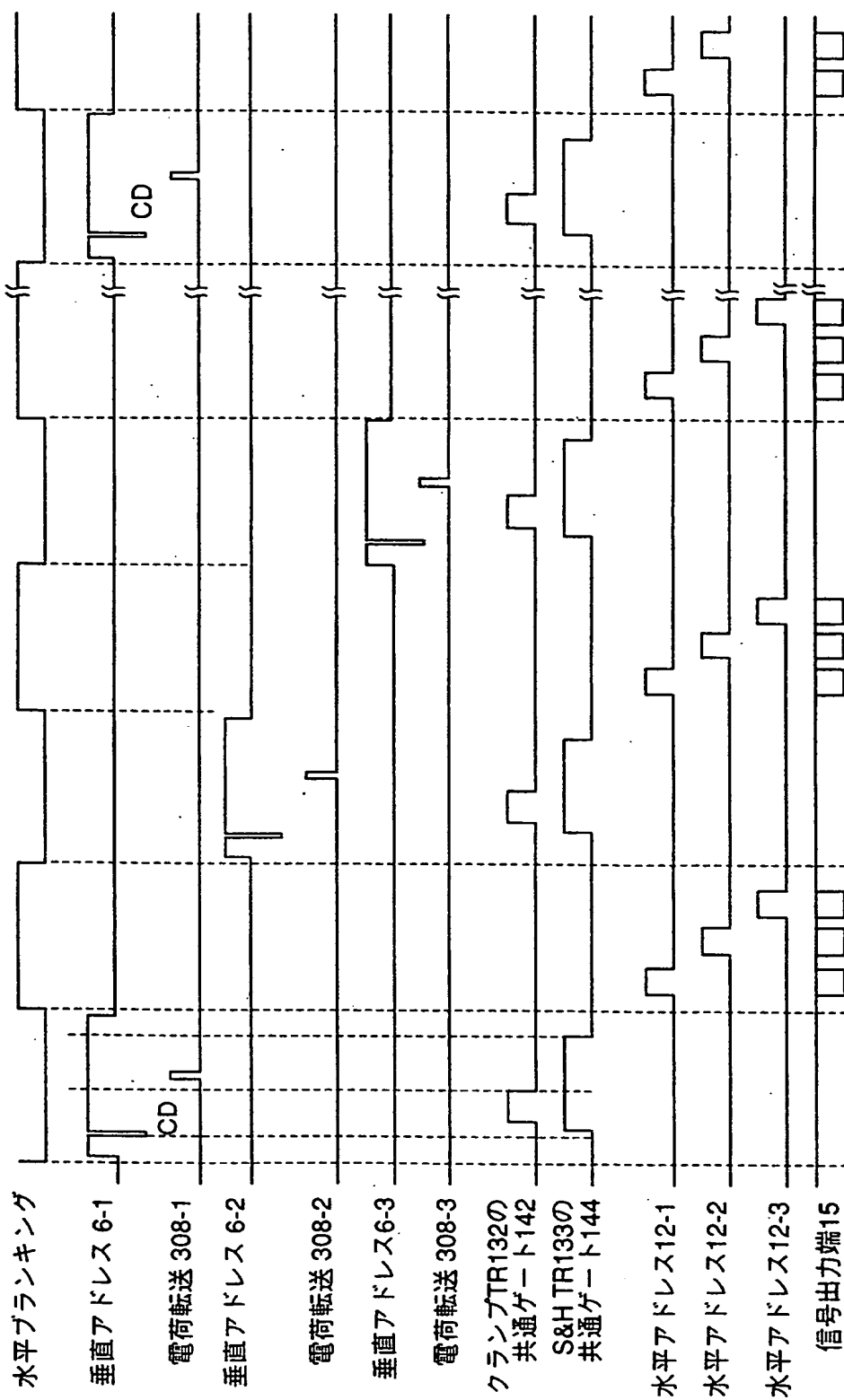


FIG.102

90/90

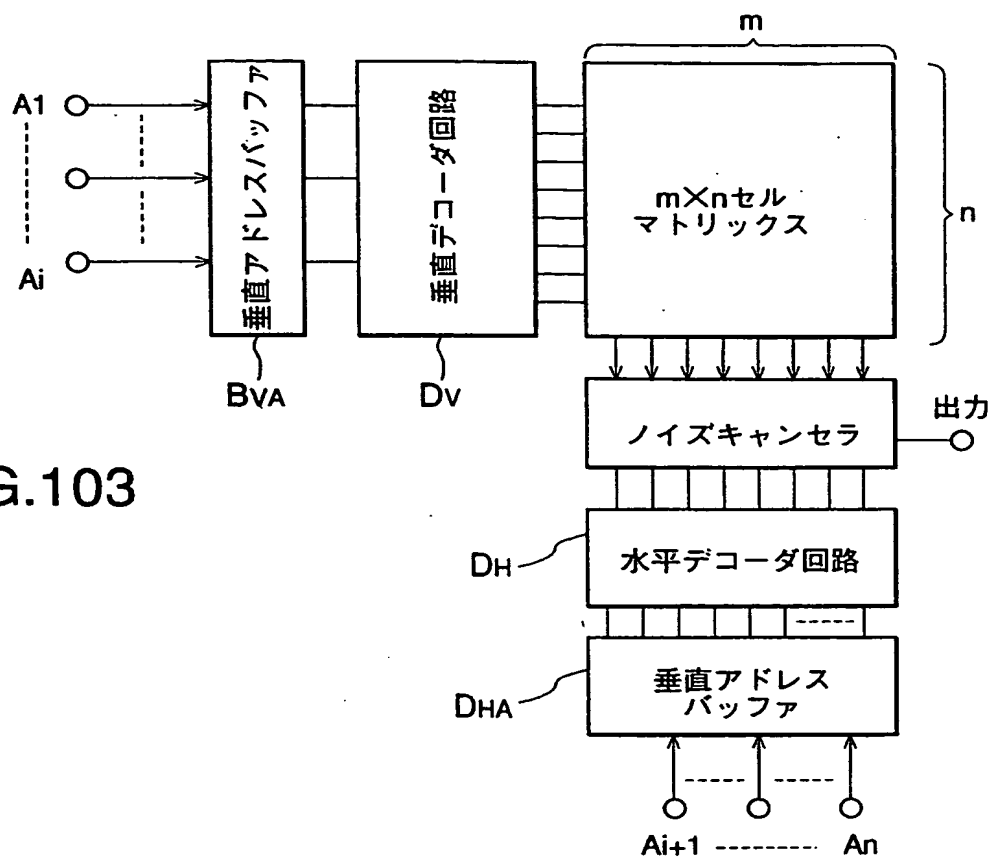


FIG.103

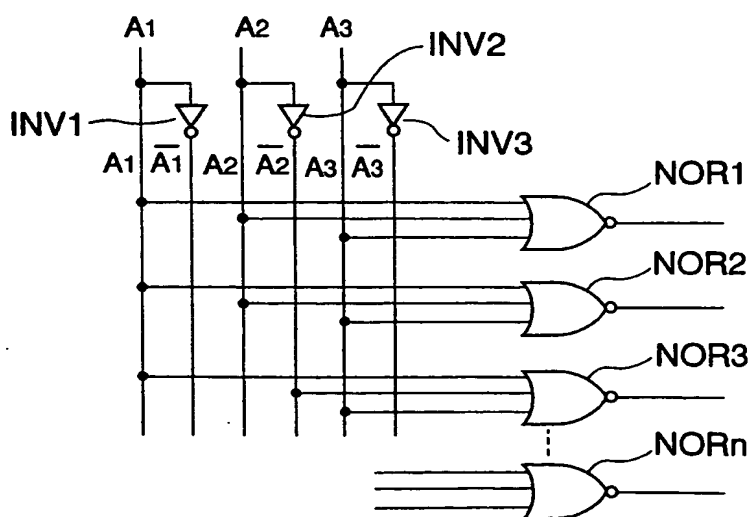


FIG.104

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/02285

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H04N5/30-5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1996

Kokai Jitsuyo Shinan Koho 1971 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 01-245769, A (Canon Inc.), September 29, 1989 (29. 09. 89) & US, 4910597, A Fig. 1	1 - 70
Y	JP, 06-217205, A (Sony Corp.), August 5, 1994 (05. 08. 94) (Family: none) Fig. 1	1 - 70
A	JP, 01-238381, A (Canon Inc.), September 22, 1989 (22. 09. 89) (Family: none) Fig. 1	1 - 70

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
November 5, 1996 (05. 11. 96)

Date of mailing of the international search report
November 19, 1996 (19. 11. 96)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/J P 96/02285

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl^H04N5/335

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl^H04N5/30-5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1926-1996年

日本国公開実用新案公報1971-1996年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 01-245769, A (キヤノン株式会社) 29. 9月. 1989 (29. 09. 89) &US, 4910597, A 第1図	1-70
Y	J P, 06-217205, A (ソニー株式会社) 5. 8月. 1994 (05. 08. 94) (ファミリーなし) 第1図	1-70

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

05. 11. 96

国際調査報告の発送日

19.11.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

馬場 清

5C

9374

電話番号 03-3581-1101 内線3543

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 01-238381, A (キヤノン株式会社) 22. 9月. 1989 (22. 09. 89) (ファミリーなし) 第1図	1-70